

DAC108S085

*DAC108S085 10-Bit Micro Power OCTAL Digital-to-Analog Converter with
Rail-to-Rail Outputs*



Literature Number: JAJSAW0



DAC108S085

10ビット、マイクロパワー、8回路、フルスイング出力対応 D/A コンバータ

概要

DAC108S085 は、変換に必要な機能をすべて備えた、8回路入りの汎用 10ビット電圧出力 D/A コンバータ (DAC) です。+ 2.7V から + 5.5V の範囲の単一電源で動作し、消費電力は 3V 時に 1.95mW、5V 時に 4.85mW です。DAC108S085 は 16 ピンの LLP パッケージおよび 16 ピンの TSSOP パッケージで供給されます。DAC108S085 では、LLP パッケージにより、クラス最小の 8回路入り DAC を実現しています。フルスイング出力が得られる出力アンプを内蔵しているほか、電源電圧の全範囲にわたって最高 40MHz のクロックレートで動作する 3 線式シリアル・インタフェースを備えています。他社の競合デバイスは、動作電圧は 2.7V から 3.6V の範囲と狭く、また 25MHz 動作が限界です。シリアル・インタフェースは、標準の SPI™、QSPI、MICROWIRE、および DSP インタフェースと互換性があります。DAC108S085 では、単一のシリアル・インタフェースを使用して DAC108S085 を同時に更新できるディジー・チェーン動作も可能で、DAC108S085 の数に制限がありません。

DAC108S085 には、基準電圧入力 が 2 つあります。一方の基準電圧入力はチャンネル A から D に電圧を供給し、もう一方の基準電圧入力はチャンネル E から H に電圧を供給します。各基準電圧は、0.5V から V_A の間で個別に設定できるため、可能な最も広範囲の出力ダイナミック・レンジが得られます。DAC108S085 は、動作モード、パワーダウン条件、および DAC チャンネルのレジスタ値 / 出力値を制御する 16 ビットの入力シフトレジスタを内蔵しています。8 つの DAC 出力は同時に更新することも個別に更新することもできます。

DAC 出力はパワーオン・リセット回路によって電源投入時に 0V に設定され、デバイスに有効な書き込みがあるまで 0V に維持されます。DAC108S085 のパワーダウン機能により、各 DAC は 3 種類の終端方法で電源を個別に制御できます。すべての DAC チャンネルの電源供給を停止すると、消費電力は 3V 時に 0.3 μ W 未満、5V 時に 1 μ W 未満に減少します。DAC108S085 は消費電力が小さく小型パッケージを採用しているため、バッテリーで動作する機器に最適です。

DAC108S085 は、8 ビットの DAC08S085 や 12 ビットの DAC128S085 など、ピン互換 DAC ファミリの 1 つです。これらの 3 つの IC はピン配置が同じであるため、システム設計者はプリント基板を再設計することなく、アプリケーションに適した解決方法を選択できます。DAC108S085 の動作温度範囲は、拡張された工業用温度範囲である - 40 ~ + 125 です。

特長

- 単調性を保証
- 低消費電力動作
- フルスイング電圧出力
- ディジー・チェーンに対応
- パワーオン・リセット時に出力 0V
- 出力を同時に更新
- 個々のチャンネルでのパワーダウン機能
- 広い電源電圧範囲 (+ 2.7V から + 5.5V)
- 2 つの基準電圧入力範囲は 0.5V ~ V_A
- 動作温度範囲： - 40 ~ + 125
- 業界最小パッケージ

主な仕様

分解能	10ビット
INL	± 2 LSB (max)
DNL	+ 0.35/ - 0.2LSB (max)
セトリング時間	6 μ s (max)
ゼロコード誤差	+ 15mV (max)
フルスケール誤差	- 0.75%FSR (max)
消費電流	
通常動作：	1.95mW (3V)/ 4.85mW (5V) typ
パワーダウン時：	0.3 μ W (3V)/ 1 μ W (5V) typ

アプリケーション

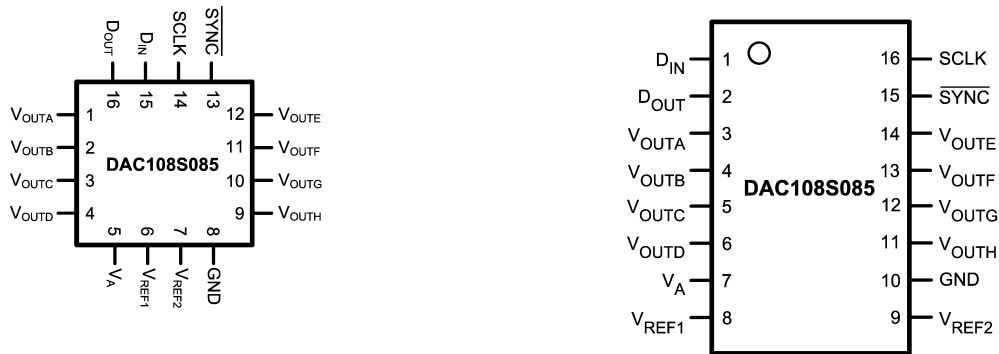
- バッテリー動作機器
- デジタル・ゲイン調整やデジタル・オフセット調整
- プログラマブルな電圧源や電流源
- プログラマブル・アッテネータ
- A/D コンバータ用の基準電圧源
- センサの電源電圧
- レンジ検出器

製品情報

Order Numbers	Temperature Range	Package	Top Mark
DAC108S085CISQ	-40°C $\leq T_A \leq$ +125°C	16-Lead LLP	
DAC108S085CISQX	-40°C $\leq T_A \leq$ +125°C	LLP Tape-and-Reel	
DAC108S085CIMT	-40°C $\leq T_A \leq$ +125°C	16-Lead TSSOP	X80C
DAC108S085CIMTX	-40°C $\leq T_A \leq$ +125°C	TSSOP Tape-and-Reel	X80C
DAC108S085EB		Evaluation Board - BOTH	

SPI™ は Motorola, Inc. の商標です。

ピン配置図



説明

LLP ピン番号	TSSOP ピン番号	シンボル	種類	説明
1	3	V _{OUTA}	アナログ出力	チャンネル A のアナログ出力電圧。
2	4	V _{OUTB}	アナログ出力	チャンネル B のアナログ出力電圧。
3	5	V _{OUTC}	アナログ出力	チャンネル C のアナログ出力電圧。
4	6	V _{OUTD}	アナログ出力	チャンネル D のアナログ出力電圧。
5	7	V _A	電源	電源電圧入力。GND に対してデカップリングしてください。
6	8	V _{REF1}	アナログ入力	チャンネル A、B、C、D で共用されるパツファのない基準電圧。GND に対してデカップリングしてください。
7	9	V _{REF2}	アナログ入力	チャンネル E、F、G、H で共用されるパツファのない基準電圧。GND に対してデカップリングしてください。
8	10	GND	グラウンド	全オンチップ回路のグラウンド基準電位。
9	11	V _{OUTH}	アナログ出力	チャンネル H のアナログ出力電圧。
10	12	V _{OUTG}	アナログ出力	チャンネル G のアナログ出力電圧。
11	13	V _{OUTF}	アナログ出力	チャンネル F のアナログ出力電圧。
12	14	V _{OUTE}	アナログ出力	チャンネル E のアナログ出力電圧。
13	15	$\overline{\text{SYNC}}$	デジタル入力	フレーム同期入力。このピンを Low にすると、データは SCLK の立ち下がりでエッジで DAC の入力シフトレジスタに書き込まれます。DAC は、SCLK の 16 番目の立ち下がりでエッジ通過後、 $\overline{\text{SYNC}}$ の立ち上がりエッジによって更新されます。SCLK の 15 番目の立ち下がりでエッジの前に $\overline{\text{SYNC}}$ が High になると、 $\overline{\text{SYNC}}$ の立ち上がりエッジは割り込みとして動作し、ライト・シーケンスは DAC に無視されます。
14	16	SCLK	デジタル入力	シリアル・クロック入力。データは、このピンに入力されるクロックの立ち下がりでエッジでシフトレジスタに読み込まれます。
15	1	D _{IN}	デジタル入力	シリアル・データ入力。データは、 $\overline{\text{SYNC}}$ が Low になった後の SCLK の立ち下がりでエッジで 16 ビットのシフトレジスタに読み込まれます。
16	2	D _{OUT}	デジタル出力	シリアル・データ出力。D _{OUT} はディジー・チェーン動作に使用され、別の DAC108S085 の D _{IN} ピンに直接接続されます。SCLK のサイクルが 16 回を超えるまで $\overline{\text{SYNC}}$ が Low の状態を保たない限り、D _{OUT} ではデータが出力されません。
17		PAD (LLP のみ)	グラウンド	露出しているダイ・アタッチ・パッドは、グラウンドに接続しても、フローティング状態でもかまいません。パッドをプリント基板にハンダ付けすると、放熱特性が最適化され、リフロー時のパッケージ自己アライメントが向上します。

絶対最大定格 (Note 1、2)

本データシートには軍用・航空宇宙用の規格は記載されていません。関連する電気的信頼性試験方法の規格を参照ください。

電源電圧 (V _A)	6.5V
各入力ピンの電圧	- 0.3V ~ 6.5V
各ピンの入力電流 (Note 3)	10mA
各パッケージの入力電流 (Note 3)	30mA
消費電力 (T _A = 25)	(Note 4 参照)
ESD 耐性 (Note 5)	
人体モデル	2500V
マシン・モデル	250V
デバイス帯電モデル	1000V
接合部温度	+ 150
保存温度範囲	- 65 ~ + 150

動作定格 (Note 1、2)

動作温度範囲	- 40	T _A	+ 125
電源電圧 (V _A)		+ 2.7V	~ + 5.5V
基準電圧 (V _{REF1,2})		+ 0.5V	~ V _A
デジタル入力電圧 (Note 7)		0.0V	~ 5.5V
出力負荷		0	~ 1500pF
SCLK 周波数		最高	40MHz

パッケージ熱抵抗

Package	θ _{JA}
16-Lead LLP	38°C/W
16-Lead TSSOP	130°C/W

ハンダ付けのプロセスは、National Semiconductor's Reflow Temperature Profile 規格に準拠してください。
www.national.com/JPN/packaging をご覧ください。 (Note 6)

電気的特性

以下の仕様は、V_A = + 2.7V ~ + 5.5V、V_{REF1} = V_{REF2} = V_A、C_L = GND に対して 200pF、f_{SCLK} = 30MHz、入力コード範囲 12 から 1011 という条件に対して適用されます。特記のない限り、太字のリミット値は T_{MIN} T_A T_{MAX} で適用され、それ以外のリミット値は T_A = 25 で適用されます。

Symbol	Parameter	Conditions	Typical	Limits (Note 8)	Units (Limits)
STATIC PERFORMANCE					
	Resolution			10	Bits (min)
	Monotonicity			10	Bits (min)
INL	Integral Non-Linearity		±0.5	±2	LSB (max)
DNL	Differential Non-Linearity		+0.08	+0.35	LSB (max)
			-0.04	-0.2	LSB (min)
ZE	Zero Code Error	I _{OUT} = 0	+5	+15	mV (max)
FSE	Full-Scale Error	I _{OUT} = 0	-0.1	-0.75	% FSR (max)
GE	Gain Error		-0.2	-1.0	% FSR (max)
ZCED	Zero Code Error Drift		-20		µV/°C
TC GE	Gain Error Tempco		-1.0		ppm/°C
OUTPUT CHARACTERISTICS					
	Output Voltage Range			0 V _{REF1,2}	V (min) V (max)
I _{oz}	High-Impedance Output Leakage Current (Note 9)			±1	µA (max)
ZCO	Zero Code Output	V _A = 3V, I _{OUT} = 200 µA	10		mV
		V _A = 3V, I _{OUT} = 1 mA	45		mV
		V _A = 5V, I _{OUT} = 200 µA	8		mV
		V _A = 5V, I _{OUT} = 1 mA	34		mV
FSO	Full Scale Output	V _A = 3V, I _{OUT} = 200 µA	2.984		V
		V _A = 3V, I _{OUT} = 1 mA	2.933		V
		V _A = 5V, I _{OUT} = 200 µA	4.987		V
		V _A = 5V, I _{OUT} = 1 mA	4.955		V
I _{os}	Output Short Circuit Current (source) (Note 10)	V _A = 3V, V _{OUT} = 0V, Input Code = 3FFh	-50		mA
		V _A = 5V, V _{OUT} = 0V, Input Code = 3FFh	-60		mA

電氣的特性 (つぎ)

以下の仕様は、 $V_A = +2.7V \sim +5.5V$ 、 $V_{REF1} = V_{REF2} = V_A$ 、 $C_L = GND$ に対して $200pF$ 、 $f_{SCLK} = 30MHz$ 、入力コード範囲 12 から 1011 という条件に対して適用されます。特記のない限り、太字のリミット値は T_{MIN} T_A T_{MAX} で適用され、それ以外のリミット値は $T_A = 25$ で適用されます。

Symbol	Parameter	Conditions	Typical	Limits (Note 8)	Units (Limits)	
I_{OS}	Output Short Circuit Current (sink) (Note 10)	$V_A = 3V$, $V_{OUT} = 3V$, Input Code = 000h	50		mA	
		$V_A = 5V$, $V_{OUT} = 5V$, Input Code = 000h	70		mA	
I_O	Continuous Output Current per channel (Note 9)	$T_A = 105^\circ C$		10	mA (max)	
		$T_A = 125^\circ C$		6.5	mA (max)	
C_L	Maximum Load Capacitance	$R_L = \infty$	1500		pF	
		$R_L = 2k\Omega$	1500		pF	
Z_{OUT}	DC Output Impedance		8		Ω	
REFERENCE INPUT CHARACTERISTICS						
$V_{REF1,2}$	Input Range Minimum		0.5	2.7	V (min)	
	Input Range Maximum			V_A	V (max)	
	Input Impedance		30		k Ω	
LOGIC INPUT CHARACTERISTICS						
I_{IN}	Input Current (Note 9)			± 1	μA (max)	
V_{IL}	Input Low Voltage	$V_A = 2.7V$ to $3.6V$	1.0	0.6	V (max)	
		$V_A = 4.5V$ to $5.5V$	1.1	0.8	V (max)	
V_{IH}	Input High Voltage	$V_A = 2.7V$ to $3.6V$	1.4	2.1	V (min)	
		$V_A = 4.5V$ to $5.5V$	2.0	2.4	V (min)	
C_{IN}	Input Capacitance (Note 9)			3	pF (max)	
POWER REQUIREMENTS						
V_A	Supply Voltage Minimum			2.7	V (min)	
	Supply Voltage Maximum			5.5	V (max)	
I_N	Normal Supply Current for supply pin V_A	$f_{SCLK} = 30$ MHz, output unloaded	$V_A = 2.7V$ to $3.6V$	460	585	μA (max)
			$V_A = 4.5V$ to $5.5V$	650	855	μA (max)
	Normal Supply Current for V_{REF1} or V_{REF2}	$f_{SCLK} = 30$ MHz, output unloaded	$V_A = 2.7V$ to $3.6V$	95	135	μA (max)
			$V_A = 4.5V$ to $5.5V$	160	225	μA (max)
I_{ST}	Static Supply Current for supply pin V_A	$f_{SCLK} = 0$, output unloaded	$V_A = 2.7V$ to $3.6V$	370		μA
			$V_A = 4.5V$ to $5.5V$	440		μA
	Static Supply Current for V_{REF1} or V_{REF2}	$f_{SCLK} = 0$, output unloaded	$V_A = 2.7V$ to $3.6V$	95		μA
			$V_A = 4.5V$ to $5.5V$	160		μA
I_{PD}	Total Power Down Supply Current for all PD Modes (Note 9)	$f_{SCLK} = 30$ MHz, SYNC = V_A and $D_{IN} = 0V$ after PD mode loaded	$V_A = 2.7V$ to $3.6V$	0.2	1.5	μA (max)
			$V_A = 4.5V$ to $5.5V$	0.5	3.0	μA (max)
		$f_{SCLK} = 0$, SYNC = V_A and $D_{IN} = 0V$ after PD mode loaded	$V_A = 2.7V$ to $3.6V$	0.1	1.0	μA (max)
			$V_A = 4.5V$ to $5.5V$	0.2	2.0	μA (max)

電気的特性 (つづき)

以下の仕様は、 $V_A = +2.7V \sim +5.5V$ 、 $V_{REF1} = V_{REF2} = V_A$ 、 $C_L = GND$ に対して $200pF$ 、 $f_{SCLK} = 30MHz$ 、入力コード範囲 12 から 1011 という条件に対して適用されます。特記のない限り、太字のリミット値は T_{MIN} T_A T_{MAX} で適用され、それ以外のリミット値は $T_A = 25$ で適用されます。

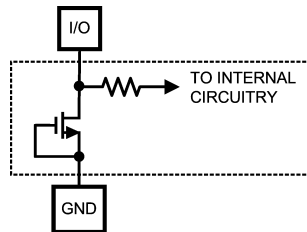
Symbol	Parameter	Conditions	Typical	Limits (Note 8)	Units (Limits)	
P_N	Total Power Consumption (output unloaded)	$f_{SCLK} = 30\text{ MHz}$ output unloaded	$V_A = 2.7V$ to 3.6V	1.95	3.1	mW (max)
			$V_A = 4.5V$ to 5.5V	4.85	7.2	mW (max)
		$f_{SCLK} = 0$ output unloaded	$V_A = 2.7V$ to 3.6V	1.68		mW
			$V_A = 4.5V$ to 5.5V	3.80		mW
P_{PD}	Total Power Consumption in all PD Modes, (Noté 9)	$f_{SCLK} = 30\text{ MHz}$, SYNC = V_A and $D_{IN} = 0V$ after PD mode loaded	$V_A = 2.7V$ to 3.6V	0.6	5.4	μW (max)
			$V_A = 4.5V$ to 5.5V	2.5	16.5	μW (max)
		$f_{SCLK} = 0$, SYNC = V_A and $D_{IN} = 0V$ after PD mode loaded	$V_A = 2.7V$ to 3.6V	0.3	3.6	μW (max)
			$V_A = 4.5V$ to 5.5V	1	11	μW (max)

AC 特性とタイミング仕様

以下の仕様は、 $V_A = +2.7V \sim +5.5V$ 、 $V_{REF1,2} = V_A$ 、 $C_L = GND$ に対して $200pF$ 、 $f_{SCLK} = 30MHz$ 、入力コード範囲 12 から 1011 という条件に対して適用されます。特記のない限り、太字のリミット値は T_{MIN} T_A T_{MAX} で適用され、それ以外のリミット値は $T_A = 25$ で適用されます。

Symbol	Parameter	Conductions	Typical	Limits (Note 8)	Units (Limits)
f_{SCLK}	SCLK Frequency		40	30	MHz (max)
t_s	Output Voltage Settling Time (Note 9)	100h to 300h code change $R_L = 2k\Omega$, $C_L = 200\text{ pF}$	4.5	6.0	μs (max)
SR	Output Slew Rate		1		V/ μs
GI	Glitch Impulse	Code change from 200h to 1FFh	40		nV-sec
DF	Digital Feedthrough		0.5		nV-sec
DC	Digital Crosstalk		0.5		nV-sec
CROSS	DAC-to-DAC Crosstalk		1		nV-sec
MBW	Multiplying Bandwidth	$V_{REF1,2} = 2.5V \pm 2V_{pp}$	360		kHz
ONSD	Output Noise Spectral Density	DAC Code = 200h, 10kHz	40		nV/sqrt(Hz)
ON	Output Noise	BW = 30kHz	14		μV
t_{WU}	Wake-Up Time	$V_A = 3V$	3		μsec
		$V_A = 5V$	20		μsec
$1/f_{SCLK}$	SCLK Cycle Time		25	33	ns (min)
t_{CH}	SCLK High time		7	10	ns (min)
t_{CL}	SCLK Low Time		7	10	ns (min)
t_{SS}	SYNC Set-up Time prior to SCLK Falling Edge		3	10	ns (min)
				$1 / f_{SCLK} - 3$	ns (max)
t_{DS}	Data Set-Up Time prior to SCLK Falling Edge		1.0	2.5	ns (min)
t_{DH}	Data Hold Time after SCLK Falling Edge		1.0	2.5	ns (min)
t_{SH}	SYNC Hold Time after the 16th falling edge of SCLK		0	3	ns (min)
				$1 / f_{SCLK} - 3$	ns (max)
t_{SYNC}	SYNC High Time		5	15	ns (min)

- Note 1:** 絶対最大定格とは、デバイスが破壊される可能性があるリミット値をいいます。動作定格とはデバイスが機能する条件を示していますが、特定の性能リミット値を保証するものではありません。保証された仕様、および試験条件については「電気的特性」を参照してください。保証された仕様はリストに示された試験条件でのみ適用されます。リストに示されている試験条件の下でデバイスを動作させていない場合には、いくつかの性能特性は低下することがあります。最大動作定格を超えた状態でデバイスを動作させてはなりません。
- Note 2:** 特記のない限り、すべての電圧は GND = 0V を基準にして測定されています。
- Note 3:** いずれの入力ピンも入力電圧が 5.5V を上回るかグラウンドを下回ると、そのピンの電流は 10mA に制限されます。最大パッケージ入力定格電流 (30mA) により、電源電圧を超えて 10mA の電流を流すことができるピン数は 3 本に制限されます。
- Note 4:** 温度上昇時の動作では、最大消費電力の定格を T_{jmax} (最大接合部温度: このデバイスの場合、 T_{jmax} は 150)、 J_A (接合部・周囲温度間熱抵抗)、 T_A (周囲温度) に従ってデレーティングしなければなりません。任意温度における最大許容消費電力は、 $P_{DMAX} = (T_{jmax} - T_A) / J_A$ または「絶対最大定格」で示される値のうち、いずれか低い方の値です。デバイスが消費電力の最大値に到達するのは、デバイスが重大な障害状態になっている場合 (例えば入力ピンや出力ピンが動作定格を超えて駆動されている場合、あるいは電源の極性が反転している場合) のみです。このような条件での動作は必ず避けるようにしてください。
- Note 5:** 人体モデルの場合、100pF のコンデンサから直列抵抗 1.5k を通して各ピンに放電させます。マシン・モデルでは 220pF のコンデンサから直列抵抗 0 を通して、各ピンに放電させます。デバイス帯電モデルでは、(自動実装機のフィードを滑り降りるデバイスによる帯電など) 帯電までの時間が長く、急速に放電されるピンのシミュレーションが行われます。
- Note 6:** リフロー温度プロファイルは、鉛フリー・パッケージの場合には異なります。
- Note 7:** 各入出力ピンは、下図に示すような回路で保護されています。デジタル入力電圧が 5.5V 以下であれば、 V_A の電圧に関係なく、変換結果に誤差は生じません。例えば V_A が 3V の場合でも、デジタル入力ピンは 5V ロジック・デバイスで駆動できます。



- Note 8:** テスト・リミット値はナショナル セミコンダクターの平均出荷品質レベル AOQL に基づき保証されます。
- Note 9:** このパラメータは設計および特性評価、またはそのいずれか一方によって保証されています。製造時の試験は行っていません。
- Note 10:** このパラメータは、DAC が連続的に耐えられる条件を表しているわけではありません。チャネルごとの DAC 出力電流の最大値については、連続モードでの出力電流の規格を参照してください。

タイミング図

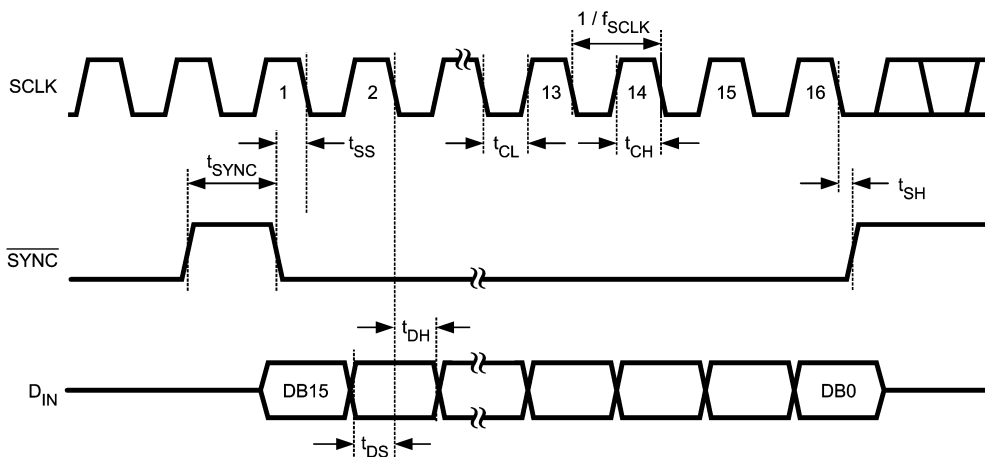


FIGURE 1. Serial Timing Diagram

用語の定義

微分非直線性誤差 (**DIFFERENTIAL NON-LINEARITY: DNL**) は理想的な 1LSB ステップ・サイズからの最大偏差を表す評価基準です。1LSB は $V_{REF}/1024 = V_A/1024$ です。

DAC 間クロストーク (DAC-to-DAC CROSSTALK) は、DAC 出力でのフルスケールの変化に応じて他の DAC 出力に伝達されるグリッチ・インパルスです。

デジタル・クロストーク (DIGITAL CROSSTALK) は、DAC 入力レジスタでのフルスケールの変化に応じて、変換スケールの中点で別の DAC 出力に伝達されるグリッチ・インパルスです。

デジタル・フィードスルー (DIGITAL FEEDTHROUGH) は、DAC 出力が更新されないときに、デジタル入力から DAC のアナログ出力に注入されるエネルギーを表す評価基準です。データバス上のフルスケール・コード変化を用いて測定します。

フルスケール誤差 (FULL-SCALE ERROR) は、DAC にフルスケール・コード (3FFh) を読み込んだときの実際の出力電圧と $V_A \times 1023/1024$ の値との差です。

ゲイン誤差 (GAIN ERROR) は、伝達関数の実測値と理想カーブとの偏差のことです。ゲイン誤差 GE は、ゼロスケール誤差 ZE とフルスケール誤差 FSE から、 $GE = FSE - ZE$ として求められます。

グリッチ・インパルス (GLITCH IMPULSE) は、DAC レジスタへの入力コードが変化したときにアナログ出力に注入されるエネルギーです。単位を nV-s (ナノボルト秒) とするグリッチ面積で規定されます。

積分非直線性誤差 (INTEGRAL NON-LINEARITY: INL) は、入出力間の伝達関数を通る直線を基準とした、各個別コードの偏差を表す評価基準です。この直線と任意のコードとの偏差は、各コード値の中央から測定します。エンド・ポイント法が用いられます。この製品の INL は電気的特性のとおり制限付き範囲に対して規定されます。

最下位ビット (LEAST SIGNIFICANT BIT: LSB) とは、ワード中の全ビットのうち、値つまり重みが最小のビットのことです。LSB の値は、次式で表されます。

$$LSB = V_{REF}/2^n$$

変換特性

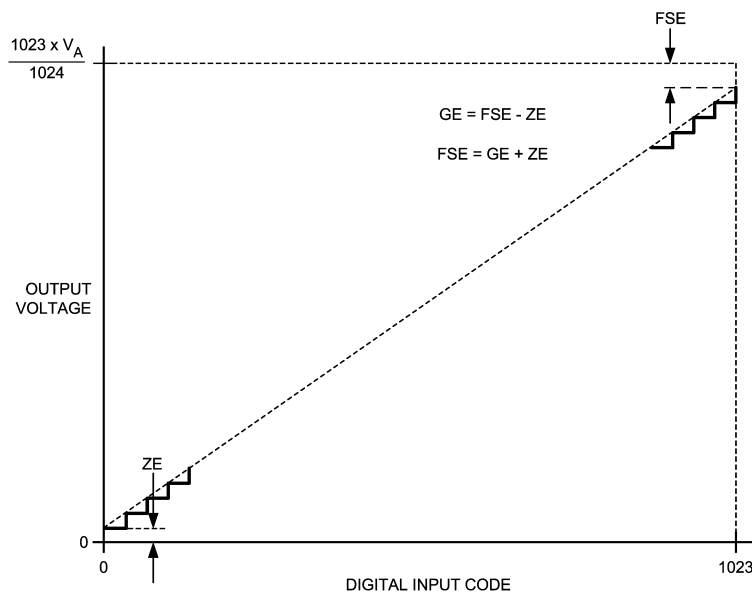


FIGURE 2. Input / Output Transfer Characteristic

ここで、 V_{REF} はこの製品の電源電圧、"n" は DAC の分解能 (単位: ビット) で、DAC108S085 の場合は 10 です。

最大負荷容量 (MAXIMUM LOAD CAPACITANCE) は、出力安定性が維持された状態で DAC が駆動できる最大容量です。

単調性 (MONOTONICITY) とは、入力コードを増加した場合に DAC の出力が決して減少しない、単調な状態のことです。

最上位ビット (MOST SIGNIFICANT BIT: MSB) とは、ワード中の全ビットのうち、値つまり重みが最大のビットのことです。MSB の値は V_A の 1/2 です。

マルチプライング帯域幅 (MULTIPLYING BANDWIDTH) は、DAC コードがフルスケールの状態で、 $V_{REF1,2}$ に重畳した正弦波の振幅に比べて出力振幅が 3dB 低下する周波数です。

ノイズ・スペクトル密度 (NOISE SPECTRAL DENSITY) は、内部で発生するランダム・ノイズを指します。DAC にフルスケールの 1/2 のコードを入力し、出力でノイズを測定します。

電力効率 (POWER EFFICIENCY) は、全電源電流に対する出力電流の比です。出力電流の供給源は電源です。電源電流と出力電流の差は、負荷がない状態でデバイスが消費する電力になります。

セトリング時間 (SETTLING TIME) は、入力コードの更新後、出力が最終値から 1/2LSB の範囲内に落ち着くまでの時間です。

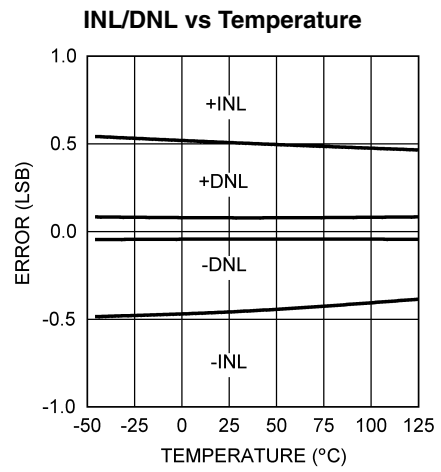
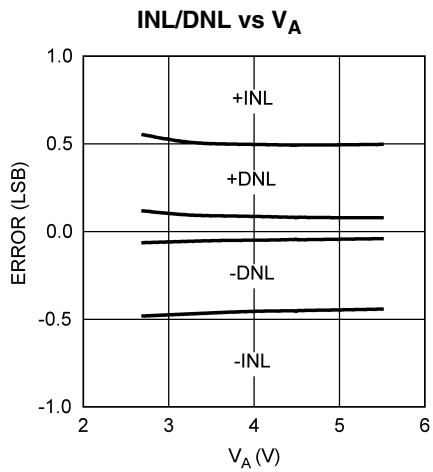
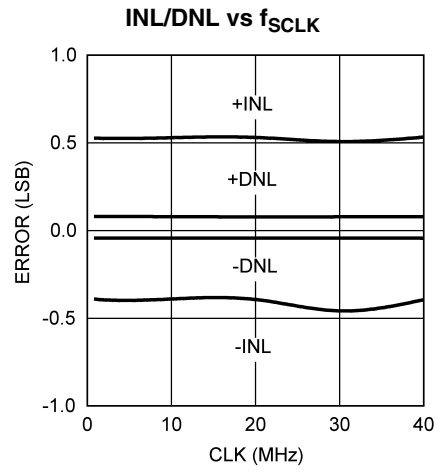
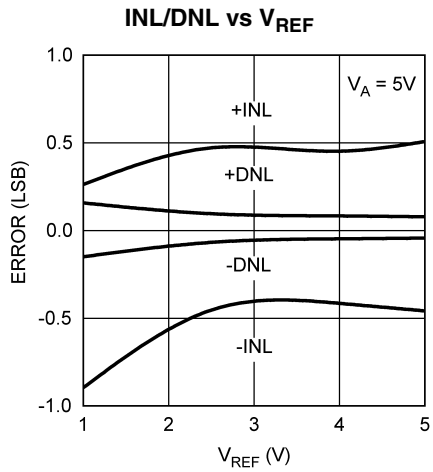
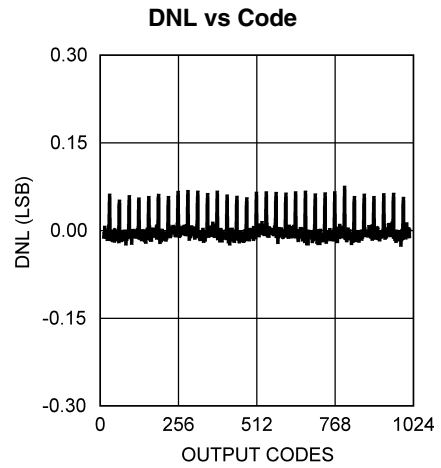
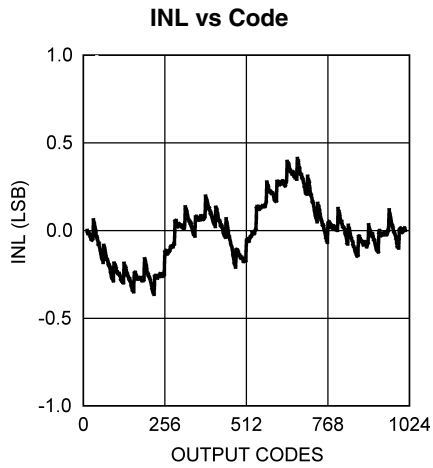
全高調波歪み + ノイズ (TOTAL HARMONIC DISTORTION PLUS NOISE: THD+N) とは、DAC コードがフルスケールの 1/2 の状態で $V_{REF1,2}$ に理想的な正弦波を重畳した場合に、DAC 出力に現れる高調波とノイズの和に対して、理想的な正弦波の rms 値との比をとったものです。

ウェイクアップ時間 (WAKE-UP TIME) は、出力がパワーダウン・モードから復帰するまでの時間です。これは、SCLK の立ち上がりエッジから、出力電圧がパワーダウン電圧の 0V から変化するまでの時間に相当します。

ゼロコード誤差 (ZERO CODE ERROR) は、コード 000h を入力後に DAC 出力に現れる、出力誤差あるいは電圧です。

代表的な性能特性

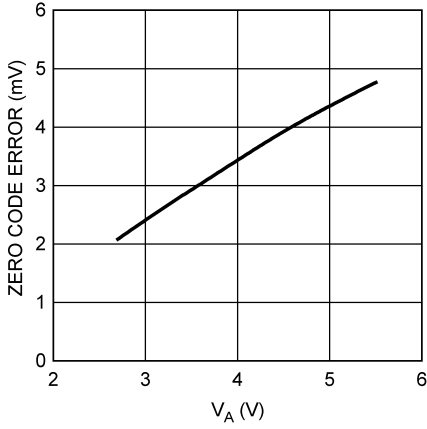
特記のない限り、 $V_A = +2.7V \sim +5.5V$ 、 $V_{REF1,2} = V_A$ 、 $f_{SCLK} = 30MHz$ 、 $T_A = 25^\circ$ 。



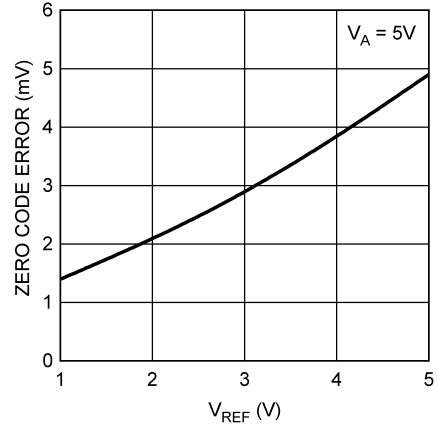
代表的な性能特性 (つづき)

特記のない限り、 $V_A = +2.7V \sim +5.5V$ 、 $V_{REF1,2} = V_A$ 、 $f_{SCLK} = 30MHz$ 、 $T_A = 25 \text{ }^\circ C$ 。

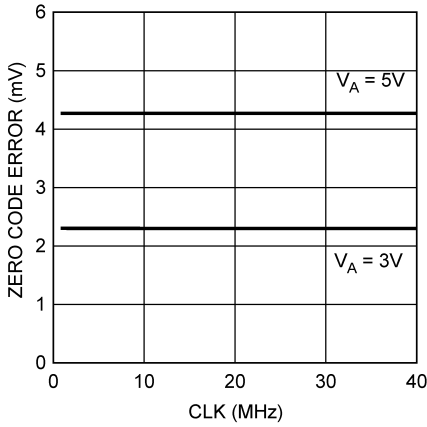
Zero Code Error vs. V_A



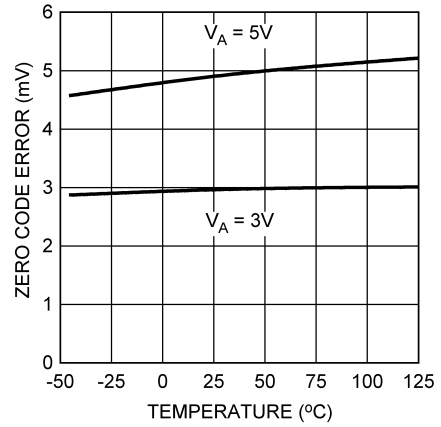
Zero Code Error vs. V_{REF}



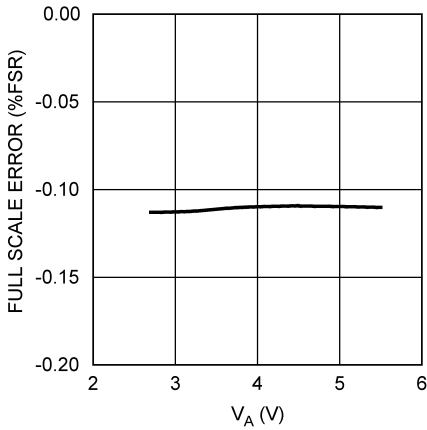
Zero Code Error vs. f_{SCLK}



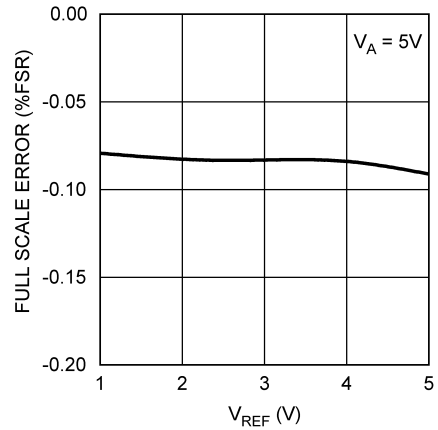
Zero Code Error vs. Temperature



Full-Scale Error vs. V_A

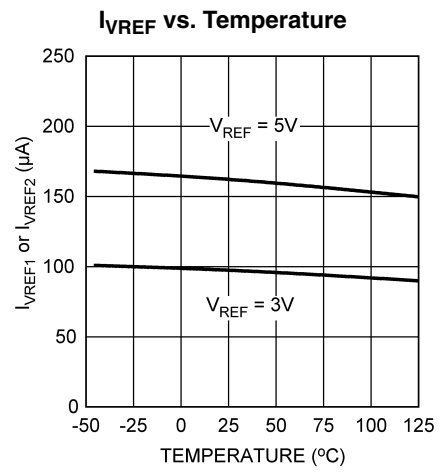
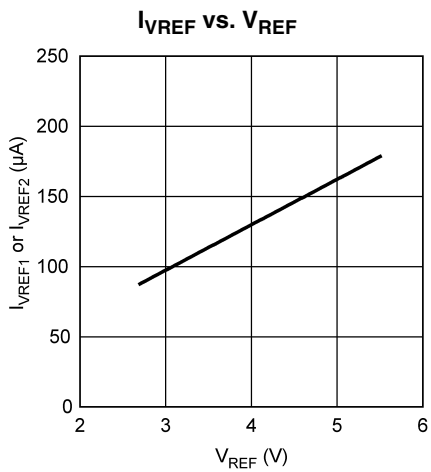
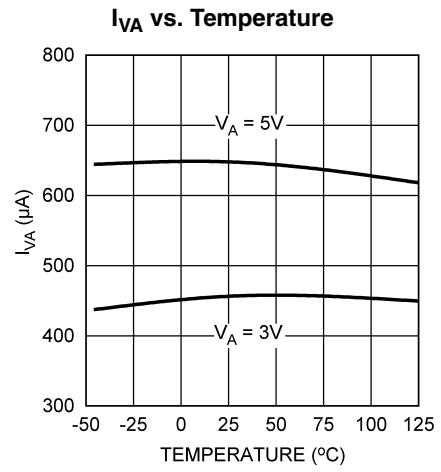
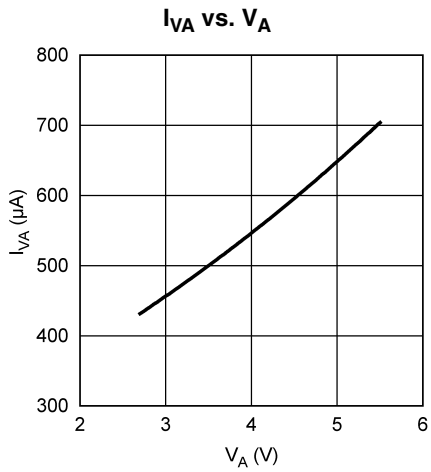
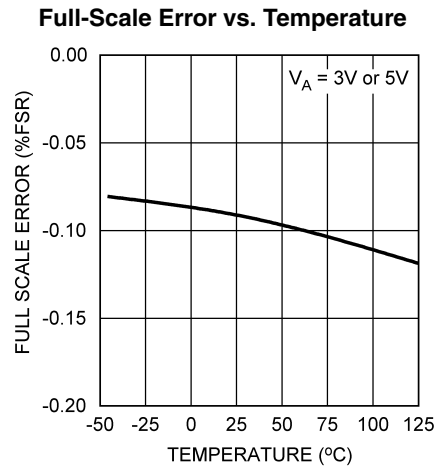
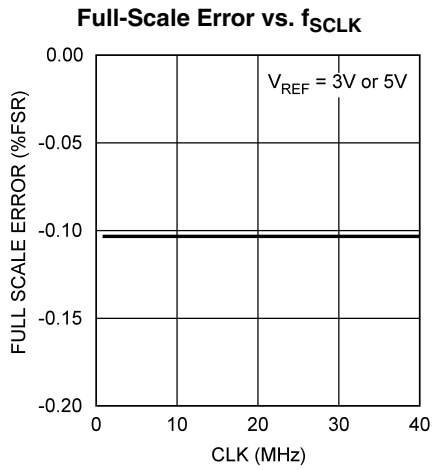


Full-Scale Error vs. V_{REF}



代表的な性能特性 (つづき)

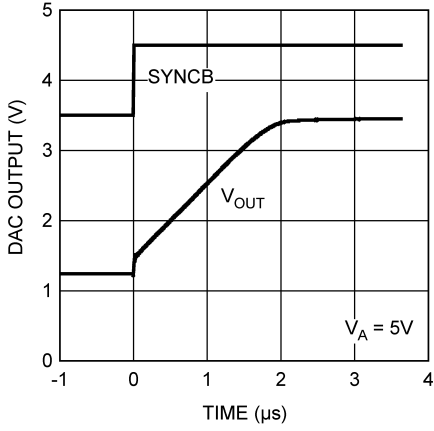
特記のない限り、 $V_A = +2.7V \sim +5.5V$ 、 $V_{REF1,2} = V_A$ 、 $f_{SCLK} = 30MHz$ 、 $T_A = 25^\circ C$ 。



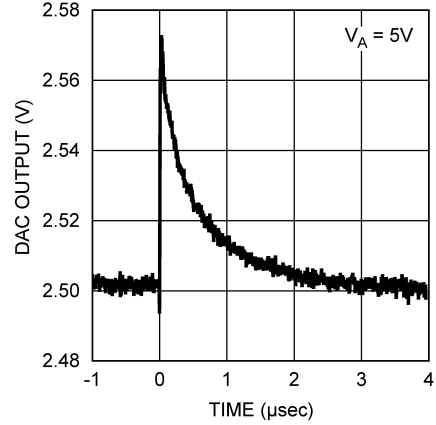
代表的な性能特性 (つづき)

特記のない限り、 $V_A = +2.7V \sim +5.5V$ 、 $V_{REF1,2} = V_A$ 、 $f_{SCLK} = 30MHz$ 、 $T_A = 25$ 。

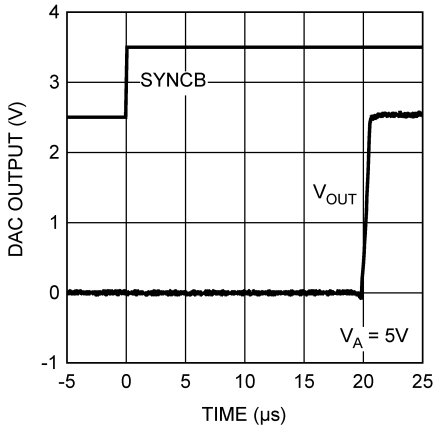
Settling Time



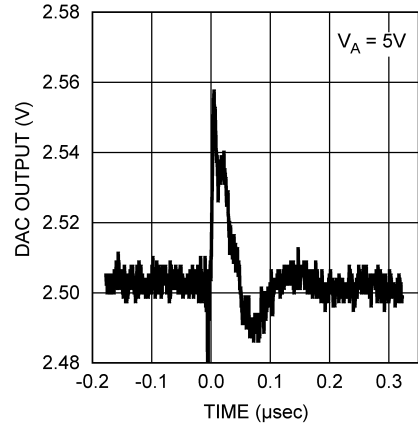
Glitch Response



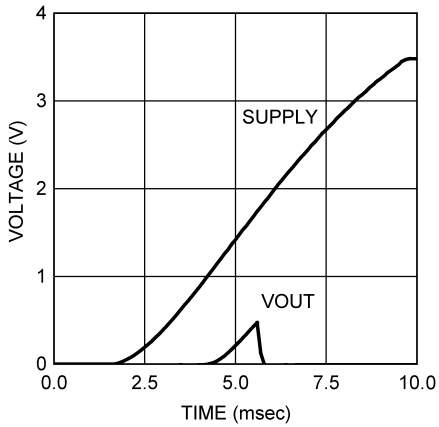
Wake-Up Time



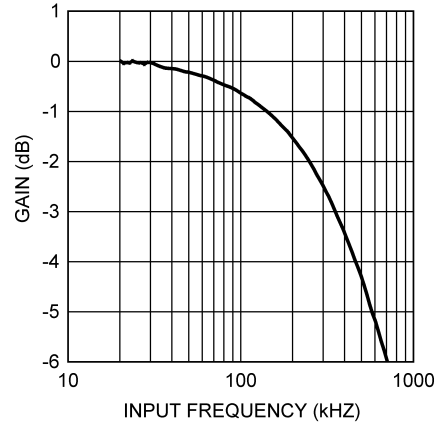
DAC-to-DAC Crosstalk



Power-On Reset



Multiplying Bandwidth



1.0 機能説明

1.1 DAC の構造

DAC108S085 は CMOS プロセスで製造され、スイッチと抵抗の列の後段に出力バッファを置く構造を採用しています。基準電圧は、DAC チャンネル A から D までは V_{REF1} に、DAC チャンネル E から H までは V_{REF2} に、それぞれ外部から印加されます。

説明を簡単にするために、Figure 3 に 1 回路分の抵抗列を示します。この抵抗列は値の等しい 1024 本の抵抗から構成され、このうちの 2 本の抵抗の接点に対して 1 つの割合でスイッチがあります。さらに最後のスイッチの一端はグラウンドに接続されています。DAC レジスタに読み込まれたコードにより、どのスイッチを閉じるかが決まり、適切なノードがアンプに接続されます。入力コードの形式はストレート・バイナリで理想出力電圧は次のとおりです。

$$V_{OUTA,B,C,D} = V_{REF1} \times (D/1024)$$

$$V_{OUTE,F,G,H} = V_{REF2} \times (D/1024)$$

ここで、 D は DAC レジスタに読み込まれたバイナリ・コードと等価な 10 進数です。 D は 0 から 1023 までのいずれかの値になります。この構成により、DAC の単調性が保証されます。

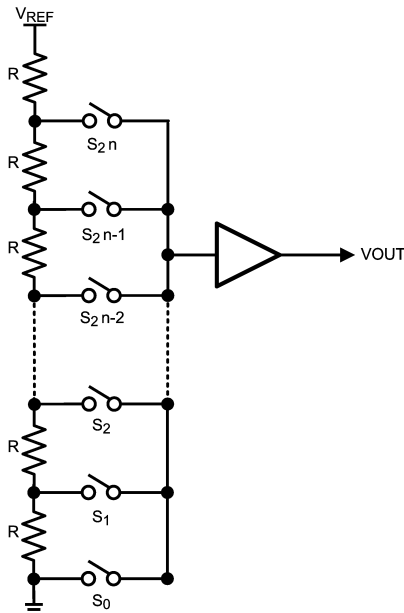


FIGURE 3. DAC Resistor String

DAC108S085 の 8 つの DAC チャンネルは、すべて独立して制御できるため、各チャンネルは DAC レジスタと 10 ビット DAC で構成されています。Figure 4 は、DAC108S085 の個々のチャンネルの簡単なブロック図です。動作モードに応じて、DAC レジスタに書き込まれるデータによって 10 ビット DAC の出力が更新される場合もあれば、DAC 出力を更新するのに追加のコマンドが必要な場合もあります。動作モードの詳細については、「シリアル・インタフェース」を参照してください。

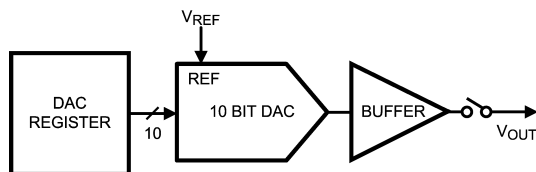


FIGURE 4. Single Channel Block Diagram

1.2 出力アンプ

出力アンプはフルスイングに対応しており、基準電圧が V_A のとき、0V から V_A の範囲の出力電圧が得られます。すべてのアンプは、それがフルスイング対応のアンプの場合でも、出力電圧が電源電圧の両端の値（この場合は 0V および V_A ）に近づくにつれて直線性が悪化します。そのため、直線性は DAC の全出力範囲より狭い範囲で規定されます。ただし、基準電圧が V_A より小さい場合、直線性が悪化するのはいずれの側の側のみとなります。

出力アンプは、2k の負荷と、それと並列にグラウンドまたは V_A との間に接続された 1500pF を駆動できます。ある特定の負荷電流でのゼロコード出力とフルスケール出力は電気的特性の表に規定されています。

1.3 基準電圧

DAC108S085 では、 V_{REF1} および V_{REF2} という 2 系統の外部基準電圧を使用しており、それぞれチャンネル A、B、C、D およびチャンネル E、F、G、H で共用されます。基準電圧入力ピンにはバッファが存在せず、入力インピーダンスは 30k です。 V_{REF1} および V_{REF2} は、出力インピーダンスの低い電圧源で駆動することを推奨します。基準電圧範囲は 0.5V ~ V_A であるため、可能な限り広い出力ダイナミック・レンジを確保できます。

1.4 シリアル・インタフェース

3 線式インタフェースは SPI™、QSPI、MICROWIRE、およびほとんどの DSP インタフェースと互換性があり、最高 40MHz のクロック・レートで動作します。有効なシリアル・フレーム内には、SCLK の立ち下がりがエッジが 16 個あります。ライト・シーケンスの詳細はタイミング図を参照してください。

ライト・シーケンスは SYNC 信号を Low にした時点から始まります。SYNC を Low にすると、 D_{IN} ピンのデータは SCLK クロックの立ち下がりがエッジで 16 ビット・シリアル入力レジスタに取り込まれます。データをシフト・レジスタへ誤って取り込まないようにするには、SCLK の立ち下がりがエッジで SYNC が Low にならないようにすることが重要です（タイミング仕様および Figure 5 で SYNC の最小および最大セットアップ時間を参照）。SCLK の 16 番目の立ち下がりがエッジでは、最後のデータ・ビットがレジスタに取り込まれます。ライト・シーケンスは、SYNC 信号を High にすることで終了します。SYNC が High になると、プログラミングされた機能（DAC チャンネル・アドレス、動作モード、レジスタ内容のいずれかまたは全部の変更）が実行されます。データをシフト・レジスタへ誤って取り込まないようにするには、SCLK の 16 番目と 17 番目の立ち下がりがエッジの間は SYNC を High にしておくことが重要です（タイミング仕様および Figure 5 で SYNC の最小および最大セットアップ時間を参照）。

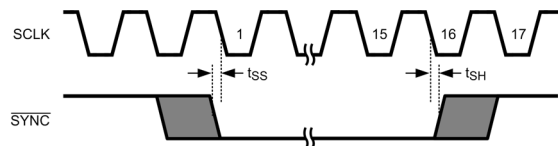


FIGURE 5. CS Setup and Hold Times

SCLK の 15 番目の立ち下がりがエッジより前に SYNC が High になると、ライト・シーケンスは中止され、入力レジスタにシフトされていたデータは破棄されます。SCLK の 17 番目の立ち下がりがエッジ以降も SYNC が Low のまま維持されると、 D_{IN} に存在するシリアル・データは D_{OUT} に出力され始めます。この動作モードの詳細については、「デジター・チェーン動作」セクションを参照してください。いずれの場合も、SYNC の立ち下がりがエッジを使用して次のライト・シーケンスを開始する前に、SYNC を最小規定時間以上 High にしなければなりません。

1.0 機能説明 (つづき)

D_{IN} のパルファはピン電圧が High のときにより多くの電流を引き込むため、消費電力を抑えるにはライト・シーケンス中以外は Low に維持してください。反対に D_{OUT} が動作状態にある場合には、デジタイズ・チェーン動作が開始されないように SYNC を High に維持してください。

1.5 デジタイズ・チェーン動作

デジタイズ・チェーン動作を利用すると、単一のシリアル・インタフェースを使用して任意の数の DAC108S085 と通信できます。ライト・シーケンスで正しい数のデータ・ビット (16 ビットの倍数) が入力されている限り、システム内のすべての DAC は、SYNC の立ち上がりエッジによって正しく更新されます。

デジタイズ・チェーン構成の複数のデバイスをサポートするため、すべての DAC108S085 で SCLK および SYNC を共用し、チェーン内の最初の DAC の D_{OUT} を 2 番目の DAC の D_{IN} に接続します。Figure 6 に、デジタイズ・チェーン方式で接続した 3 つの DAC108S085 を示します。単一チャンネルのライト・シーケンスと同様に、デジタイズ・チェーン動作の変換は、SYNC の立ち上がりエッジで始まり、SYNC の立ち上がりエッジで終わります。デジタイズ・チェーン内の n 個のデバイスの有効なライト・シーケンスのためには、チェーンを通過する入力データ・ストリーム全体をシフトするために、 $n \times 16$ 回の立ち上がりエッジが必要です。デジタイズ・チェーン動作が保証される SCLK 周波数の最大値は 30MHz です。

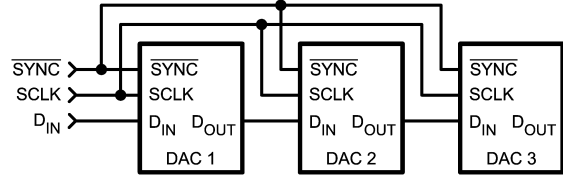


FIGURE 6. Daisy Chain Configuration

DAC108S085 には、シリアル・データ出力ピンの D_{OUT} があるため、システム内部で複数の DAC108S085 デバイスをデジタイズ・チェーンで接続できます。ライト・シーケンスでは、SCLK 立ち上がりエッジの先頭から 14 番目までの間、 D_{OUT} が Low に維持され、その後、15 番目の立ち上がりエッジで High に移行します。その後、次の 16 回の SCLK 立ち上がりエッジにより、 D_{IN} に入力された先頭の 16 個のデータ・ビットが出力されます。Figure 7 に、Figure 6 に示した 3 つの DAC108S085 のタイミングを示します。この例では、3 つの DAC108S085 すべてに適切なレジスタ・データを読み込ませるために、SYNC の立ち上がりエッジまでに、SCLK の立ち上がりエッジが 48 回発生します。SYNC の立ち上がりエッジでは、プログラミングされた機能が各 DAC108S085 で同時に実行されます。

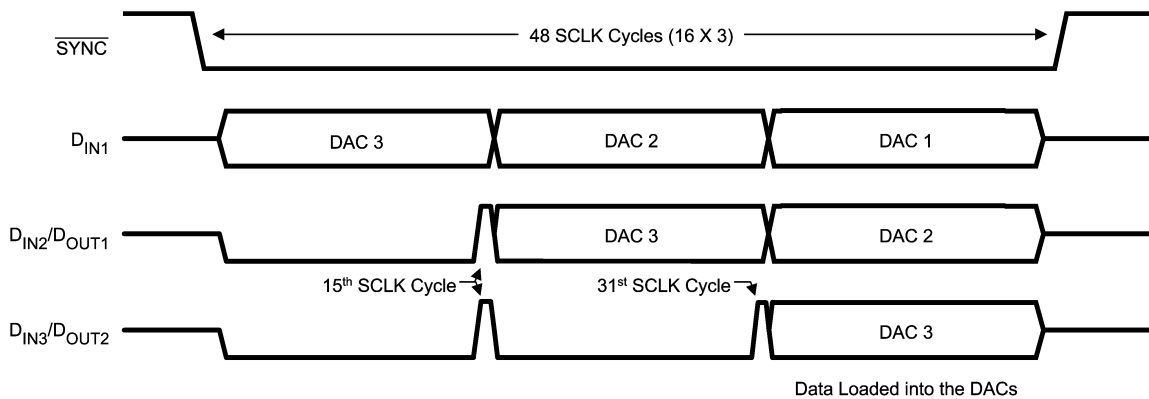


FIGURE 7. Daisy Chain Timing Diagram

1.6 シリアル入力レジスタ

DAC108S085 には、2 種類の動作モードと数種類の特殊コマンド動作があります。2 種類の動作モードとは、レジスタ書き込みモード (WRM) とライト・スルー・モード (WTM) です。このデータシートでは、これ以降、これらのモードのことを WRM および WTM

と記述します。特殊コマンド動作は現在の動作モードとは無関係に呼び出すことができるため、WRM や WTM とは区別されます。この動作モードは、制御レジスタの先頭の 4 ビットである DB15 から DB12 で制御されます。詳細な一覧については、Table 1 を参照してください。

TABLE 1. レジスタ書き込みモードとライト・スルー・モード

DB[15:12]	DB[11:0]	モードの説明
1 0 0 0	X X X X X X X X X X X X	WRM: 各 DAC チャンネルの出力を変化させずに DAC チャンネルのレジスタに書き込むことができます。
1 0 0 1	X X X X X X X X X X X X	WTM: チャンネルのレジスタにデータを書き込むと、DAC 出力が変化します。

1.0 機能説明 (つづき)

DAC108S085 の電源を初めて投入したときには、DAC は WRM になっています。WRM では、個々の DAC チャンネルの出力を更新せずに DAC チャンネルのレジスタに書き込むことができます。このためには、DB15 を "0" に設定し、書き込み先にする DAC レジスタを DB[14:12] に指定して、新規の DAC レジスタ設定を DB[11:0] に入力します (Table 2 参照)。DAC108S085 は、動作モードが WTM に変更されるまで、WRM のままです。動作モー

ドは、DB[15:12] を "1001" に設定することにより、WRM から WTM に変更されます。WTM になると、DAC チャンネルのレジスタにデータを書き込むことにより、DAC の出力も同様に更新されず、DAC チャンネルのレジスタを WTM で変更する方法は、WRM の場合と同様です。ただし、WTM では、DAC のレジスタおよび出力がコマンドの完了時に更新されます (Table 2 参照)。同様に、DB[15:12] を "1000" に設定して動作モードを WRM に変更するまで、DAC108S085 は WTM のままになります。

TABLE 2. WRM および WTM により影響を受けるコマンド

DB15	DB[14:12]	DB[11:0]	モードの説明
0	0 0 0	D11 D10 ... D2 X X	WRM: DB[11:0] は ChA のデータ・レジスタへのみ書き込まれる WTM: ChA の出力は DB[11:0] のデータで更新される
0	0 0 1	D11 D10 ... D2 X X	WRM: DB[11:0] は ChB のデータ・レジスタへのみ書き込まれる WTM: ChB の出力は DB[11:0] のデータで更新される
0	0 1 0	D11 D10 ... D2 X X	WRM: DB[11:0] は ChC のデータ・レジスタへのみ書き込まれる WTM: ChC の出力は DB[11:0] のデータで更新される
0	0 1 1	D11 D10 ... D2 X X	WRM: DB[11:0] は ChD のデータ・レジスタへのみ書き込まれる WTM: ChD の出力は DB[11:0] のデータで更新される
0	1 0 0	D11 D10 ... D2 X X	WRM: DB[11:0] は ChE のデータ・レジスタへのみ書き込まれる WTM: ChE の出力は DB[11:0] のデータで更新される
0	1 0 1	D11 D10 ... D2 X X	WRM: DB[11:0] は ChF のデータ・レジスタへのみ書き込まれる WTM: ChF の出力は DB[11:0] のデータで更新される
0	1 1 0	D11 D10 ... D2 X X	WRM: DB[11:0] は ChG のデータ・レジスタへのみ書き込まれる WTM: ChG の出力は DB[11:0] のデータで更新される
0	1 1 1	D11 D10 ... D2 X X	WRM: DB[11:0] は ChH のデータ・レジスタへのみ書き込まれる WTM: ChH の出力は DB[11:0] のデータで更新される

前述したように、特殊コマンド動作は、動作モードに関係なく随時実行できます。特殊コマンド動作は 3 種類あります。最初のコマンドを実行するには、データ・ビット DB[15:12] を "1010" に設定します。これにより、ユーザーは複数の DAC 出力の値を、現在それぞれの制御レジスタに読み込まれている値に同時に更新できます。このコマンドが有益なのは、各 DAC 出力を異なる出力電圧にする一方で、すべての DAC 出力を目的の値に同時に変更することが必要な場合です (Table 3 参照)。

2 番目の特殊コマンドを使用すると、ユーザーはチャンネル A の DAC 出力を単一の書き込みフレームで変更できます。このコマンドを実行するには、データ・ビット DB[15:12] を "1011" に設定し、データ・ビット DB[11:0] を目的の制御レジスタ値に設定します。このコマンドには、他のチャンネルの DAC 出力も現在の制御レジスタ値に更新するという別の利点もあります。ユーザーは、ライト・シーケンスを保存するためにこのコマンドの実行を選択することができます。例えば、チャンネル A を含むいくつかの DAC 出力を同時に更新する必要がある場合を考えます。この作業を最小の書き込みフレーム数で実行するため、ユーザーは WRM での動作時に、

チャンネル A 以外のすべての DAC 出力の制御レジスタ値を変更します。最後の書き込みフレームは、特殊コマンド「チャンネル A 書き込みモード」を実行するために使用します。チャンネル A の制御レジスタと出力が新しい値に更新されるだけでなく、それ以外のすべてのチャンネルも同様に更新されます。このシーケンスの書き込みフレームの終了時に、DAC108S085 は引き続き WRM で動作します (Table 3 参照)。

3 番目の特殊コマンドを使用すると、ユーザーはすべての DAC 制御レジスタおよび出力を同じレベルに設定できます。このコマンドは、通常、「一斉転送」モードと呼ばれます。同じデータ・ビットがすべてのチャンネルに一斉に転送されるためです。このコマンドを実行するには、データ・ビット DB[15:12] を "1100" に設定し、データ・ビット DB[11:0] に設定する値を、すべての DAC 制御レジスタに一斉転送する値に設定します。このコマンドが実行されると、各 DAC 出力は制御レジスタの新しい値により更新されます。このコマンドは、すべての DAC 出力を、0V、 $V_{REF}/2$ 、フルスケールなど、いくつかの既知の電圧に設定するときによく使用されます。特殊コマンドの要約を Table 3 に示します。

TABLE 3. 特殊コマンドの動作

DB[15:12]	DB[11:0]	モードの説明
1 0 1 0	X X X X H G F E D C B A	更新チャンネルの選択: DB[7:0] を "1" にすることで選択されたチャンネルの DAC 出力が、それぞれに対応する制御レジスタの値に同時に更新されます。
1 0 1 1	D11 D10 ... D3 D2 X X	チャンネル A 書き込み: チャンネル A の制御レジスタおよび DAC 出力は、DB[11:0] のデータに更新されます。その他の 7 チャンネルの出力も、それぞれに対応する制御レジスタの値に更新されます。
1 1 0 0	D11 D10 ... D3 D2 X X	一斉転送: DB[11:0] のデータが全チャンネルの制御レジスタおよび DAC 出力に同時に書き込まれます。

1.0 機能説明 (つづき)

1.7 パワーオン・リセット

パワーオン・リセット回路は、電源投入時に 8 つの DAC の出力電圧を制御します。電源投入時には、DAC レジスタに 0 が書き込まれるため、出力電圧は 0V になります。有効なライト・シーケンスが行われるまで、出力は 0V を維持します。

1.8 パワーダウン・モード

DAC108S085 には、異なる出力終端方法を選択できる 3 種類のパワーダウン・モードがあります (Table 4 参照)。すべてのチャンネルをパワーダウン・モードにした場合、電源電流は、3V 時に 0.1 μ A、5V 時に 0.2 μ A に減少します。DB[7:0] を "1" にしてパワーダウン・モードにするチャンネルを選択すれば、各チャンネルへの電源供給を個別に停止することも、複数のチャンネルへの電源供給を同時に停止することもできます。

3 種類の異なる出力終端方法には、高出力インピーダンス、100k Ω を介してグラウンドへ接続、および 2.5k Ω を介してグラウンドへ接続があります。

いずれのパワーダウン・モードでも、出力アンプ、抵抗列、およびその他のリニア回路はすべてシャットダウンされます。ただし、バイアス・ジェネレータがシャットダウンするのは、すべてのチャンネルがパワーダウン・モードになった場合に限られます。DAC レジスタの内容はパワーダウン・モードによる影響を受けません。このため各 DAC レジスタは、パワーダウン・モードからの復帰を指示するライト・シーケンス中に変更されない限り、DAC108S085 がパワーダウン・モードになる前の値を保持します。消費電力が最小になるのは、パワーダウン・モード時に、 $\overline{\text{SYNC}}$ を High、 D_{IN} を Low にして、SCLK を無効にしたときです。パワーダウンからの復帰時間(ウェイクアップ時間)は、通常、3V 時に 3 μ s、5V 時に 20 μ s です。

TABLE 4. Power-Down Modes

DB[15:12]	DB[11:8]	7	6	5	4	3	2	1	0	Output Impedance
1101	XXXX	H	G	F	E	D	C	B	A	High-Z outputs
1110	XXXX	H	G	F	E	D	C	B	A	100 k Ω outputs
1111	XXXX	H	G	F	E	D	C	B	A	2.5 k Ω outputs

2.0 アプリケーション情報

2.1 DAC108S085 のプログラミング例

このセクションでは、シリアル入力レジスタのプログラミングを行うための操作手順を順を追って説明します。

2.1.1 DAC 出力の同時更新

DAC108S085 の電源を初めて投入したときには、DAC はレジスタ書き込みモード (WRM) で動作します。WRM での動作では、DAC 出力を更新せずに、複数の DAC チャンネルのレジスタをプログラミングすることができます。例として、チャンネル A をフルスケール出力に、チャンネル B をフルスケールの 3/4 に、チャンネル C をフルスケールの 1/2 に、チャンネル D をフルスケールの 1/4 に設定し、すべての DAC 出力を同時に更新するための手順を以下に示します。

前述したように、DAC108S085 は WRM で起動します。デバイスがこれまでライト・スルー・モード (WTM) で動作していた場合は、DAC を WRM に設定するための特別な手順が必要です。まず、DAC レジスタを目的の値に設定する必要があります。チャンネル A の出力をフルスケールに設定するには、制御レジスタに "0FFC" と書き込みます。これにより、チャンネル A の出力を更新せずにチャンネル A のデータ・レジスタを更新できます。第 2 に、制御レジスタに "1C00" と書き込むことにより、チャンネル B の出力をフルスケールの 3/4 に設定します。これにより、チャンネル B のデータ・レジスタを更新できます。この場合も、DAC は WRM で動作しているため、チャンネル B とチャンネル A の出力は更新されません。第 3 に、制御レジスタに "2800" と書き込むことにより、チャンネル C の出力をフルスケールの 1/2 に設定します。第 4 に、制御レジスタに "3400" と書き込むことにより、チャンネル D の出力をフルスケールの 1/4 に設定します。最後に、制御レジスタに "A00F" と書き込むことにより、DAC の全 4 チャンネルを同時に更新します。この手順では、4 チャンネルを 5 つの手順で同時に更新できます。

チャンネル A は更新対象の DAC の 1 つであったため、チャンネル A への書き込みを最後にすれば、コマンド手順を 1 つ節約できます。

これを実行するには、先にチャンネル B、C、D への書き込みを行い、特殊コマンド「チャンネル A 書き込み」を使用してチャンネル A の DAC レジスタおよび出力を更新します。この特殊コマンドには、チャンネル A の更新時にすべての DAC 出力を更新するという別の利点があります。この一連のコマンドを使用した場合は、4 チャンネルを 4 つの手順で同時に更新できます。このコマンドの要約は Table 3 に示してあります。

2.1.2 DAC 出力の個別更新

DAC108S085 が現在 WRM で動作している場合は、制御レジスタに "9XXX" と書き込むことにより、動作モードを WTM に変更します。DAC が WTM で動作するようになると、どの DAC チャンネルも 1 手順で更新できます。例えば、チャンネル G をフルスケールの 1/2 に設定するという設計要求がある場合は、制御レジスタとチャンネル G のデータ・レジスタに "6800" と書き込むと、DAC 出力を更新できます。同様に、チャンネル F の出力をフルスケールに設定する必要がある場合は、制御レジスタに "5FFC" と書き込む必要があります。チャンネル A は、動作モードに関係なく、その DAC 出力を 1 コマンドで更新できる特殊コマンドがある唯一のチャンネルです。制御レジスタに "BFFF" と書き込むことにより、チャンネル A の DAC 出力を 1 手順でフルスケールに設定することができます。

2.2 基準電圧を電源として使用

DAC108S085 は構成が単純で使い勝手に優れますが、基準電圧入力 ($V_{\text{REF}1,2}$) から DAC 出力までの経路では、電源電圧除去比 (PSRR) が 0 であることを認識しておくことが重要です。このため、 $V_{\text{REF}1,2}$ にはノイズのない電源電圧を供給する必要があります。DAC108S085 のダイナミックレンジを最大限に利用するには、電源ピン (V_A) と $V_{\text{REF}1,2}$ を結線して、同一の電源電圧を分配します。DAC108S085 の消費電力はきわめて少ないため、基準電圧源を基準電圧入力だけではなく電源電圧としても使用できます。電圧レギュレータを基準電圧源として使用するメリットは、精度と安定性です。一部の低ノイズ・レギュレータも使用できます。以下に、DAC108S085 の基準電圧源および電源として使用できるデバイスを列記します。

2.0 アプリケーション情報 (つぎ)

2.2.1 LM4132

LM4132 は全温度範囲にわたる精度が $\pm 0.05\%$ であることから、DAC108S085の基準電圧源として適しています。0V ~ 4.095V の出力電圧範囲が望ましい場合は、4.096V 品が便利です。LM4132の入力電圧ピンと出力電圧ピンをそれぞれ4.7 μF のコンデンサでバイパスすると、安定性が向上し出力ノイズが減少します。LM4132は省スペースの5ピン SOT23 パッケージで供給されます。

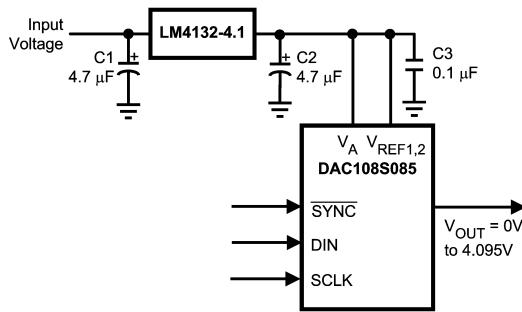


FIGURE 8. The LM4132 as a power supply

2.2.2 LM4050

$\pm 0.1\%$ の精度を備える LM4050 シャント基準電圧源も DAC108S085の基準電圧源に適しています。4.096V 品と5V 品があり、省スペースの3ピン SOT23 パッケージで供給されます。

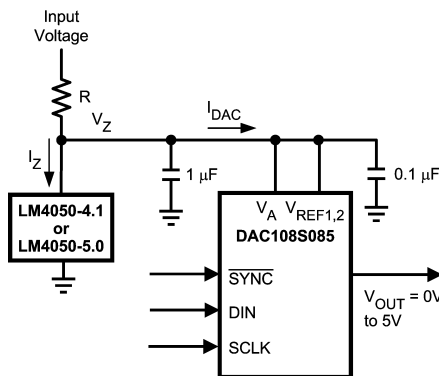


FIGURE 9. The LM4050 as a power supply

Figure 9の回路で抵抗 R の最小値は、LM4050を流れる最大電流が定格の15mAを超えないように選択する必要があります。電流が最大となる条件は、入力電圧が最大、LM4050の出力電圧が最小、DAC108S085の引き込み電流が0の場合です。また、抵抗 R の最大値は、LM4050がレギュレーションするために必要な最小電流に加えて、DAC108S085がフル動作をしたときの最大電流より大きい電流を流すことができるように設定する必要があります。電流が最小となる条件は、入力電圧が最小、LM4050の出力電圧が最大、許容誤差のために抵抗値が最大の状態で、DAC108S085が最大電流を引き込んでいる場合です。これらの条件は次のように記述することができます。

$$R(\min) = (V_{IN}(\max) - V_Z(\min)) / I_{Z}(\max)$$

および

$$R(\max) = (V_{IN}(\min) - V_Z(\max)) / (I_{DAC}(\max) + I_Z(\min))$$

ここで、 $V_Z(\min)$ と $V_Z(\max)$ はLM4050の公称出力電圧 \pm 全温度範囲でのLM4050出力電圧許容誤差、 $I_Z(\max)$ はLM4050を流れる最大許容電流、 $I_Z(\min)$ はLM4050の適切なレギュレーションに必要な最小電流、 $I_{DAC}(\max)$ はDAC108S085の最大電源電流です。

2.2.3 LP3985

LP3985は低ノイズの超低ドロップアウト電圧レギュレータで、全温度範囲にわたる精度は $\pm 3\%$ です。DAC108S085に高精度の基準電圧を必要としないアプリケーションに適しています。3.0V品、3.3V品、5V品などがあり、低周波数領域でのノイズ規格が30 μV と低いことが特長です。低周波ノイズはフィルタリングが比較的に難しいため、一部のアプリケーションではこの規格が重要になります。LP3985は、省スペースの5ピン SOT23 パッケージと5ピン micro SMD パッケージで供給されます。

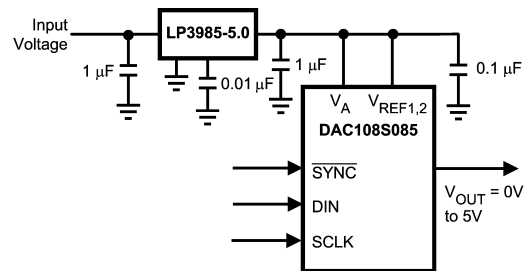


FIGURE 10. Using the LP3985 regulator

LP3985の入力側には、ESR要件のない1.0 μF の入力コンデンサが必要です。一方、出力側には、5m から500m の範囲のESR要件を持つ1.0 μF のセラミック・コンデンサが必要です。デバイスの適切な動作を確保するため、コンデンサの仕様は十分注意して読み解いてください。

2.2.4 LP2980

LP2980は超低ドロップアウト・レギュレータで、全温度範囲にわたる精度はグレードにより異なり $\pm 0.5\%$ または $\pm 1.0\%$ です。3.0V品、3.3V品、5V品などがあります。

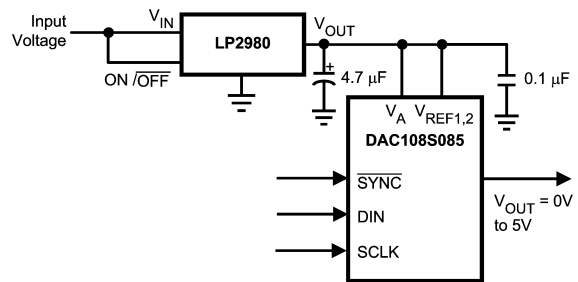


FIGURE 11. Using the LP2980 regulator

他の低ドロップアウト・レギュレータと同様に、LP2980はループ安定性を確保するために出力コンデンサを必要とします。出力コンデンサは全温度範囲にわたって少なくとも1.0 μF の容量が必要であり、2.2 μF 以上でより良好な性能が得られます。このコンデンサのESRはLP2980データシートで規定されている範囲内にあることが要求されます。表面実装型の固体タンタル・コンデンサを使用すると、小型で低ESRという良好な組み合わせが得られます。セラミック・コンデンサは小型であることに特長がありますが、LP2980と組み合わせて使用する場合には、通常、ESR値が小さすぎます。アルミ電解コンデンサはサイズが大きく低温でESR値が大きくなるため、一般的には適していません。

2.0 アプリケーション情報 (つづき)

2.3 バイポーラ動作

DAC108S085 は単一電源動作に合わせて設計されているため、ユニポーラ出力になっています。ただし、Figure 12 の回路を使用すればバイポーラ出力が得られます。この回路の出力電圧範囲は± 5V です。アンプの電源が± 5V に制限されている場合は、フルスイング・アンプを使用してください。

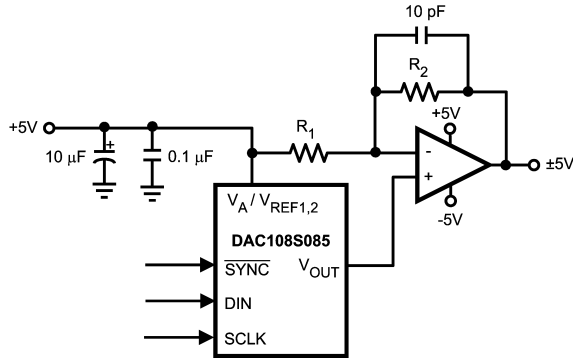


FIGURE 12. Bipolar Operation

任意のコードに対するこの回路の出力電圧は、次式により求められます。

$$V_O = (V_A \times (D / 1024) \times ((R_1 + R_2) / R_1) - V_A \times R_2 / R_1)$$

ここで、D は 10 進法で表した入力コードです。V_A = 5V、R₁ = R₂ のとき、上式は次のように整理できます。

$$V_O = (10 \times D / 1024) - 5V$$

このアプリケーションに適したフルスイング・アンプの一覧を Table 5 に示します。

TABLE 5. Some Rail-to-Rail Amplifiers

AMP	PKGS	Typ V _{OS}	Typ I _{SUPPLY}
LMP7701	SOT23-5	±37 μV	0.79 mA
LMV841	SOT23-5	-17 μV	1.11 mA
LMC7111	SOT23-5	900 μV	25 μA
LM7301	SOT23-5	30 μV	620 μA
LM8261	SOT23-5	700 μV	1 mA

2.4 可変電流源出力

DAC108S085 は電圧出力タイプの DAC ですが、オペアンプを外付けすることにより、電流出力タイプに簡単に転用できます。Figure 13 では、DAC108S085 のいずれかのチャネルを最大 40mA を供給可能な可変電流源に転用しています。

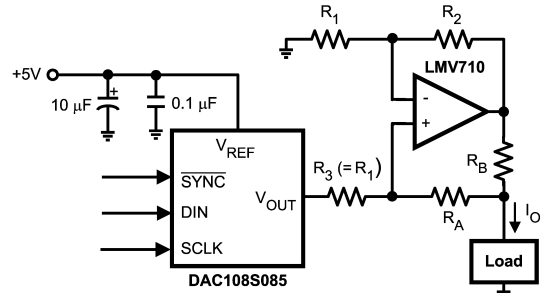


FIGURE 13. Variable Current Source

任意の DAC コードに対するこの回路の出力電流 (I_O) は、次式により求められます。

$$I_O = (V_{REF} \times (D / 1024) \times (R_2) / (R_1 \times R_B))$$

ここで、D は 10 進法で表した入力コードであり、R₂ = R_A + R_B です。

2.5 アプリケーション回路

以降の図は、DAC108S085 の代表的なアプリケーション回路の例です。これらの回路は基本的なものであり、個別の各環境で使用するには、通常、修正が必要になります。

2.5.1 工業用アプリケーション

Figure 14 に、数種類の回路を工業用の設定で制御している DAC108S085 を示します。チャネル A は、ナショナル セミコンダクターの汎用 A/D コンバータ (ADC) である ADC101S625 へ基準電圧を供給している様子を示しています。ADC121S625 の基準電圧は 0.2V ~ 5.5V の任意の電圧に設定可能で、可能な最も広範囲のダイナミック・レンジを提供します。通常、ADC121S625 はセンサをモニタしており、ADC の基準電圧が調整可能になることでメリットが得られます。チャネル B はセンサの駆動電圧または電源電圧を供給しています。センサの電源電圧を調整可能にすることにより、センサをモニタしている ADC の入力レベルに対してセンサの出力を最適化できます。チャネル C は、システムのアンプ段のオフセットまたはゲインを調整する目的で定義されます。チャネル D は調整可能な電流源を供給するために、オペアンプと組み合わせて設定されます。DAC108S085 の 8 チャネルのいずれかを電流出力に転用することができるため、アプリケーション回路に別の電流出力 DAC を追加せずに済みます。チャネル E では、オペアンプと組み合わせることにより、振幅の中心がグラウンド付近にある制御電圧が必要なデバイスに対してバイポーラ出力スイングを出力します。チャネル F および G は、レンジ検出器の上限および下限を設定するために使用します。チャネル H は電圧制御機能の提供や電圧設定点としての動作に備えて残っています。

2.0 アプリケーション情報 (つづき)

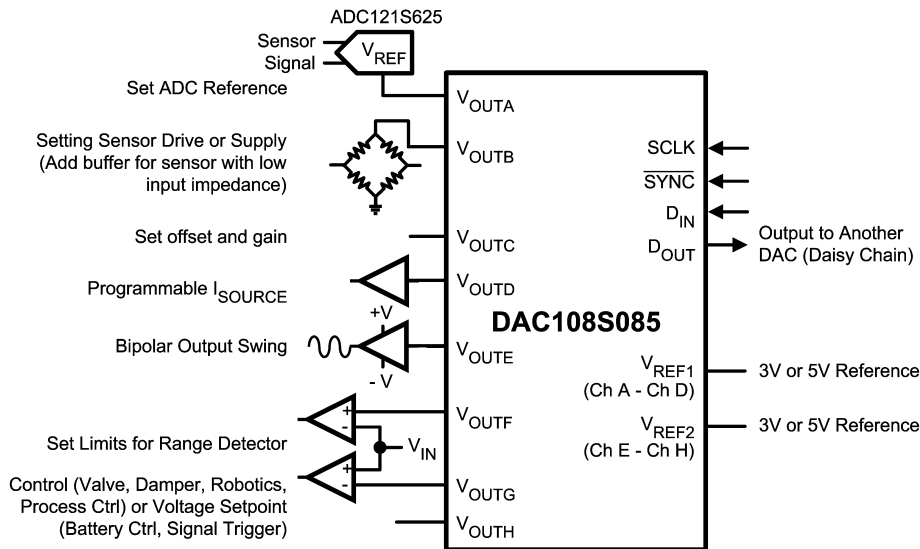


FIGURE 14. Industrial Application

2.5.2 ADC の基準電圧

Figure 15 は、ブリッジ・センサの駆動電圧または電源電圧を供給する DAC108S085 のチャンネル A を示しています。センサの電源電圧を調整可能にすることにより、センサをモニタしている ADC の入力レベルに対してセンサの出力を最適化できます。センサの出力は、差動ゲインの値が $1 + 2 \times (R_F / R_I)$ である固定ゲインのアンプ段により増幅されます。このアンプ構成の利点は、ブリッジ・センサの出力側から見た入力インピーダンスが高いことです。欠点は、同相信号除去比 (CMRR) 特性が良くないことです。ブリッジ・センサの同相電圧 (V_{CM}) は、チャンネル A の DAC 出力の半分です。 V_{CM} は、アンプ段により $1V/V$ のゲインで増幅され、ADC121S705 の入力のバイアス電圧になります。DAC108S085 のチャンネル B は、ADC121S705 に基準電圧を供給しています。ADC121S705 の基準電圧は $1V \sim 5V$ の任意の電圧に設定可能で、可能な最も広範囲のダイナミック・レンジを提供します。

チャンネル A および B の基準電圧は、外部の $5V$ 電源により供給されます。 $5V$ 電源はセンサ電源電圧および ADC の基準電圧と共通であるため、 $5V$ 電源の値の変動による ADC のデジタル出力コードへの影響は最小限に抑えられます。このタイプの構成のことを、多くの場合、「レシオメトリック」設計と呼びます。例えば、 $5V$ 電源の値が 5% 上昇すると、センサ電源電圧も 5% 上昇します。このため、センサのゲインつまり感度が 5% 増加します。アンプ段のゲインは、電源電圧の変化には影響を受けません。一方、ADC121S705 の基準電圧は 5% 上昇します。このため、ADC の最下位ビット (LSB) のサイズは 5% 大きくなります。センサのゲインが 5% 増加し、ADC の LSB サイズが同じ 5% 増加した結果、最終的には回路の性能に影響はありません。アンプのゲインは、センサ出力の 5% 増加が可能になるよう、十分小さい値に設定していることを前提にしています。ゲインの値が大きいと、センサ出力レベルの増加によってアンプの出力がクリップする可能性があります。

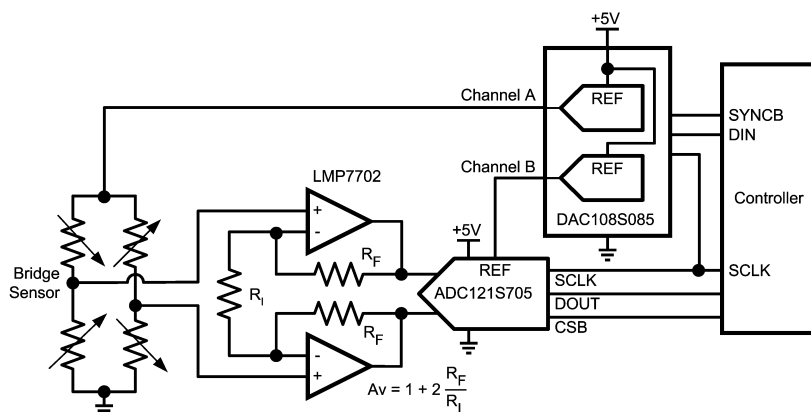


FIGURE 15. Driving an ADC Reference

2.0 アプリケーション情報 (つづき)

2.5.3 プログラマブル・アッテネータ

Figure 16 には、DAC108S085 のいずれか 1 チャンネルが単一象限乗算器として使用されている様子を示します。この構成では、AC 信号または DC 信号をいずれかの基準電圧ピンに接続して駆動できます。DAC の SPI インタフェースを使用すると、信号を 0dB (フルスケール) を基準にした任意のレベルから 0V までデジタル方式で減衰させることができます。この減衰操作は、認識できるレベルのノイズが信号に付加されることなく実行できます。Figure 16 には、入力信号の増幅を必要とするアプリケーションの参考としてアンプ段を示してあります。このアプリケーションの AC 信号を増幅する前にアンプに AC 結合する方法に注目してください。別個のバイアス電圧を使用して、DAC108S085 の基準電圧入力と同相電圧を $V_A/2$ に設定し、最大限の入力スイングを確保できるようにしています。 $V_{REF1,2}$ のマルチプライング帯域幅は 360kHz であり、 V_{CM} は 2.5V、ピークツーピークの信号スイングは 2V です。

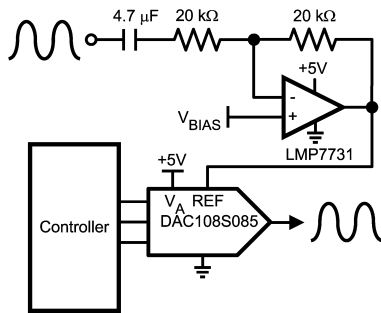


FIGURE 16. Programmable Attenuator

2.6 DSP/ マイクロプロセッサとのインタフェース

DAC108S085 とマイクロプロセッサや DSP とのインタフェースはごく単純です。設計工程を短縮するためのガイドラインを以下に示します。

2.6.1 ADSP-2101/ADSP2103 とのインタフェース

Figure 17 に、DAC108S085 と ADSP-2101/ADSP2103 間のシリアル・インタフェースを示します。DSP は SPORT Transmit Alternate Framing Mode 動作に設定します。プログラミングは SPORT 制御レジスタを介して行い、内部クロック動作、アクティブ Low フレーミング、16 ビットのワード長に合わせて構成します。転送は SPORT モードを有効にしたあとの Tx レジスタへのワード書き込みで始まります。

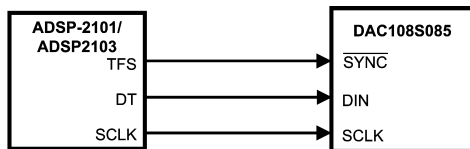


FIGURE 17. ADSP-2101/2103 Interface

2.6.2 80C51/80L51 とのインタフェース

DAC108S085 と 80C51/80L51 マイクロコントローラ間のシリアル・インタフェースを Figure 18 に示します。SYNC 信号はマイクロコントローラのビットプログラマブル・ピンから出力されます。この例ではポート・ライン P3.3 を使用しています。このラインはデータが DAC108S085 に転送されると Low になります。80C51/80L51 は

8 ビット・バイトを転送するため、転送サイクルに存在する立ち下がりがクロック・エッジは 8 個のみです。データを DAC に読み込むには、1 回目の 8 ビット転送後も P3.3 ラインを Low に維持しておく必要があります。2 回目の書き込みサイクルを開始して 2 番目のバイト・データを転送したら、ポート・ライン P3.3 を High にします。80C51/80L51 の送信ルーチンを作成する場合は、80C51/80L51 が送信するデータでは LSB が先頭になるのに対して、DAC108S085 は最初に MSB を読み込む必要がある点に注意してください。

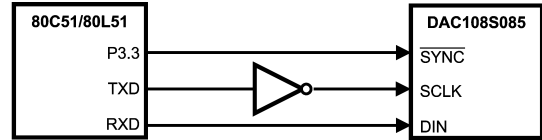


FIGURE 18. 80C51/80L51 Interface

2.6.3 68HC11 とのインタフェース

DAC108S085 と 68HC11 マイクロコントローラ間のシリアル・インタフェースを Figure 19 に示します。DAC108S085 の SYNC ラインは、80C51/80L51 の場合と同様にポート・ライン (図の PC7) から駆動します。

68HC11 の CPOL ビットを 0 に設定し CPHA ビットを 1 に設定してください。この設定によって MOSI 出力のデータは SCLK の立ち下がりがエッジで有効になります。PC7 が Low になると DAC にデータが転送されます。68HC11 は、8 ビット・バイトのデータをクロックの立ち下がりがエッジ 8 つで送信します。データは MSB を先頭に送信されます。PC7 は 1 回目の 8 ビット転送が終わったあとも Low に維持しておかなければなりません。2 回目の書き込みサイクルを開始して DAC に 2 番目のバイト・データを転送したら、PC7 を High にしてライト・シーケンスを終了します。

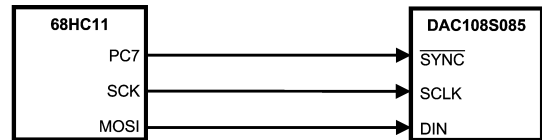


FIGURE 19. 68HC11 Interface

2.6.4 Microwire インタフェース

Figure 20 に、Microwire 互換デバイスと DAC108S085 間のインタフェースを示します。データは SK 信号の立ち上がりエッジに同期して出力されます。このため、Microwire デバイスの SK は DAC108S085 の SCLK を駆動する前に反転が必要です。

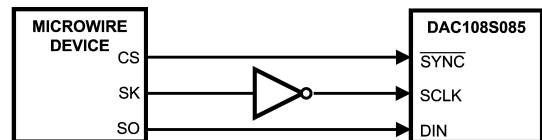


FIGURE 20. Microwire Interface

2.0 アプリケーション情報 (つづき)

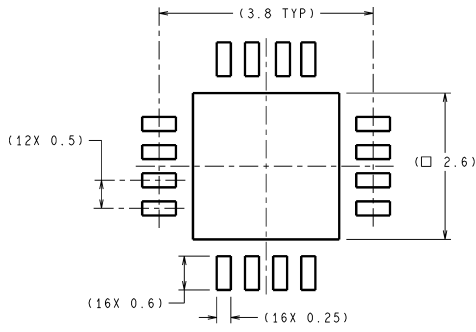
2.7 レイアウト、グラウンド、バイパス

変換精度を可能な限り高めノイズを最小限に抑えるため、DAC108S085 を実装したプリント回路基板上では、アナログ領域とデジタル領域とを分離する必要があります。これらの領域はアナログ電源パターンとデジタル電源パターンの配置によって決まります。この 2 つの電源パターンは同一の基板層に配置してください。単一グラウンド・パターンの方が適切なのは、デジタルの戻り電流がアナログ・グラウンド領域を流れない場合です。一般に単一グラウンド・パターン設計では、「遮断」テクニックを利用することにより、アナログ・グラウンド電流とデジタル・グラウンド電流が混合しないようにします。分離したグラウンド・パターンは遮断テクニックが不適切な場合にのみ使用してください。分離したグラウンド・パターンの場合は一箇所接続する必要があり、なるべく DAC108S085 の近くに接続してください。エッジ・レートが高速なデジタル信号がグラウンド・パターンの分割境界をまたがないように十分注意してください。このようなデジタル信号は信号トレースの直下に連続したリターン・パスを形成してしまうからです。

最適な性能を得るためには、DAC108S085 の電源を $1\mu\text{F}$ 以上のコンデンサと $0.1\mu\text{F}$ のコンデンサでバイパスしてください。 $0.1\mu\text{F}$ のコンデンサは、電源ピンのすぐ近くに配置することが必要です。 $1\mu\text{F}$ 以上のコンデンサはタンタル・コンデンサでかまいませんが、 $0.1\mu\text{F}$ のコンデンサは ESL および ESR の小さいセラミック・コンデンサにする必要があります。 $1\mu\text{F}$ のコンデンサに ESL および ESR の小さいセラミック・コンデンサを使用する場合で、そのコンデンサを電源ピンのすぐ近くに配置できる場合は、 $0.1\mu\text{F}$ のコンデンサを省略できます。この特性のコンデンサは、通常、周波数スペクトルの範囲が $0.1\mu\text{F}$ のコンデンサと同じであるため、コンデンサを追加する必要がなくなります。DAC108S085 の電源は、アナログ回路とのみ共用してください。

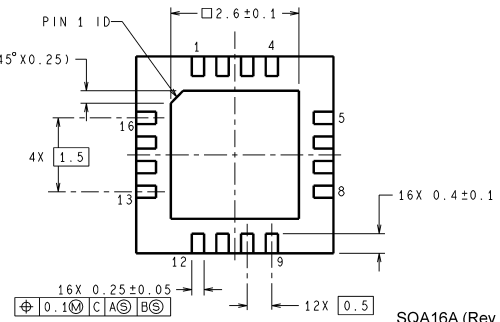
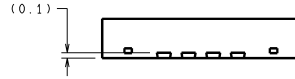
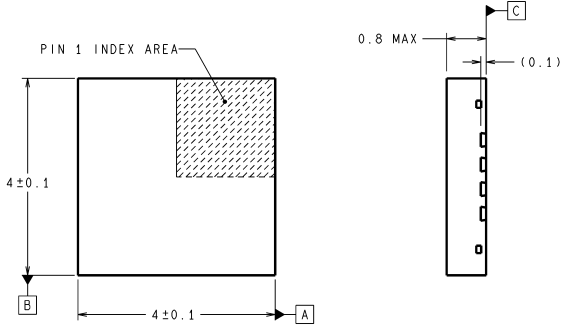
アナログ信号とデジタル信号は交わらないようにすることを推奨します。こうすると、デジタル信号の遷移を発生源とするノイズが、基準電圧ピンや DAC 出力など、影響を受けやすいアナログ信号に結合する大きさを最小限に抑えるために役立ちます。

外形寸法図 特記のない限り inches (millimeters)



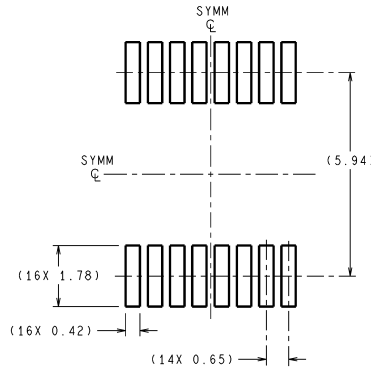
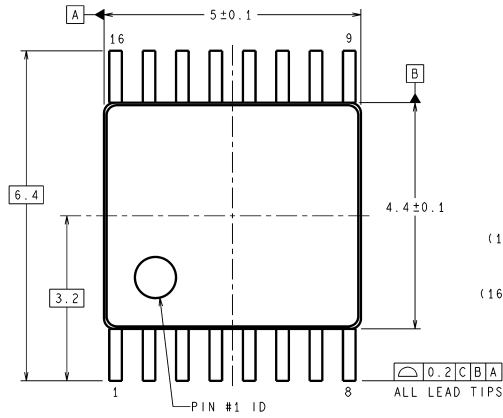
DIMENSIONS ARE IN MILLIMETERS
DIMENSIONS IN () FOR REFERENCE ONLY

RECOMMENDED LAND PATTERN

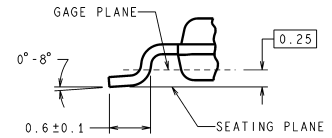


SQA16A (Rev A)

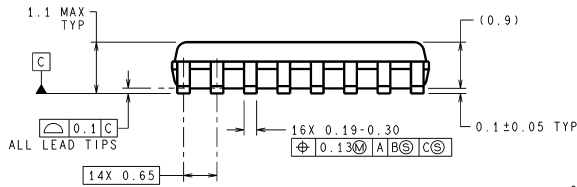
16-Lead LLP
Order Numbers DAC108S085CISQ
NS Package Number SQA16A



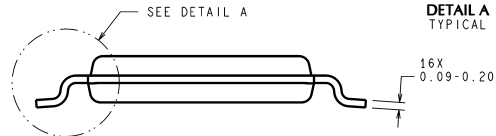
RECOMMENDED LAND PATTERN



DETAIL A
TYPICAL



DIMENSIONS ARE IN MILLIMETERS
DIMENSIONS IN () FOR REFERENCE ONLY



MTC16 (Rev D)

16-Lead TSSOP
Order Numbers DAC108S085CIMT
NS Package Number MTC16

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務を負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2007 National Semiconductor Corporation
製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上