



16ビット、シングル・チャンネル、±18V出力（バッファなし）、超低消費電力、シリアル・インターフェイス、DA コンバータ

特長

- 16ビット分解能
- 出力：±18V（±18Vリファレンス電圧入力）
- ±18V電源動作
- 超低消費電力
- 高精度INL：1LSB
- 低ノイズ：10nV/√Hz
- 高速セトリング：1LSBまで1μs
- 高速SPI™インターフェイス：最大50MHz
- 16ピンTSSOPパッケージ
- ゼロまたはミッドスケールへ選択リセット

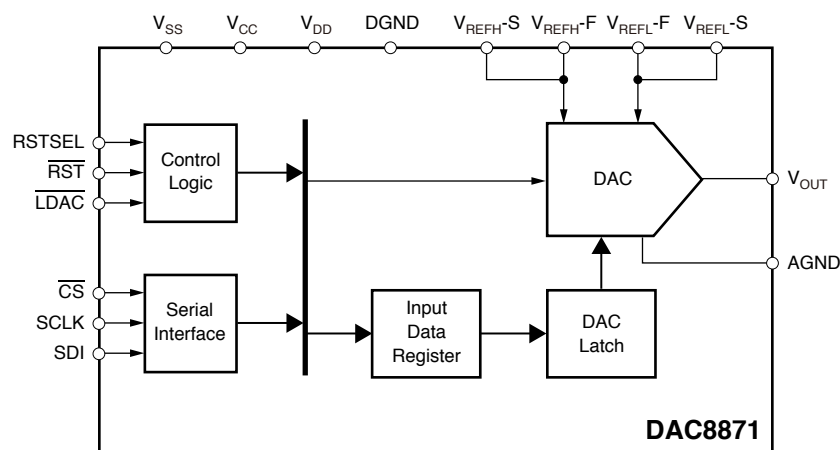
アプリケーション

- 携帯機器
- 自動試験装置
- 産業用プロセス制御
- データ・アキュイジション・システム
- 光ネットワーク

解説

DAC8871は16ビット、シングル・チャンネル、シリアル入力、電圧出力型のDAコンバータ（DAC）です。出力範囲はリファレンス電圧 V_{REFH} および V_{REFL} により定まります。リファレンス電圧を適切に選択することで、出力をユニポーラあるいはバイポーラに設定でき、最大出力電圧は±18Vです。このコンバータは規定の動作温度範囲-40°C～+105°Cにわたって、優れた直線性（1LSBのINL）、低ノイズ、および高速セトリング特性（フルスケール出力で1μs/1LSB）を提供します。出力バッファがないため、消費電力およびバッファ起因の誤差が低減されます。本デバイスは、標準的な高速クロック（最大50MHz）の3Vまたは5VのSPIシリアル・インターフェイスによってDSPやマイクロプロセッサと通信を行います。

最適な特性を得るために、外部リファレンス電圧をケルビン接続する端子を備えています。DAC8871はTSSOP-16パッケージで提供します。



Gate Drive、PowerPAD は、テキサス・インスツルメンツの商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本 TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本 TI による和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TI および日本 TI は、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

製品情報⁽¹⁾

製品型番	最小相対精度 (LSB)	微分非直線性 (LSB)	温度範囲	パッケージ捺印	パッケージ	パッケージ・コード
DAC8871B	±1	±1	-40°C to +105°C	8871	TSSOP-16	PW
DAC8871	±3	±1	-40°C to +105°C	8871	TSSOP-16	PW

(1) 最新のパッケージ情報と発注情報については、このデータシート末尾のパッケージ・オプション追捕または、TIのウェブ・サイト (www.tij.co.jp, www.ti.com) を参照してください。

絶対最大定格⁽¹⁾

	DAC8871	単位
$V_{DD} \sim GND$	-0.3 ~ +7	V
デジタル入力電圧~GND	-0.3 ~ ($V_{DD} + 0.3$)	V
AGND~DGND	-0.3 ~ +0.3	V
$V_{CC} \sim V_{SS}$	-0.3 ~ +39.6	V
$V_{CC} \sim AGND$	-0.3 ~ +19.8	V
$V_{SS} \sim AGND$	+0.3 ~ -19.8	V
$V_{REFH} \sim V_{REFL}$	-0.3 ~ +39.6	V
$V_{REFH} \sim AGND$	-0.3 ~ +19.8	V
$V_{REFL} \sim AGND$	-19.8 ~ +17.5	V
動作温度範囲	-40 ~ +105	°C
保存温度範囲	-65 ~ +150	°C
最大ジャンクション温度 ($T_J \max$)	+150	°C
許容損失	$(T_J \max - T_A)/\theta_{JA}$	W
熱抵抗, θ_{JA}	TSSOP-16 161.4	°C/W

(1) 絶対最大定格を超えるストレスが加わった場合、デバイスが永続的なダメージを受ける事があります。また、絶対最大定格の状態が続いた場合、デバイスの信頼性に影響を与える事があります。

電気的特性

(特に記述の無い限り) $T_A = T_{MIN} \sim T_{MAX}$, $V_{CC} = +15V$, $V_{SS} = -15V$, $V_{REFH} = +10V$, $V_{REFL} = -10V$, $V_{DD} = +5V$

パラメータ		測定条件	DAC8871			単位
			MIN	TYP	MAX	
静特性						
分解能			16			ビット
直線性誤差	DAC8871B	$V_{REFH} = 10V, V_{REFL} = -5V$	± 0.75		± 1	LSB
		$V_{REFH} = 10V, V_{REFL} = -10V$	± 1		± 1.5	LSB
	DAC8871		± 1		± 3	LSB
微分直線性誤差			± 0.25		± 1	LSB
ゲイン誤差		$T_A = +25^\circ C$	± 0.5		2	LSB
ゲイン・ドリフト			± 0.1			ppm/ $^\circ C$
バイポーラ・ゼロ誤差		$T_A = +25^\circ C$	± 1		± 4	LSB
バイポーラ・ドリフト			± 0.1			ppm/ $^\circ C$
ゼロ・コード誤差		$T_A = +25^\circ C$	± 0.5		± 2	LSB
ゼロ・コード・ドリフト			± 0.05			ppm/ $^\circ C$
出力特性						
出力電圧			V_{REFL}		V_{REFH}	V
出カインピーダンス			6.25			k Ω
セトリング時間		FSの1LSBまで, $C_L = 15\text{ pF}$	1			μs
スルー・レート ⁽¹⁾		$C_L = 15\text{ pF}$	40			V/ μs
デジタル・フィードスルー ⁽²⁾			0.2			nV-s
出力ノイズ		$T_A = +25^\circ C$	10			nV/ \sqrt{Hz}
電源除去		電源変動 $\pm 10\%$			1	LSB
リファレンス入力						
V_{REFH}	Ref high 入力電圧範囲		0	$+18$		V
V_{REFL}	Ref low 入力電圧範囲		-18	$V_{REFH} - 1.25$		V
	Ref high 入力電流		1.3			mA
	Ref low 入力電流		-1.3			mA
	リファレンス入力インピーダンス ⁽³⁾		7.5			k Ω
	リファレンス入力容量	Code = 0000h	75			pF
		Code = FFFFh	120			pF
デジタル入力						
V_{IL}	"L" 入力電圧	$V_{DD} = +5V$	DGND	0.8		V
		$V_{DD} = +3V$	DGND	0.6		V
V_{IH}	"H" 入力電圧	$V_{DD} = +5V$	2.6	V_{DD}		V
		$V_{DD} = +3V$	2.1	V_{DD}		V
	入力電流		± 1		μA	
	入力容量		10		pF	

(1) スルー・レートは、出力が0からフルスケールに変化する際の遷移の10%から90%を測定しています。

(2) デジタル・フィードスルーは、デジタル入力からアナログ出力へ注入されるインパルスとして定義されます。これは、 \overline{CS} を"High"に保ちSCLKおよびDIN信号がトグルしている、DAC出力が変化しない条件下で測定されます。このときのSDIバスにおけるフルスケールのコード変化(すなわち、0000hから1111h、およびその逆)で規定されます。

(3) リファレンス電圧入力抵抗にはコード依存性があり、最小値は8555hのときです。

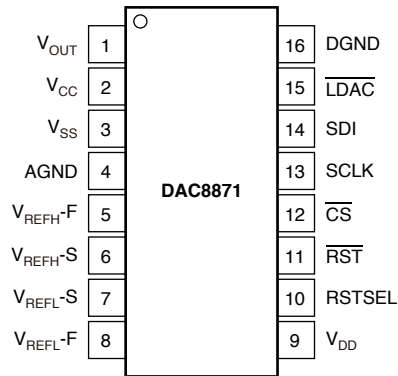
電気的特性（続き）

(特に記述の無い限り) $T_A = T_{MIN} \sim T_{MAX}$, $V_{CC} = +15V$, $V_{SS} = -15V$, $V_{REFH} = +10V$, $V_{REFL} = -10V$, $V_{DD} = +5V$

パラメータ	測定条件	DAC8871			単位
		MIN	TYP	MAX	
電源					
V_{CC}		+13.5	+15	+19.8	V
V_{SS}		-19.8	-15	-13.5	V
V_{DD}		+2.7		+5.5	V
I_{CC}			0.01	2	μA
I_{SS}			-0.01	-2	μA
I_{DD}			3	10	μA
消費電力			15	30	μW
温度範囲					
規定		-40		+105	$^{\circ}C$

ピン配置

PWパッケージ
TSSOP-16
(上面図)



ピン構成

端子		説明
NO.	名称	
1	V _{OUT}	DACアナログ出力
2	V _{CC}	アナログ正電源: +15V
3	V _{SS}	アナログ負電源: -15V
4	AGND	アナログ・グラウンド
5	V _{REFH-F}	V _{REFH} リファレンス入力 (フォース)、外部 V _{REFH} に接続
6	V _{REFH-S}	V _{REFH} リファレンス入力 (センス)、外部 V _{REFH} に接続
7	V _{REFL-S}	V _{REFL} リファレンス入力 (センス)、外部 V _{REFL} に接続
8	V _{REFL-F}	V _{REFL} リファレンス入力 (フォース)、外部 V _{REFL} に接続
9	V _{DD}	デジタル電源、5Vロジックのインターフェースの場合 +5V、3Vロジックのインターフェースの場合 +3V
10	RSTSEL	パワーオン・リセットの選択、パワーオン・リセット後のV _{OUT} を決める。V _{DD} に接続の場合、DACラッチがパワーオン後にミッドスケールに設定され、V _{OUT} = (V _{REFH} - V _{REFL})/2。DGNDに接続の場合、DACラッチはクリアされ('0'), V _{OUT} = V _{REFL} 。
11	RST	リセット (アクティブ "Low")
12	CS	チップ・セレクト入力 (アクティブ "Low")、CS が "Low" のときデータをSDIへクロック入力
13	SCLK	シリアル・クロック入力
14	SDI	シリアル・データ入力、データはSCLKの立ち上がりエッジでレジスタにラッチ
15	LDAC	Load DAC 制御入力(アクティブ"Low")、LDAC が "Low" のときDACラッチにラッチすると同時に入力レジスタの内容を更新
16	DGND	デジタル・グラウンド

タイミング図

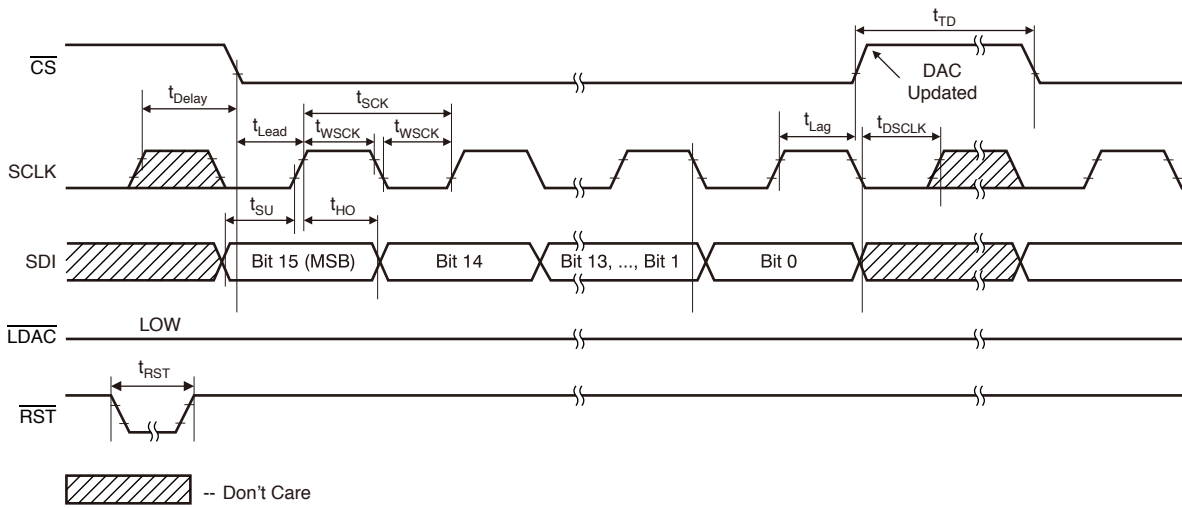


図1. \overline{LDAC} が“Low”固定の場合

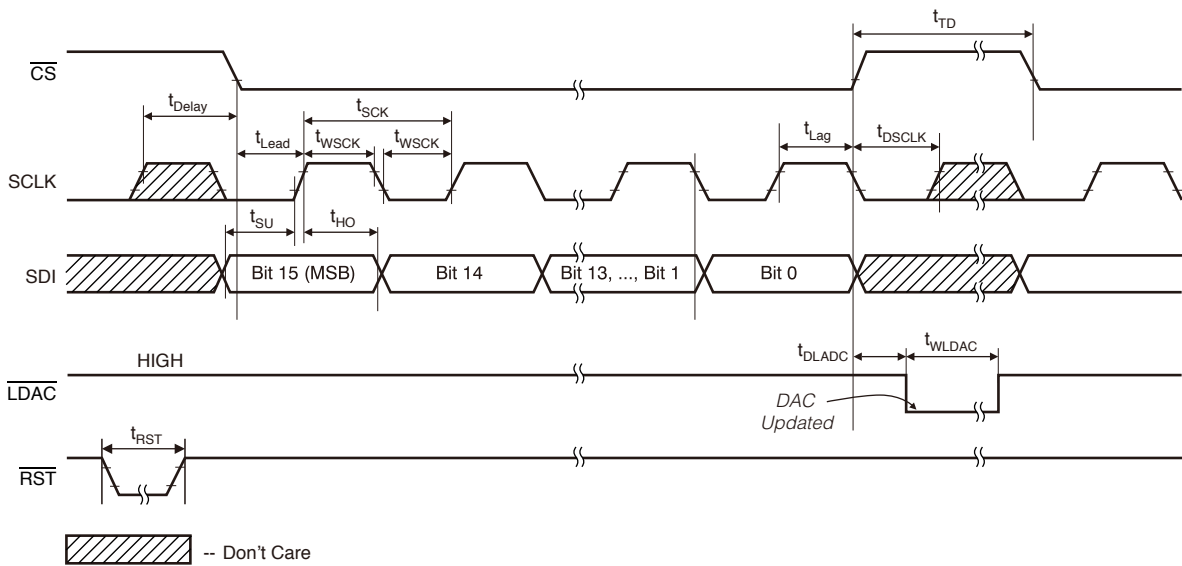


図2. \overline{LDAC} をアクティブにする場合

タイミング特性：V_{DD}=+5V⁽¹⁾⁽²⁾

(特に記述の無い限り) T_A=-40 ~ +105°C

パラメータ		MIN	MAX	UNIT
t _{SCK}	SCLK 周期	20		ns
t _{WSCK}	SCLK "High"/"Low" 時間	10		ns
t _{Delay}	SCLK "High"から \overline{CS} "Low" までの遅延時間	10		ns
t _{Lead}	\overline{CS} イネーブルになる時間	10		ns
t _{Lag}	\overline{CS} イネーブルの遅れ時間	10		ns
t _{DSCLK}	\overline{CS} "High"から SCLK "High"までの遅延時間	10		ns
t _{TD}	\overline{CS} のアクティブからアクティブ間の \overline{CS} "High"時間	30		ns
t _{SU}	データ・セットアップ時間 (入力)	10		ns
t _{HO}	データ・ホールド時間 (入力)	0		ns
t _{WLDAC}	\overline{LDAC} 幅	30		ns
t _{DLDAC}	\overline{CS} "High"から \overline{LDAC} "Low" までの遅延時間	30		ns
t _{RST}	リセット (RST) "Low"時間	10		ns
	V _{DD} "High"から \overline{CS} "Low" まで (パワーアップ遅延時間)	10		μs

(1) 設計でのデータ。製造時に試験はしていません。

(2) 出荷開始時に抜き取りサンプル・テスト、その後は再設計やプロセス変更時に試験を行いこのパラメータに反映します。

代表的特性

(特に記述の無い限り) $T_A = +25^\circ\text{C}$, $V_{DD} = +5\text{V}$, $V_{CC} = +15\text{V}$, $V_{SS} = -15\text{V}$, $V_{REFH} = +10\text{V}$, $V_{REFL} = -10\text{V}$

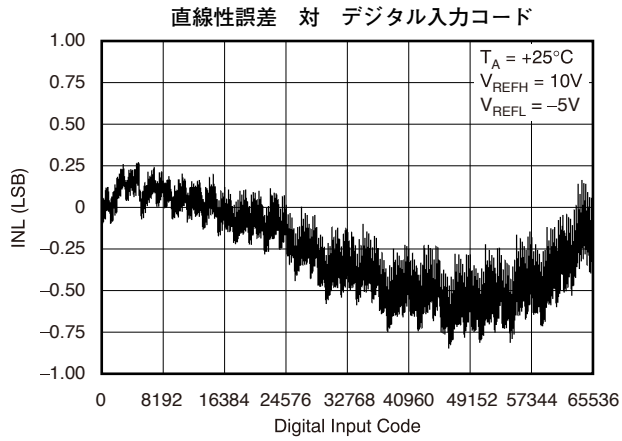


図3

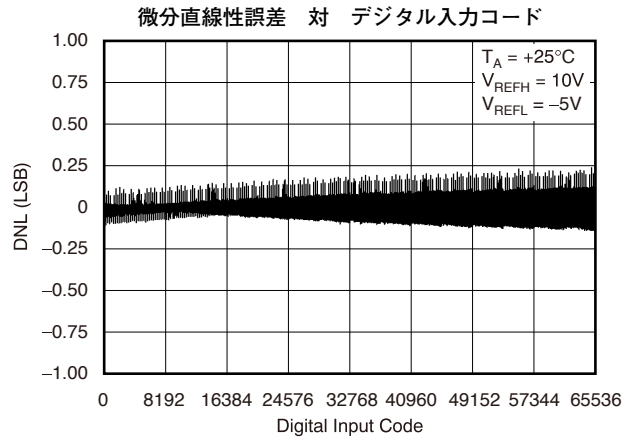


図4

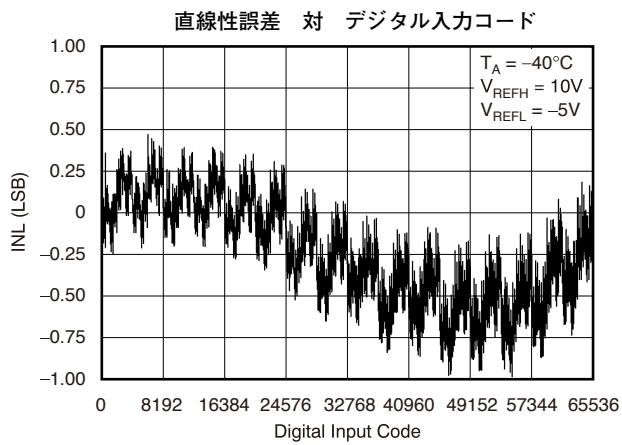


図5

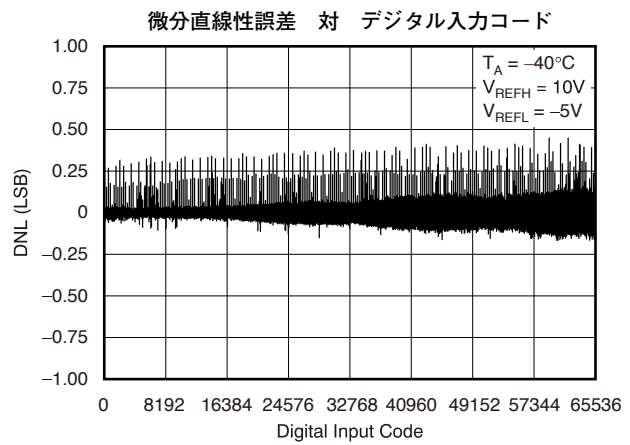


図6

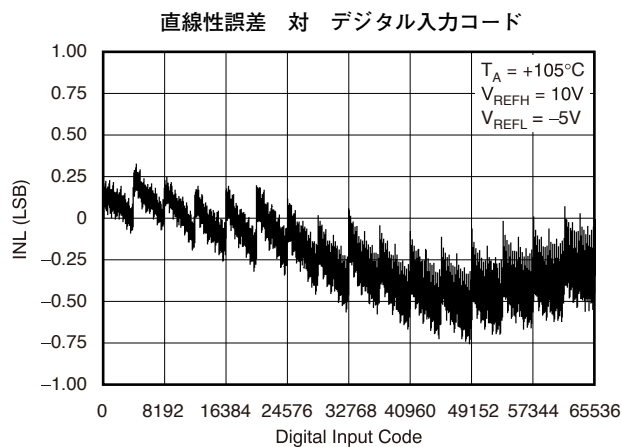


図7

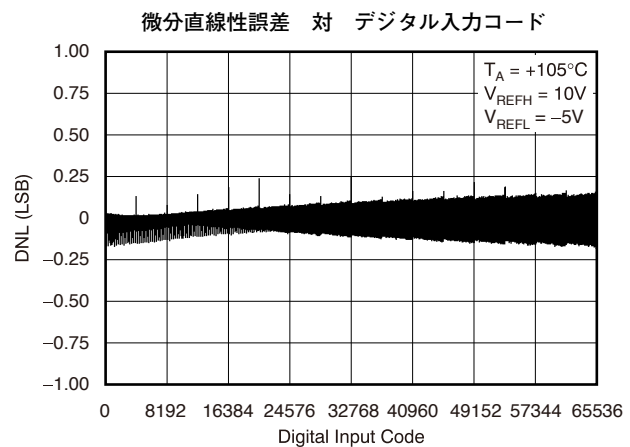


図8

代表的特性 (続き)

(特に記述の無い限り) $T_A = +25^\circ\text{C}$, $V_{DD} = +5\text{V}$, $V_{CC} = +15\text{V}$, $V_{SS} = -15\text{V}$, $V_{REFH} = +10\text{V}$, $V_{REFL} = -10\text{V}$

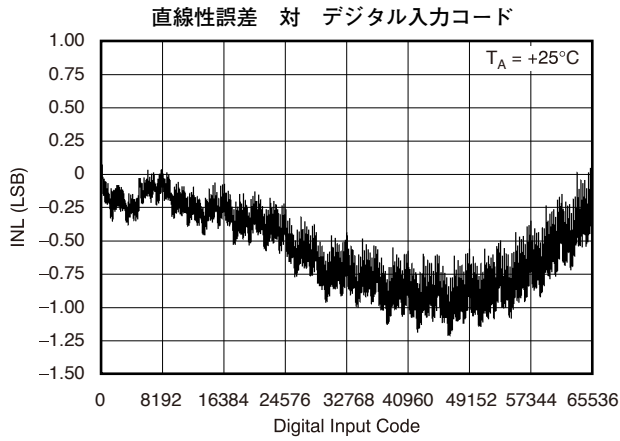


図9

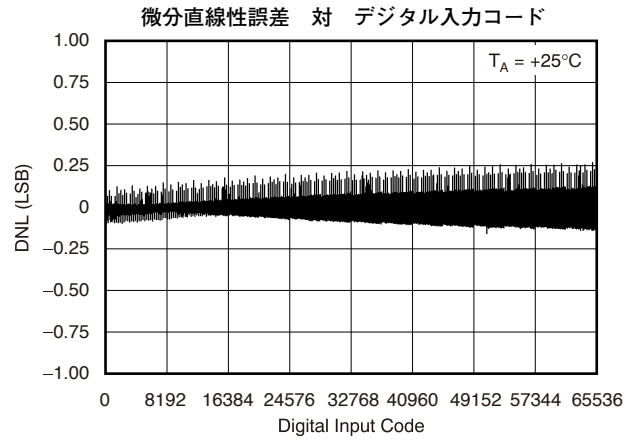


図10

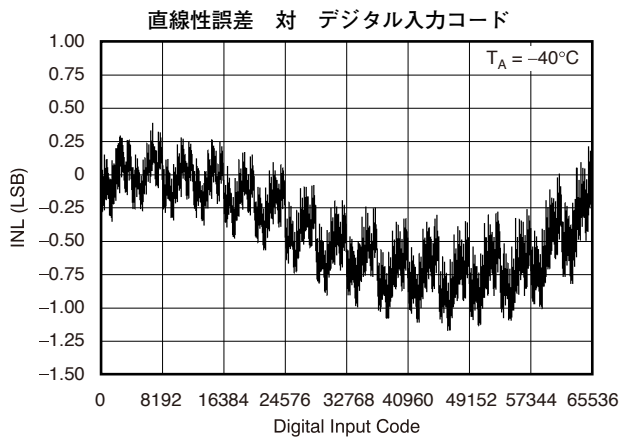


図11

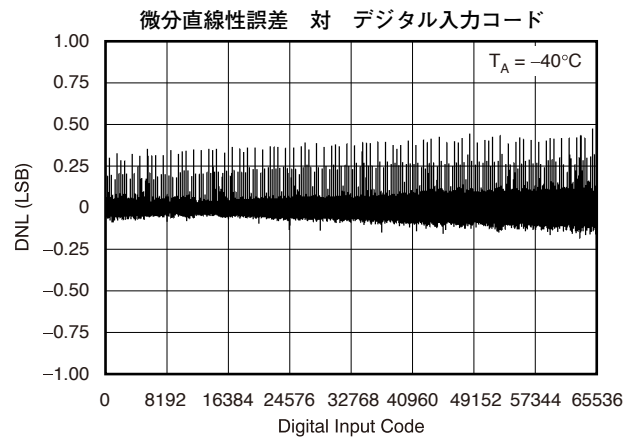


図12

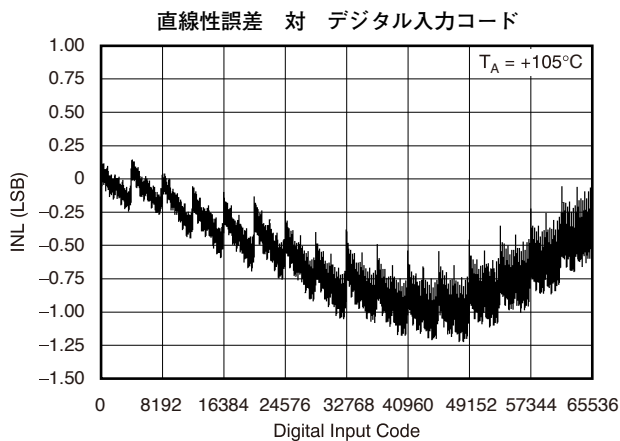


図13

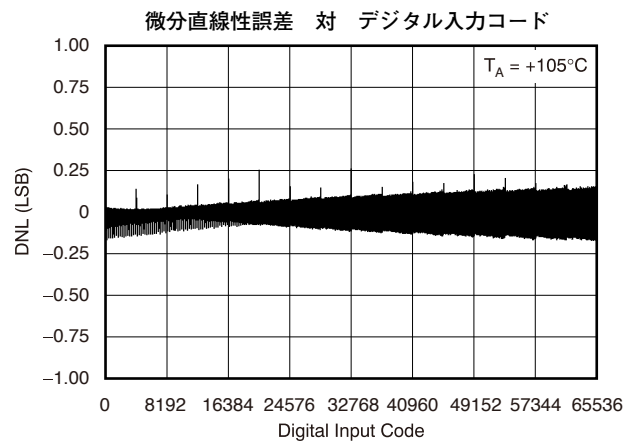


図14

代表的特性 (続き)

(特に記述の無い限り) $T_A = +25^\circ\text{C}$, $V_{DD} = +5\text{V}$, $V_{CC} = +15\text{V}$, $V_{SS} = -15\text{V}$, $V_{REFH} = +10\text{V}$, $V_{REFL} = -10\text{V}$

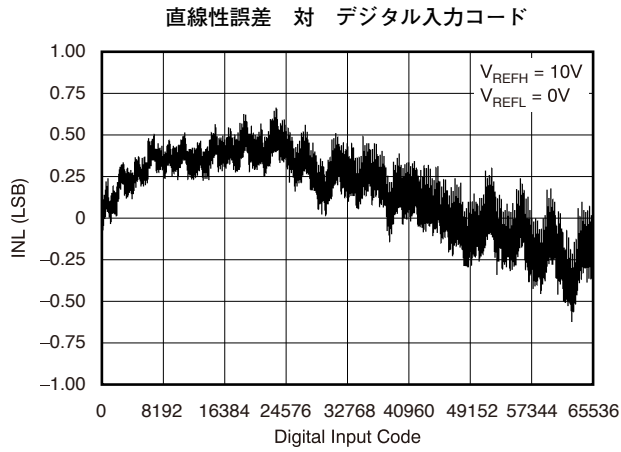


図15

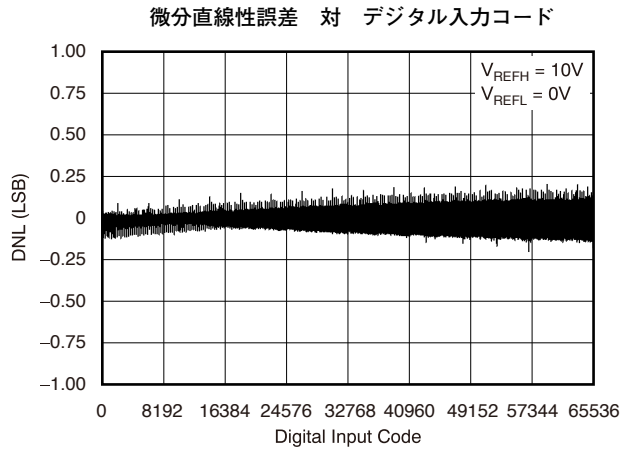


図16

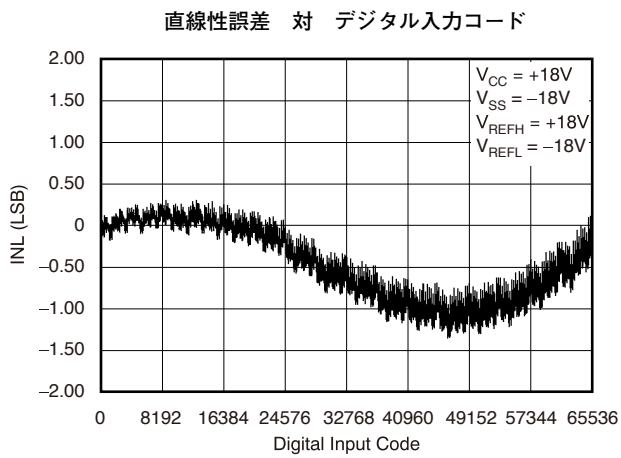


図17

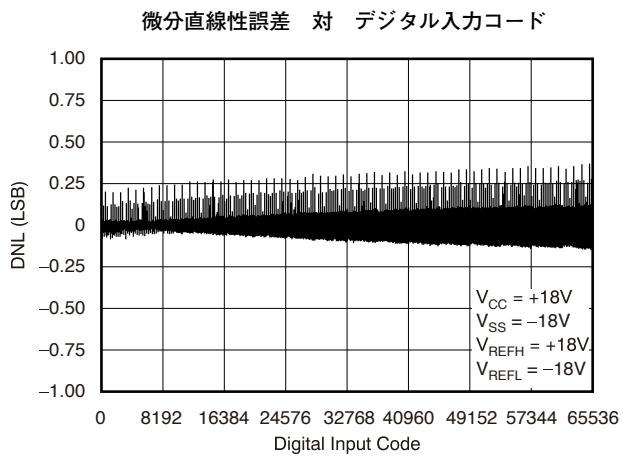


図18

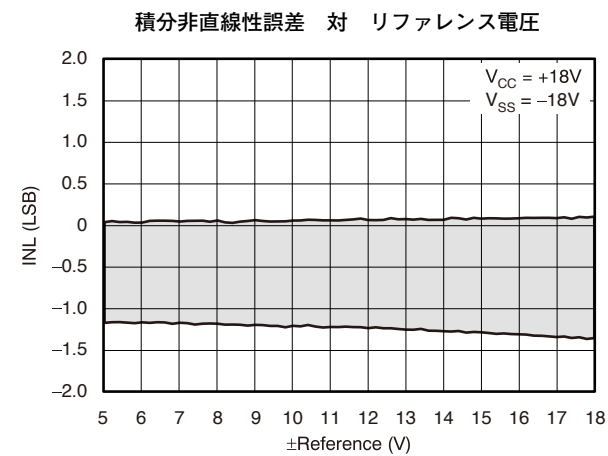


図19

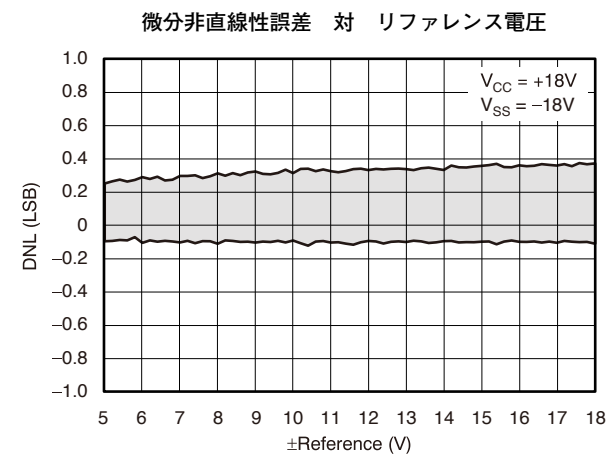


図20

代表的特性 (続き)

(特に記述の無い限り) $T_A = +25^\circ\text{C}$, $V_{DD} = +5\text{V}$, $V_{CC} = +15\text{V}$, $V_{SS} = -15\text{V}$, $V_{REFH} = +10\text{V}$, $V_{REFL} = -10\text{V}$

積分非直線性誤差 対 アナログ電源電圧

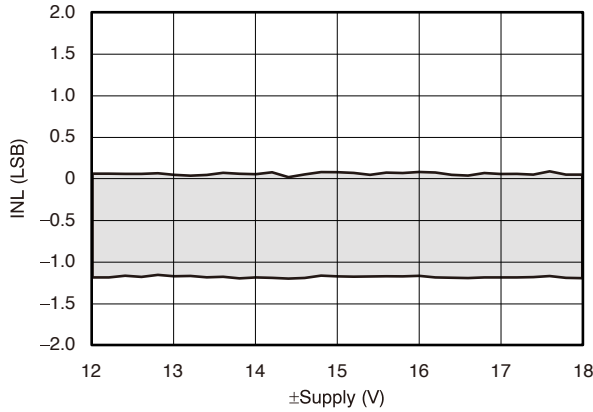


図21

微分非直線性誤差 対 アナログ電源電圧

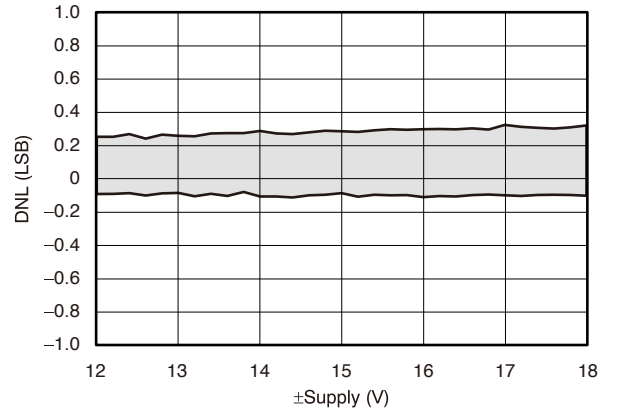


図22

ゲイン誤差 対 温度

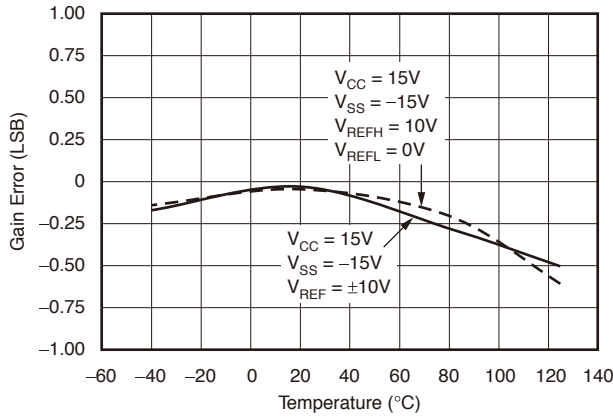


図23

ゼロ・コード誤差 対 温度

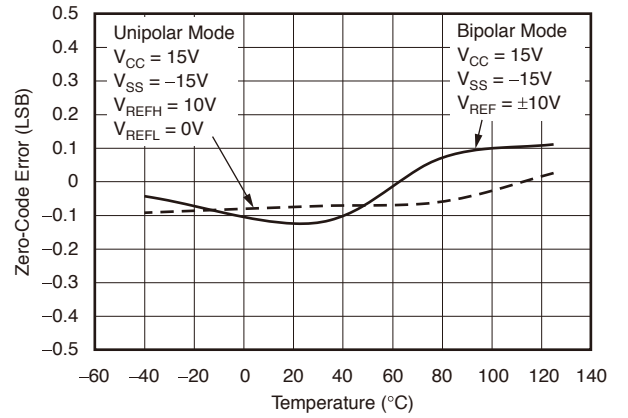


図24

バイポーラ・ゼロ誤差 対 温度

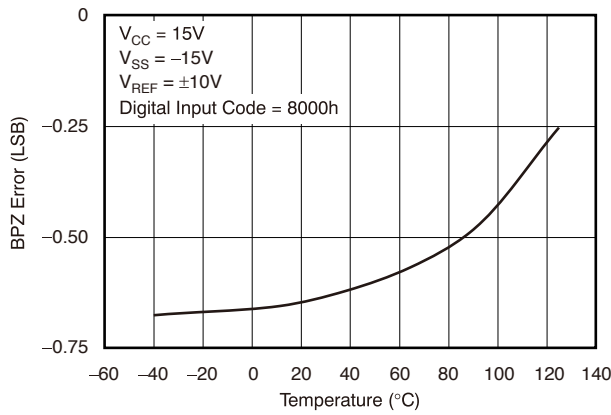


図25

電源電流 対 デジタル入力電圧

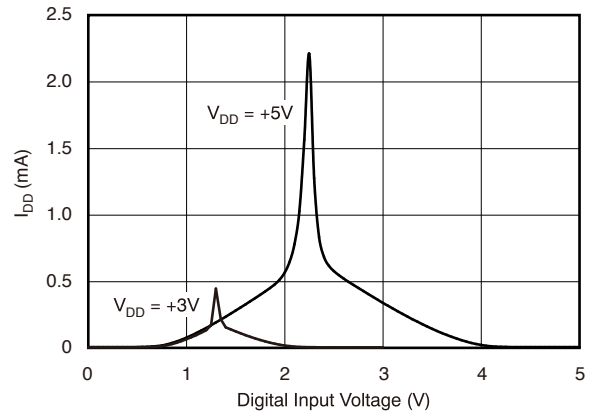


図26

代表的特性 (続き)

(特に記述の無い限り) $T_A = +25^\circ\text{C}$, $V_{DD} = +5\text{V}$, $V_{CC} = +15\text{V}$, $V_{SS} = -15\text{V}$, $V_{REFH} = +10\text{V}$, $V_{REFL} = -10\text{V}$

両リファレンス電流 対 コード

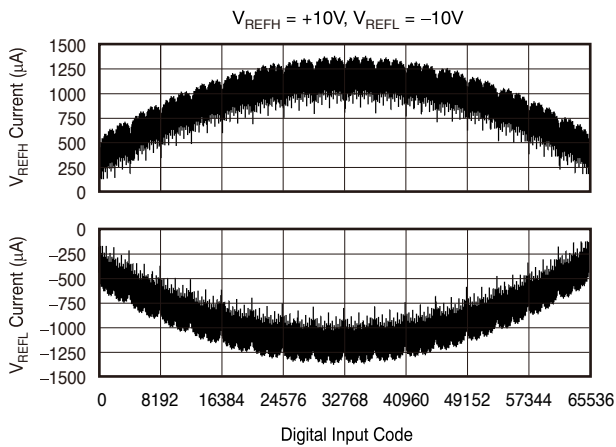


図27

単リファレンス電流 対 コード

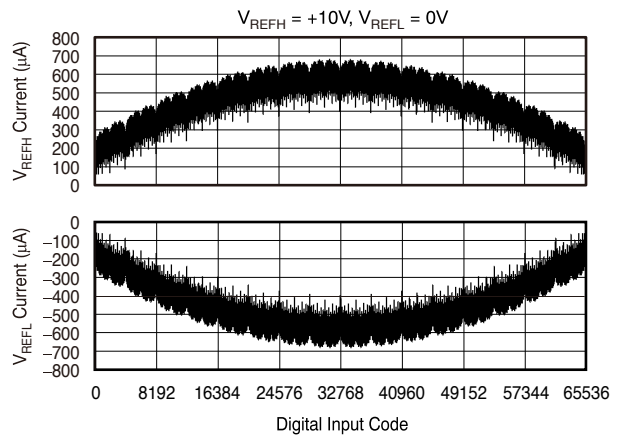


図28

電源電流 対 温度

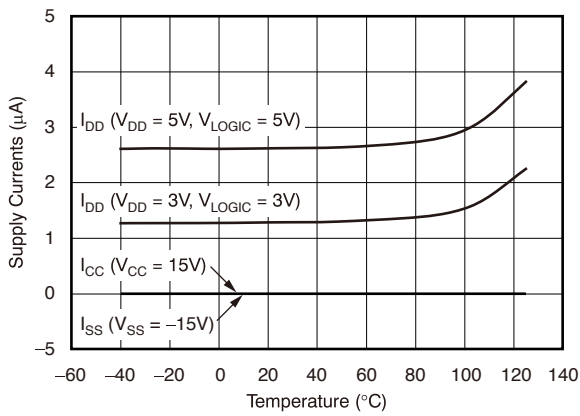


図29

デジタル電源電流 対 デジタル電源電圧

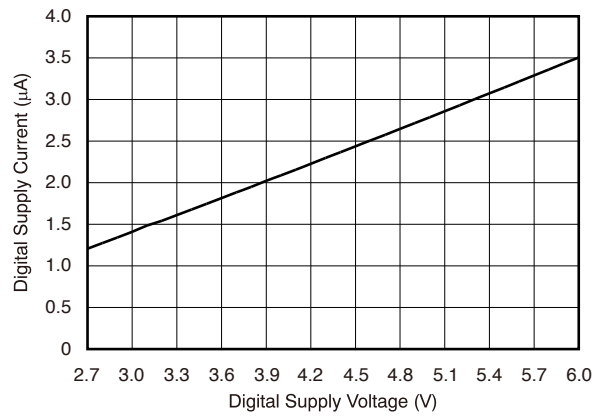


図30

アナログ電源電流 対 アナログ電源電圧

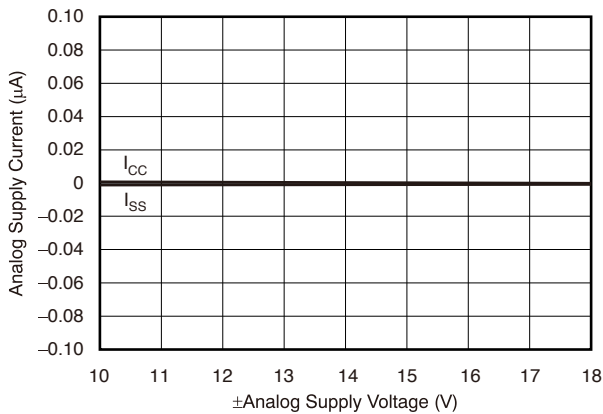


図31

電源電流 対 リファレンス電圧

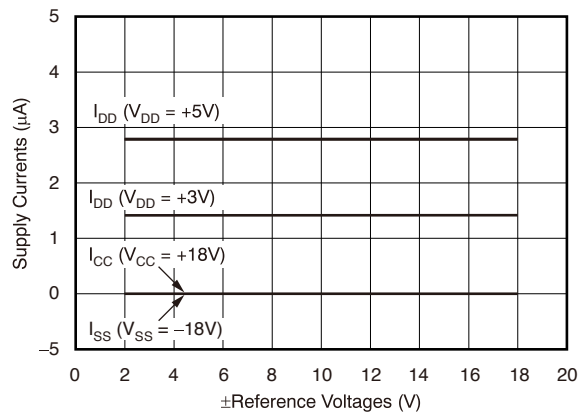


図32

代表的特性 (続き)

(特に記述の無い限り) $T_A = +25^\circ\text{C}$, $V_{DD} = +5\text{V}$, $V_{CC} = +15\text{V}$, $V_{SS} = -15\text{V}$, $V_{REFH} = +10\text{V}$, $V_{REFL} = -10\text{V}$

メジャー・キャリア・グリッチ (立下り)

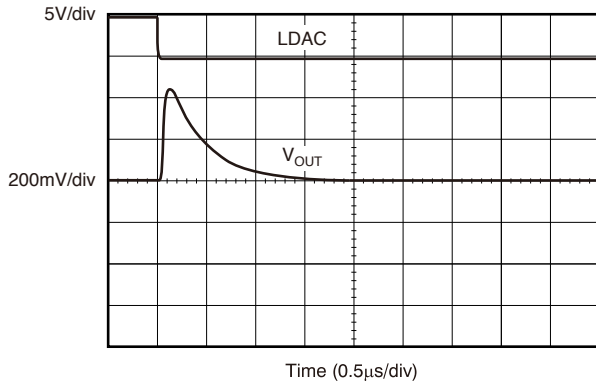


図33

メジャー・キャリア・グリッチ (立上り)

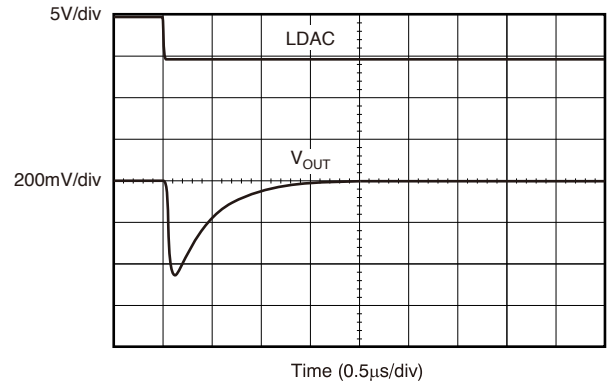


図34

DACセトリング・タイム (立下り)

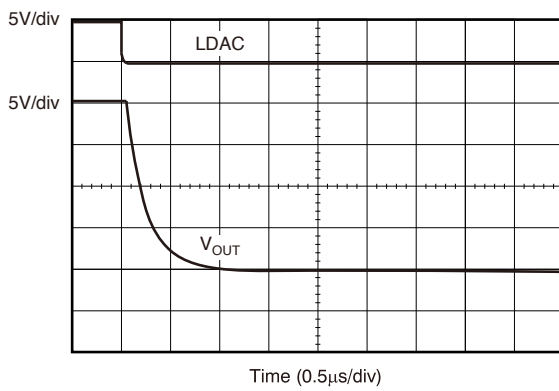


図35

DACセトリング・タイム (立上り)

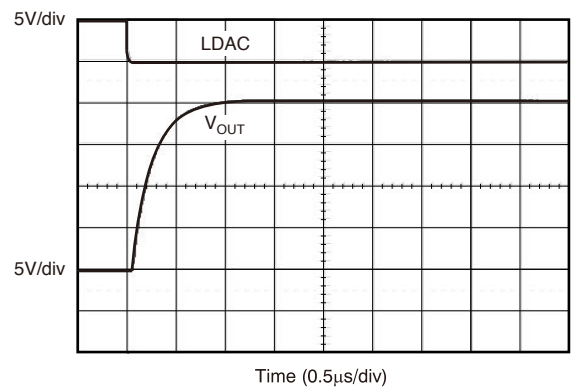


図36

広帯域ノイズ

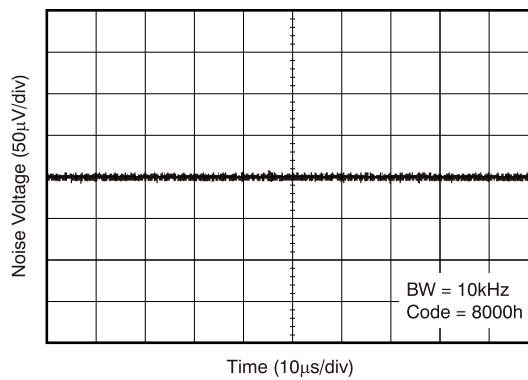


図37

動作理論

概要

DAC8871は、16ビット、シングル・チャンネル、シリアル入力、電圧出力のDACです。±13.5Vから±19.8Vまでの範囲のデュアル電源で動作し、10μA (Typ) の消費電流となります。その出力範囲は V_{REFL} から V_{REFH} です。データは16ビット・ワード・フォーマットで、SPIシリアル・インターフェイスを経由してDAC8871に書き込みます。DAC8871は、電源投入時に出力を既知の状態にするようにパワーオン・リセット機能が組込まれています。パワーオン後、RSTSEL端子の状態により入力レジスタの値およびDACラッチが設定され、このDACラッチが V_{OUT} 端子の出力状態を設定します。詳細は、「パワーオン・リセットおよびハードウェア・リセット」節を参照してください。

DAC8871には、リファレンス電圧およびアナログ・グランド用のケルビン接続用端子も備えています。

デジタル・アナログ変換部

DAC8871のDACアーキテクチャは2つのマッチドDACで構成され、かつ、セグメント化されています。その単純化した回路図を図38に示します。16ビット・データ・ワードの上位 (MSB) 4ビットは、デコードされて15個のスイッチE1からE15をドライブします。これらスイッチの各々が、15個の同じ抵抗値の抵抗の1個をAGNDあるいは V_{REF} のいずれかに接続します。データ・ワードの残りの12ビットは、12ビット電圧モードR-2Rラダー抵抗網のスイッチS0からS11をドライブします。

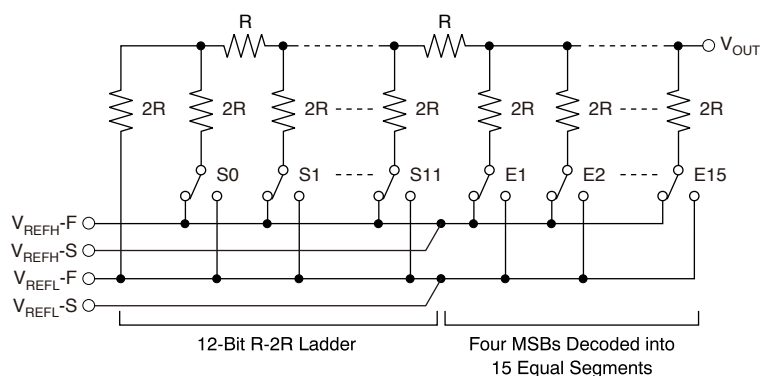


図38. DACのアーキテクチャ

出力範囲

DACの出力は次式のようにになります。

$$V_{OUT} = \frac{(V_{REFH} - V_{REFL}) \times \text{Code}}{65536} + V_{REFL} \quad (1)$$

ここで、Code (コード) とはDACラッチにロードされる10進データ・ワードです。

例えば、 V_{REFH} が+10Vおよび V_{REFL} が-10Vの場合、 V_{OUT} の範囲は-10V (Code=0000h) から+10V (Code=FFFFh) になります。

V_{REFL} の範囲は-18Vから ($V_{REFH}-1.25V$) であり、 V_{REFH} の範囲は0Vから+18Vです。DAC8871の出力は、適切な V_{REFL} および V_{REFH} の値を設定することにより、ユニポーラ (0Vから+18V) またはバイポーラにすることができます。

パワーオン・リセットおよびハードウェア・リセット

DAC8871にはパワーオン・リセット機能があります。RSTSEL端子が“Low” (DGNDに接続) で、パワーオンまたはハードウェア・リセット信号で $\overline{\text{RST}}$ 端子を有効にしたとき、DACラッチは(‘0’)にクリアされ、 V_{OUT} 端子は負のフルスケールに設定されます。RSTSEL端子が“High”の場合、DACラッチおよび V_{OUT} はミッドスケールに設定されます。

シリアル・インターフェイス

DAC8871のデジタル・インターフェイスは、SPI、QSPI™、Microwire™およびTI DSP™インターフェイスと互換性のある標準的な3線式であり、最大50Mビット/秒の伝送速度まで動作できます。データ伝送はチップ・セレクト ($\overline{\text{CS}}$) 信号によりフレーム化されます。DACはバス・スレーブとして動作します。バス・マスタは同期クロック (SCLK) を発生し、データ伝送を開始します。 $\overline{\text{CS}}$ が“High”の場合、DACはアクセスされず、SCLKとSDIは無視されます。バス・マスタは、 $\overline{\text{CS}}$ を“Low”にドライブしてDACにアクセスします。 $\overline{\text{CS}}$ の“High”から“Low”への遷移の直後に、SDI端子へのシリアル入力データはSCLKの立ち下がりエッジに同期してバス・マスタからシフト出力され、SCLKの立ち上がりエッジで入力シフトレジスタにMSBファーストでラッチされます。 $\overline{\text{CS}}$ の“Low”から“High”への遷移により、入力シフトレジスタの内容は入力レジスタへ転送されます。

データ・レジスタは、すべて16ビットです。DAC8871に1データ・ワードを転送するには16SCLKサイクルが必要です。1データ・ワード全体の転送を完了するには、16番目のSCLKが入力された直後に $\overline{\text{CS}}$ が“High”になる必要があります。 $\overline{\text{CS}}$ が“Low”の間にSCLKが16サイクル以上供給されると、最後の16ビットが $\overline{\text{CS}}$ の立ち上がりエッジで入力レジスタへ転送されます。しかし、 $\overline{\text{CS}}$ が16SCLKサイクルの途中で“High”になると、データは破損されます。この場合、DACへ新規の16ビット・ワードを再ロードします。

DAC8871には $\overline{\text{LDAC}}$ 端子があり、 $\overline{\text{CS}}$ が“High”になった後で $\overline{\text{LDAC}}$ を“Low”にすることにより、DACラッチを非同期で更新することができます。この場合、 $\overline{\text{CS}}$ が“Low”の間 $\overline{\text{LDAC}}$ を“High”に保つ必要があります。 $\overline{\text{LDAC}}$ を“Low”に固定すると、DACラッチは入力レジスタがロードされた直後に更新されます (これは、 $\overline{\text{CS}}$ の“Low”から“High”への遷移によります)。

外付けアンプの選定

DAC8871の出力はバッファされていません。その出力インピーダンスは約6.2k Ω です。外付けのバッファ・アンプを要するアプリケーションの場合、出力オフセットのトリミングを不要にするため、低オフセット電圧 (出力範囲が $\pm 10\text{V}$ で1LSB=305 μV) のアンプを選ぶ必要があります。また、入力バイアス電流とDAC出力インピーダンス (およそ6.25k Ω) の積がゼロ・コード誤差に加算されるため、入力バイアス電流も低いアンプにします。入出力レール・ツー・レール特性も必要になります。セトリングの高速性については、オペアンプのスルー・レートによりDACのセトリング・タイムが妨害されないようにします。DACの出力インピーダンスは一定であり、コードに依存しません。しかし、ゲイン誤差を最小にするために、出力アンプの入力インピーダンスは可能な限り高くします。さらに、アンプの3dB帯域幅は1MHz以上にします。アンプによりシステムに対して別個の時定数に加わるため、出力のセトリング・タイムは増加します。したがって、アンプの3dB帯域幅が高いと、DACとアンプを組み合わせた実効的なセトリング・タイムは短いものになります。

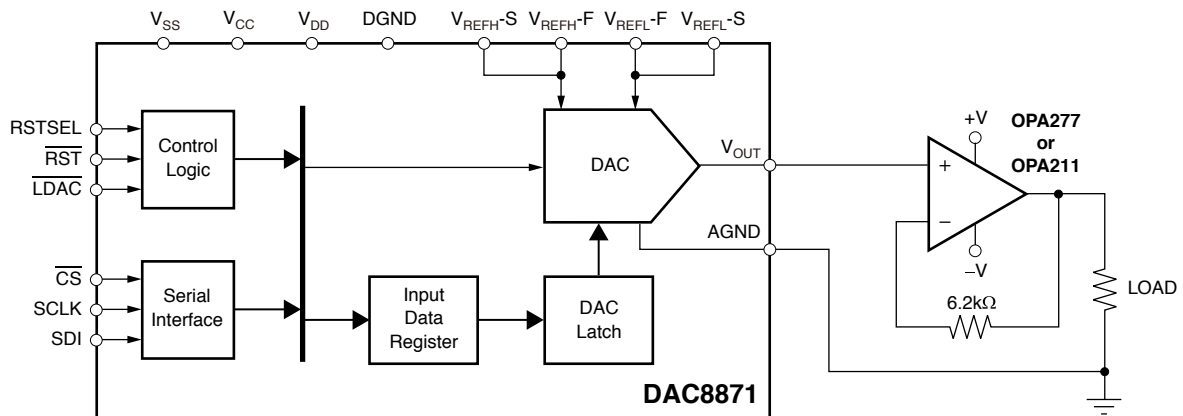


図39. 外部アンプを付けたDAC8871

リファレンス電圧入力

DACのフルスケール出力電圧は、「出力範囲」節で示したように、リファレンス電圧により定まります。

リファレンス電圧入力 V_{REFH} は、0Vから+18Vまでの任意の電圧に設定できます。また、リファレンス電圧入力 V_{REFL} は、-18Vから($V_{REFH}-1.25V$)までの任意の電圧に設定できます。 V_{REFH} 入力に流入し、 V_{REFL} から流出する電流は、DACの出力電圧に依存します。詳細は図27および図28を参照してください。リファレンス電圧入力は、リファレンス電圧源に対して変動する負荷になります。リファレンス電圧源が所要の電流をシンクまたはソースできる場合、リファレンス電圧バッファは不要です。DAC8871にはリファレンス電圧ドライブ（フォース）およびセンス接続があり、リファレンス電圧電流および回路インピーダンスの変化により生じる内部誤差を最小にします。図40に標準的なリファレンス電圧構成を示します。

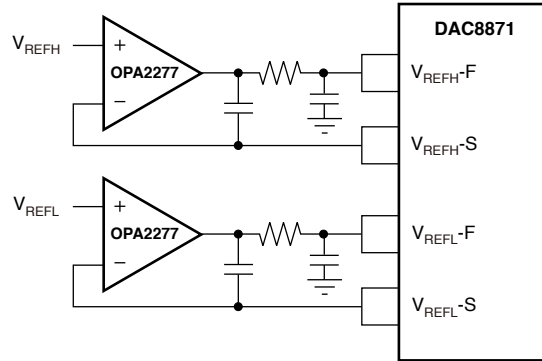


図40. バッファされたリファレンス電圧の接続

電源のバイパス

高精度、高分解能の特性を実現するために、10 μ Fのタンタル・コンデンサと0.1 μ Fのセラミック・コンデンサの各1個を並列にして、電源端子をバイパスするように推奨します。

電源立ち上げシーケンス

アナログ電源(VCCとVSS)はデジタル電源(VDD)より先に立ち上げてください。これら全ての電源はリファレンス電源(V_{REFH} と V_{REFL})より必ず先に立ち上げなければなりません。更に、DACの入力シフトレジスタはパワーオン・リセット（もしくは \overline{RST} ピンによるハードウェア・リセット）によってリセットされませんから、電源が立ち上がるまでは \overline{CS} ピンは間違っても絶対にアサートしないで下さい。不適當なパワーアップに備えるためにも、 \overline{CS} ピンは抵抗を介してVDDへプルアップされることをお薦め致します。

同様に、パワーアップしている期間は、 \overline{LDAC} ピンの状態を絶対に変えないで下さい。 \overline{LDAC} ピンは、抵抗を介してVDDへプルアップされることをお薦めいたします。もし全く使用されない場合にはGNDへ固定接続してください。

ESD保護回路が起動されることを確実に防ぐために、他の全部のデジタル信号ピンは、VDDが立ち上がるまで必ずGND電位を保持して下さい。

パッケージ情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
DAC8871SBPW	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	Call TI	Level-2-260C-1 YEAR
DAC8871SBPWG4	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	Call TI	Level-2-260C-1 YEAR
DAC8871SBPWR	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	Call TI	Level-2-260C-1 YEAR
DAC8871SBPWRG4	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	Call TI	Level-2-260C-1 YEAR
DAC8871SPW	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	Call TI	Level-2-260C-1 YEAR
DAC8871SPWG4	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	Call TI	Level-2-260C-1 YEAR
DAC8871SPWR	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	Call TI	Level-2-260C-1 YEAR
DAC8871SPWRG4	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	Call TI	Level-2-260C-1 YEAR

⁽¹⁾ マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

⁽²⁾ エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) および Green (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD：Pb-Free/Green 変換プランが策定されていません。

Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”（鉛フリー）は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

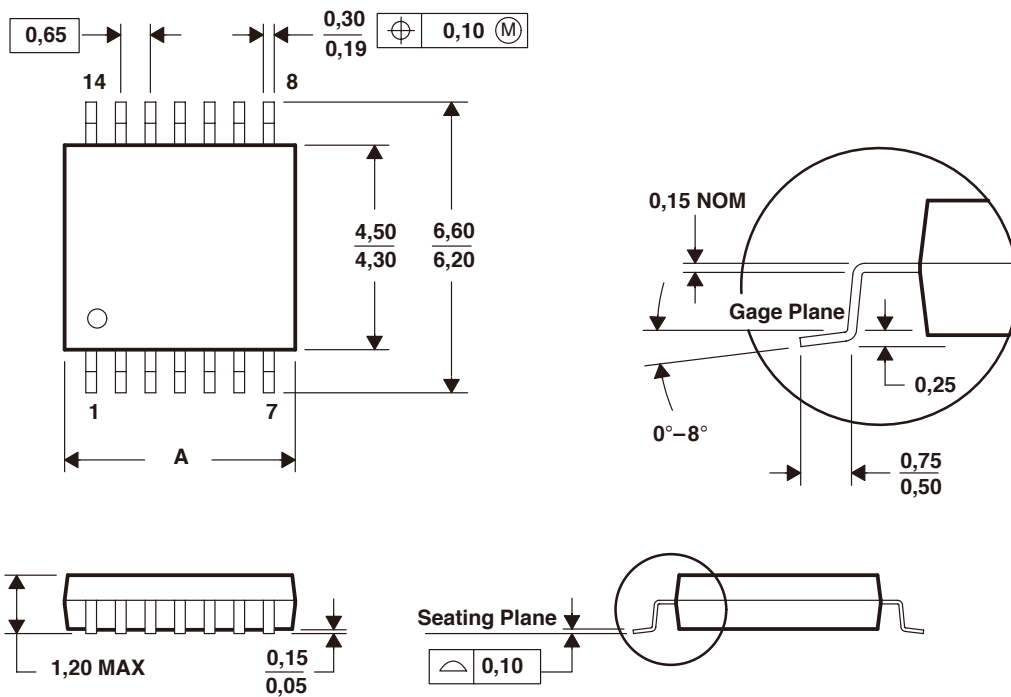
Pb-Free (RoHS Exempt)：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様に Pb-Free (RoHS) と考えられます。

Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free” (RoHS 互換) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない（均質な材質中の Br または Sb 重量が0.1%を超えない）ことを意味しています。

⁽³⁾ MSL、ピーク温度 -- JEDEC 業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

14 PINS SHOWN



DIM \ PINS **	8	14	16	20	24	28
	A MAX	3,10	5,10	5,10	6,60	7,90
A MIN	2,90	4,90	4,90	6,40	7,70	9,60

4040064/F 01/97

注記:

- A. 寸法はすべてミリメートルです。
- B. 本図は予告なく変更することがあります。
- C. ボディの寸法には、0,15 を超えるモールド・フラッシュや突起は含まれません。
- D. JEDEC MO-153 に準拠します。

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといひます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIJといひます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従ひまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIJの標準保証条件に従ひ販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従ひ合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIJが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIJが第三者の製品もしくはサービスについて情報を提供することは、TIJが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認を意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIJのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIJは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIJが特別に指定した製品である場合は除きます。TIJが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIJが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIJがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIJは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2008, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使用すること。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。

前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0 ~ 40 °C、相対湿度: 40 ~ 85%で保管・輸送及び取り扱うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従ひ基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260 °C以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上