



# クローズドループ・磁気型電流センサー用・ 信号コンデショニングIC

## 特長

- 真空溶解 (VAC) センサー用設計
- 単一電源：5V
- パワー出力：Hブリッジ
- インダクタンス負荷ドライブ用設計
- 優れたDC精度
- 広システム帯域幅
- 高分解能、低温度ドリフト
- 消磁システム内蔵
- 大規模事故検出
- 外部高パワードライブ・オプション

- モータードライブ・コントロール
- 電力消費システム
- 光起電性システム

## 概要

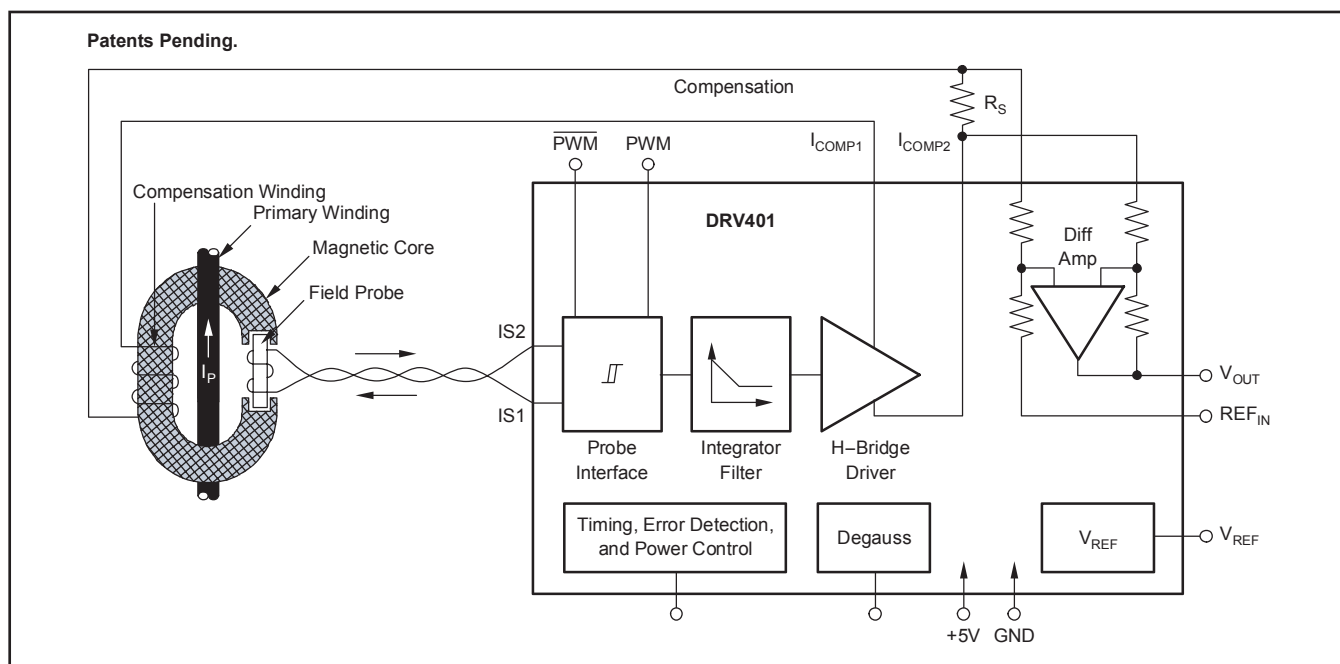
DRV401は、Vacuumschmelze GmbH & Co. KG (VAC)により供給される特定の磁気型電流センサーの信号処置と制御用に設計されました。広範囲な電流レンジと機械的な機能が利用できます。VACセンサーとの組み合わせにより、高精度でACおよびDC電流をモニターできます。

次に示す機能を含んでいます：プローブ励振、プローブ信号の信号処理、信号ループアンプ、補正コイル用Hブリッジドライバーおよび主要電流に比例した出力電圧を供給するアナログ信号出力ステージ。これらはトランジェントノイズ抑圧と同様に過負荷と不具合を表示します。

DRV401は補償用コイルを直接ドライブでき、また、外部電

## アプリケーション

- ゼネレーター/発電機モニターおよびコントロール
- 周波数および電圧インバーター



PowerPump, PowerPADは、テキサス・インスツルメンツの商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



力ドライバーと接続することができます。

従って、DRV401は小電流から非常に大きな電流を測定するセンサーと組み合わせられています。高い精度を維持するために、DRV401はセンサーの磁気を消磁することができます。



## 静電気放電対策

これらのデバイスは、限定的なESD(静電破壊)保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

### 絶対最大定格<sup>(1)</sup>

供給電圧	+7V
端子信号入力	
電圧 <sup>(2)</sup>	-0.5V ~ $V_{DD} + 0.5V$
差動アンプ <sup>(3)</sup>	-10V ~ +10V
IS1とIS2の電流	±75mA
電流(IS1とIS2以外) <sup>(2)</sup>	±25mA
$I_{COMP}$ 短絡電流 <sup>(4)</sup>	+250mA
動作ジャンクション温度	-50°C ~ +150°C
保存温度	-55°C ~ +150°C
ESD定格	
ヒューマンボディモデル(HBM)	
IA <sub>IN1</sub> ピンおよびIA <sub>IN2</sub> ピン	1kV
他の全ピン	4kV

- (1) 絶対定格以上のストレスは、致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示してあり、このデータシートの推奨動作条件に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。
- (2) 各入力ピンは電源レールにダイオード・クランプされています。差動アンプ入力ピンを除く、電源レール電圧より0.5Vを超える振幅の入力電圧は電流制限されなければなりません。
- (3) これらの入力ピンは過入力に対する内部保護はされていません。差動入力ピンは、5mA最大、±10V最大に制限されなければなりません。
- (4) 電力制限、最大ジャンクション温度による

### 発注情報<sup>(1)</sup>

製品	パッケージ/リード	パッケージ指示子	パッケージ表示
DRV401	QFN-20 (5mm x 5mm)	RGW	HAAQ
DRV401	SO-20	DWP	DRV401A

- (1) 最新のパッケージおよび発注情報については、このドキュメントの巻末にある「付録：パッケージ・オプション」を参照するか、またはTIのWebサイト([www.ti.com](http://www.ti.com))をご覧ください。

## 電気的特性

太字で示した部分は次の温度範囲に適用されます： $T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 、 $I_{\text{COMP}}$ 出力電流ゼロ。

特に記述の無い限り、 $T_A = +25^{\circ}\text{C}$ 、 $V_{\text{DD1}} = V_{\text{DD2}} = +5\text{V}$ 、外部100kHz帯域フィルターにおけるものです。

パラメーター	条件	DRV401			単位
		MIN	TYP	MAX	
差動アンプ	$R_L = 10\text{k}\Omega \sim 2.5\text{V}$ , $V_{\text{REFIN}} = 2.5\text{V}$				
オフセット電圧 オフセット電圧、RTO <sup>(1)(2)</sup> ドリフト、RTO <sup>(2)</sup> 対 コモンモード、RTO 対 電源電圧、RTO	$V_{\text{OS}}$ Gain 4V/V $dV_{\text{OS}}/dT$ CMRR PSRR $-1\text{V} \sim +6\text{V}$ , $V_{\text{REF}} = 2.5\text{V}$ $V_{\text{REF}}$ を含まない		$\pm 0.01$ <b><math>\pm 0.1</math></b> $\pm 50$ $\pm 4$	$\pm 0.1$ <b><math>\pm 1(3)</math></b> $\pm 250$ $\pm 50$	mV $\mu\text{V}/^{\circ}\text{C}$ $\mu\text{V}/\text{V}$ $\mu\text{V}/\text{V}$
信号入力 コモンモード電圧範囲		-1		$(V_{\text{DD}}) + 1$	V
信号出力 信号過入力表示(OVER-RANGE)、遅延 <sup>(2)</sup> 負側レールからの電圧出力振幅 <sup>(2)</sup> 、 過範囲トリップレベル 正側レールからの電圧出力振幅 <sup>(2)</sup> 、 過範囲トリップレベル 短絡電流 <sup>(2)</sup>  ゲイン、 $V_{\text{OUT}}/V_{\text{IN-DIFF}}$ ゲイン誤差 ゲイン誤差ドリフト 直線性誤差	$V_{\text{IN}} = 1\text{V}$ ステップ、注2、3参照 $I = +2.5\text{mA}$ 、CMPトリップレベル $I = -2.5\text{mA}$ 、CMPトリップレベル  $V_{\text{OUT}}$ をGNDに接続 $V_{\text{OUT}}$ をVDDに接続  $R_L = 1\text{k}\Omega$	$V_{\text{DD}} - 85$	<b>2.5 ~ 3.5</b> <b>+48</b> $V_{\text{DD}} - 48$ -18 +20 <b>4</b> $\pm 0.02$ <b><math>\pm 0.1</math></b> 10	+85	$\mu\text{s}$ mV mV mA mA V/V % ppm/ $^{\circ}\text{C}$ ppm
周波数特性 帯域幅 <sup>(2)</sup> スルーレート <sup>(2)</sup> セトリングタイム、大振幅 <sup>(2)</sup> セトリングタイム <sup>(2)</sup>	$BW_{-3\text{dB}}$ SR CMVR = $-1\text{V} \sim +4\text{V}$ $dV \pm 2\text{V}$ から1%、外部フィルター無し $dV \pm 0.4\text{V}$ から0.01%		2 6.5 0.9 14		MHz V/ $\mu\text{s}$ $\mu\text{s}$ $\mu\text{s}$
入力抵抗 差動 コモンモード 外部リファレンス入力		16.5 41 41	20 50 50	23.5 59 59	k $\Omega$ k $\Omega$ k $\Omega$
雑音 出力雑音電圧密度、 $f = 1\text{kHz}$ 、RTO <sup>(2)</sup>	$e_n$ 補償ループ未使用		170		nV/ $\sqrt{\text{Hz}}$

補償ループ					
DC安定度 オフセット誤差 <sup>(4)</sup> オフセット誤差ドリフト <sup>(2)</sup> ゲイン、Pin Gain = L <sup>(2)</sup> 電源電圧除去比	PSRR Probe $f = 250\text{kHz}$ , $R_{\text{LOAD}} = 20\Omega$ Deviation from 50% PWM, Pin Gain = L Deviation from 50% PWM, Pin Gain = L $ V_{\text{ICOMP1}} - V_{\text{ICOMP2}} $ Probe Loop $f = 250\text{kHz}$	-200	0.03 <b>7.5</b> 25 500	200	% ppm/ $^{\circ}\text{C}$ ppm/V ppm/V
周波数レスポンス 開ループゲイン、2モード、7.8kHz	Pin Gain H/L		24/32		dB
プローブコイル・ループ 入力電圧クランプレベル 入力抵抗、IS1またはIS2から $V_{\text{DD1}}$ <sup>(2)</sup> 入力抵抗、IS1またはIS2からGND1 <sup>(2)</sup> IS1とIS2間の抵抗ミスマッチ <sup>(2)</sup> 全入力抵抗 <sup>(3)</sup> コンパレータ・スレッシュホールド電流 <sup>(3)</sup> 最小プローブループ・半サイクル <sup>(2)</sup> プローブループ最小周波数 非発振検出(エラー)抑圧	$R_{\text{HIGH}}$ $R_{\text{LOW}}$ Field Probe Current < 50mA  ppm of $R_{\text{HIGH}} + R_{\text{LOW}}$	47 60 22 250 250	$-0.7 \sim V_{\text{DD}} + 0.7$ 59 75 300 <b>134</b> 28 280 35	71 90 1500 <b>200</b> 34 310	V $\Omega$ $\Omega$ ppm $\Omega$ mA ns kHz $\mu\text{s}$
補償コイルドライバー、Hブリッジ ピーク電流 <sup>(2)</sup> 電圧振幅 出力コモンモード電圧 断線検出、スレッシュホールド電流 <sup>(5)</sup>	$V_{\text{ICOMP1}} - V_{\text{ICOMP2}} = 4.0\text{V}_{\text{PP}}$ 20 $\Omega$ 負荷  $I_{\text{COMP1}}$ and $I_{\text{COMP2}}$ Railed	4.2	<b>250</b> $V_{\text{DD2}}/2$ 33	57	mA V <sub>PP</sub> V mA

## 電気的特性 (続き)

太字で示した部分は次の温度範囲に適用されます： $T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 、 $I_{\text{COMP}}$ 出力電流ゼロ。  
特に記述の無い限り、 $T_A = +25^{\circ}\text{C}$ 、 $V_{\text{DD1}} = V_{\text{DD2}} = +5\text{V}$ 、外部100kHz帯域フィルターにおけるものです。

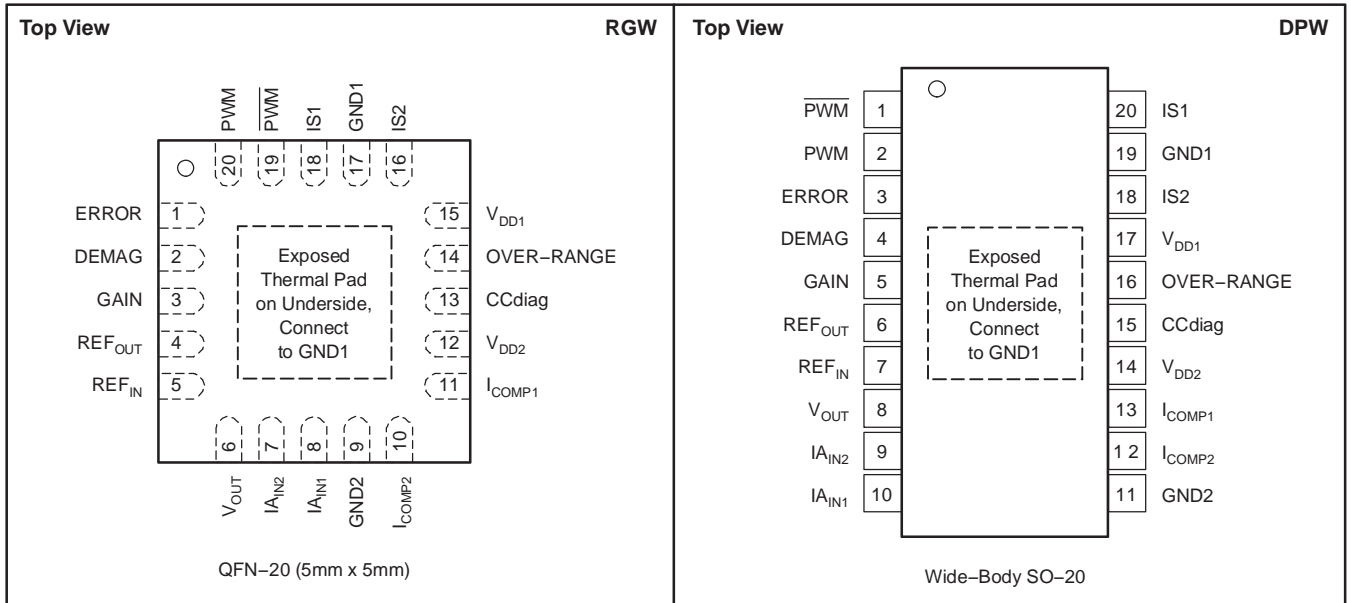
パラメーター	条件	DRV401			単位
		MIN	TYP	MAX	
電圧リファレンス 電圧 <sup>(2)</sup> ドリフト <sup>(2)</sup> PSSR <sup>(2)</sup> 負荷レギュレーション <sup>(2)</sup> 短絡電流	無負荷 無負荷 $I_{\text{SC}}$ GND/ $V_{\text{DD}}$ への負荷 $dI = 0 \sim 5\text{mA}$ $\text{REF}_{\text{OUT}}$ を $V_{\text{DD}}$ に接続 $\text{REG}_{\text{OUT}}$ をGNDに接続	2.495	2.5 $\pm 5$ $\pm 15$ 0.15 +20 -18	2.505 $\pm 50$ $\pm 200$	V ppm/ $^{\circ}\text{C}$ $\mu\text{V}/\text{V}$ mV/mA mA mA
消磁 期間	タイミングダイアグラム参照		106	130 <sup>(3)</sup>	ms

デジタルI/O					
ロジック入力 (DEMAG、GAIN、CCdiagピン) プルアップH電流 (CCdiagピン) プルアップL電流 (CCdiagピン) ロジック入力リーク電流 ロジックレベル、入力：L/H レベル・ヒステリシス	CMOSレベル $3.5 < V_{\text{IN}} < V_{\text{DD}}$ $0 < V_{\text{IN}} < 1.5$ $0 < V_{\text{IN}} < V_{\text{DD}}$		160 5 0.01 2.1/2.8 0.7	5	$\mu\text{A}$ $\mu\text{A}$ $\mu\text{A}$ V V
出力 (ERRORおよびOVER-RANGEピン) ロジックレベル、出力L ロジックレベル、出力H	4mAシンク		0.3	内部プルアップ無し	V
出力 (PWMおよびPWMピン) ロジックレベルL ロジックレベルH	プッシュプルタイプ 4mAシンク 4mAソース		0.2 ( $V_{\text{DD}}$ ) - 0.4		V V

電源供給 規定電圧範囲 パワーオン・リセット・スレッシュホールド 静止電流 [ $I(V_{\text{DD1}}) + I(V_{\text{DD2}})$ ] ブラウンアウト電圧レベル <sup>(2)</sup> ブラウンアウト電圧表示遅延	$V_{\text{DD}}$ $V_{\text{RST}}$ $I_{\text{Q}}$	$I_{\text{COMP}} = 0\text{mA}$ センサー未接続	4.5	5 1.8 4 135	5.5 6.8	V V mA V $\mu\text{s}$
温度範囲 仕様温度範囲 動作温度範囲 パッケージ熱抵抗 QFN表面実装 SOパワーPAD表面実装	$T_J$ $T_J$ $\theta_{\text{JA}}$ $\theta_{\text{JA}}$	注6参照 注6参照	-40 -50		+125 +150	$^{\circ}\text{C}$ $^{\circ}\text{C}$ $^{\circ}\text{C}/\text{W}$ $^{\circ}\text{C}/\text{W}$

- (1) パラメーター値は出力基準 (RTO)
- (2) 標準特性カーブ参照
- (3) 全入力抵抗とコンパレーター・スレッシュホールド電流は反比例します。図2a参照
- (4) 対 VACセンサー、ほぼ相殺される0.2%のPWMオフセットは巻き線毎の10mA電流とほぼ一致します。
- (5) アプリケーション情報の補償ドライバーの章を参照
- (6) アプリケーション情報の電力消費、レイアウト考察、PCB半田付け、ヒートシンク技術の各情報を参照

## ピン接続



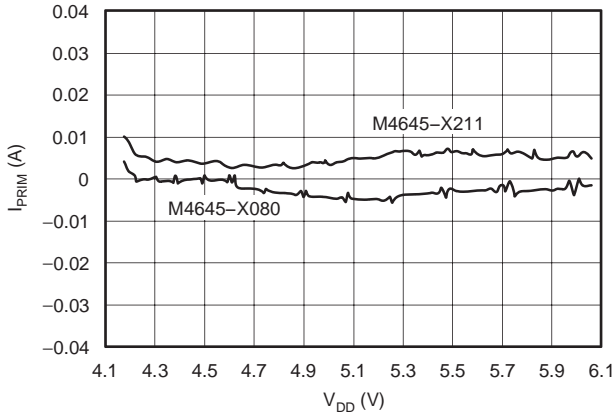
## ピン配置

名称	RGW	DWP	概要
ERROR	1	3	エラーフラグ：オープンドレイン出力、エラーコンディションの項参照
DEMAG	2	4	制御入力、消磁の項参照
GAIN	3	5	オープンループゲイン制御入力：Low = 標準、high = -8dB
REF <sub>OUT</sub>	4	6	内部2.5Vリファレンス電圧出力
REF <sub>IN</sub>	5	7	差動アンプ用ゼロ・リファレンス入力
V <sub>OUT</sub>	6	8	差動アンプ出力
IA <sub>IN2</sub>	7	9	差動アンプ非反転入力
IA <sub>IN1</sub>	8	10	差動アンプ反転入力
GND2	9	11	グラウンド接続、GND1に接続
I <sub>COMP2</sub>	10	12	補償コイルドライバー出力2
I <sub>COMP1</sub>	11	13	補償コイルドライバー出力1
V <sub>DD2</sub>	12	14	電源供給、V <sub>DD1</sub> に接続
CCdiag	13	15	断線検出用制御入力：high = 有効
OVER-RANGE	14	16	オーバーレンジ表示用オープンドレイン出力：low = over-range
V <sub>DD1</sub>	15	17	電源供給
IS2	16	18	プローブ接続2
GND1	17	19	グラウンド接続
IS1	18	20	プローブ接続1
PWM	19	1	プローブ回路からのPWM出力(反転)
PWM	20	2	プローブ回路からのPWM出力
Exposed Thermal Pad	—	—	GND1に接続

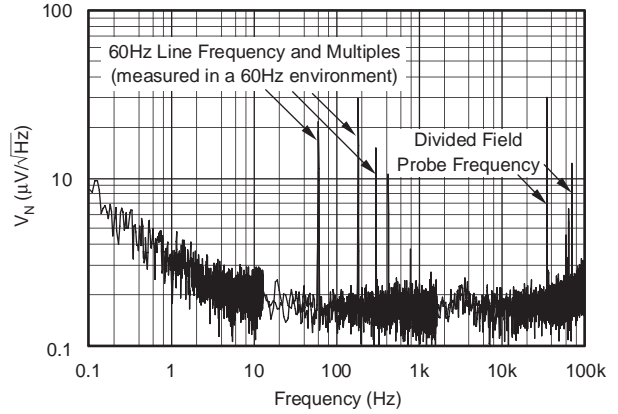
# 標準特性

特に記述の無い限り、 $T_A = +25^\circ\text{C}$ 、 $V_{DD1} = V_{DD2} = +5\text{V}$ 、外部100kHz帯域フィルターによるものです。

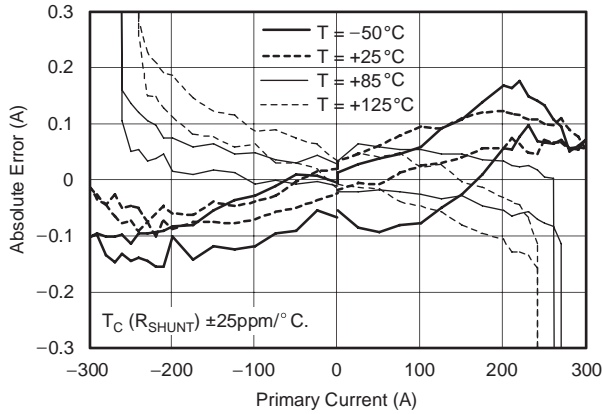
DRV401とセンサー：  
オフセット 対 電源電圧



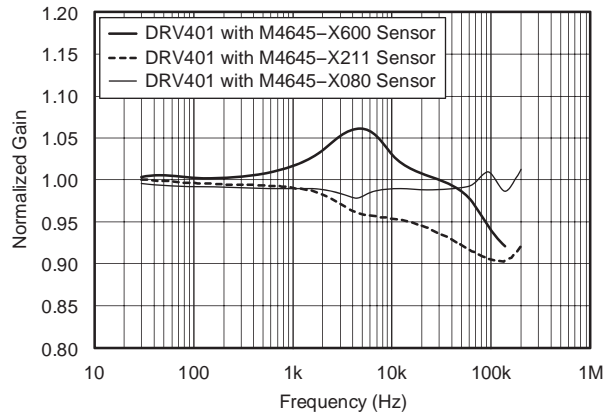
DRV401とセンサー：出力電圧雑音密度  
(Sensor M4645-X080,  $R_{SHUNT} = 10\Omega$ , Mode = Low)



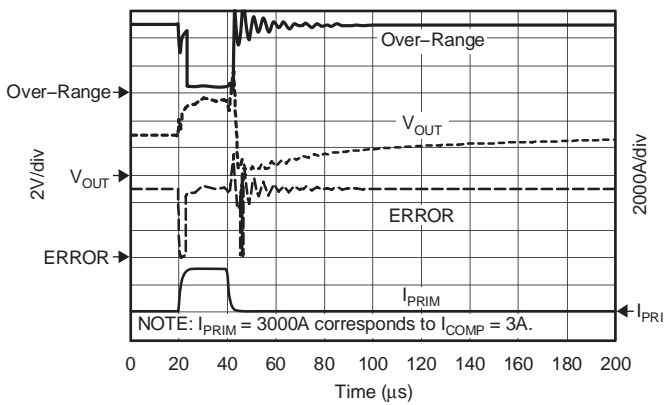
DRV401とセンサー：総合誤差  
(半田付けされたDWP-20、1Inch2銅パッド、  
Vacuumschmelza GmbHによる測定)



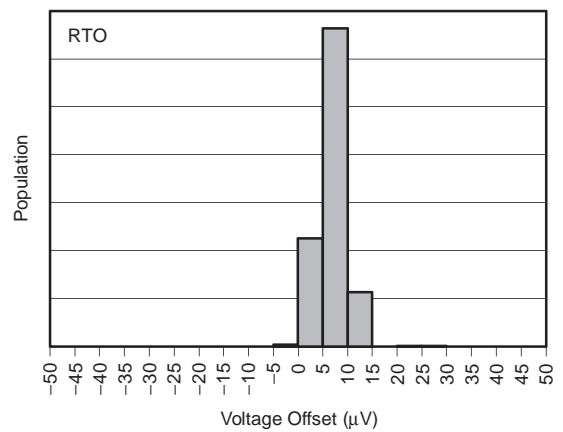
ゲイン平坦性 対 周波数  
(Vacuumschmelza GmbHによる測定)



3A  $I_{COMP}$  過負荷リカバリー  
(Vacuumschmelza GmbHによる測定)

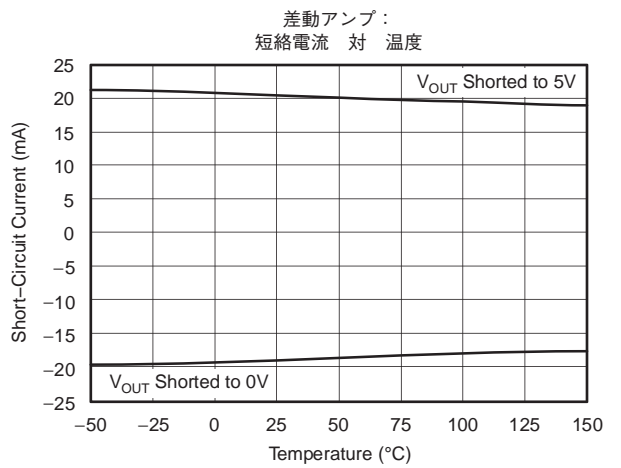
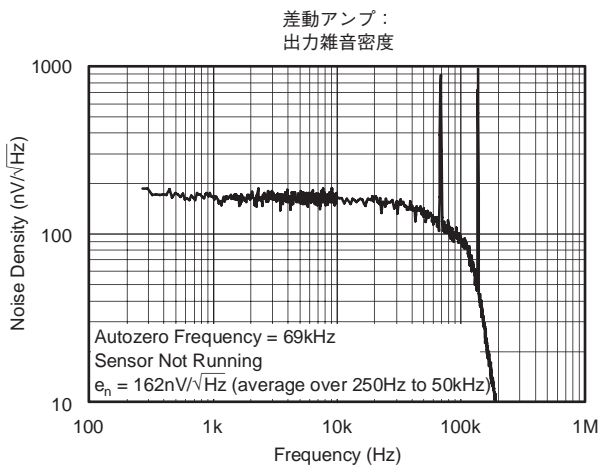
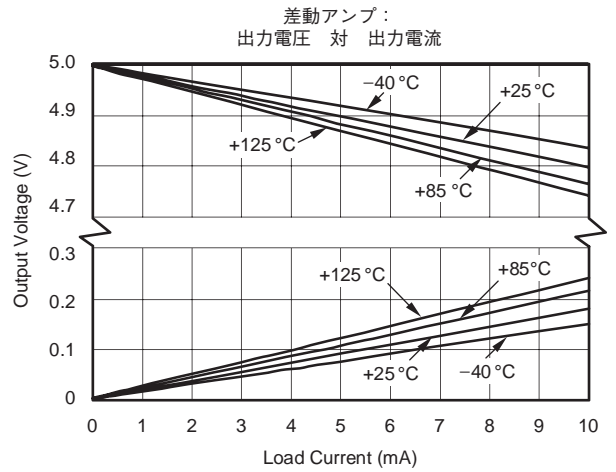
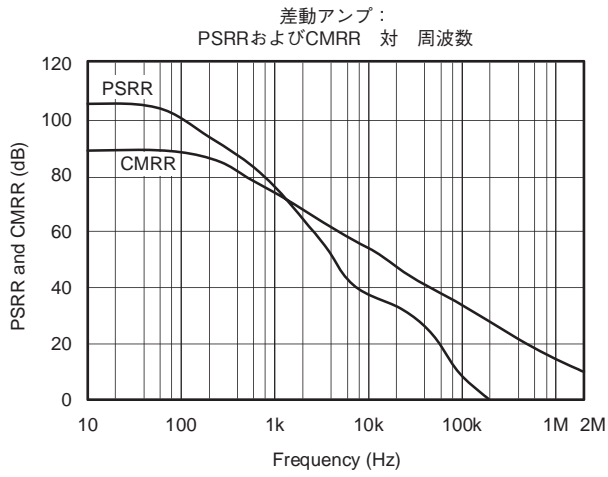
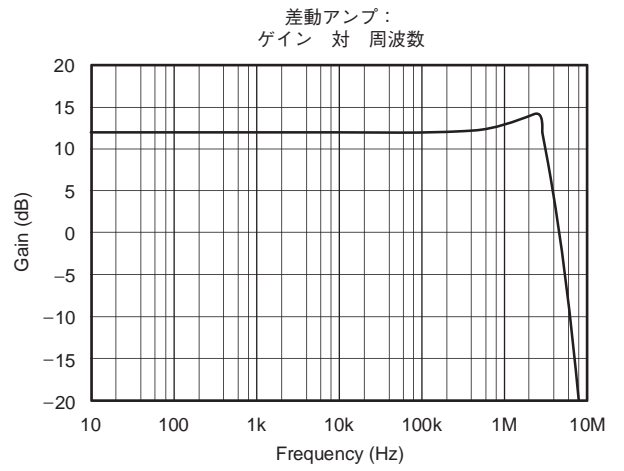
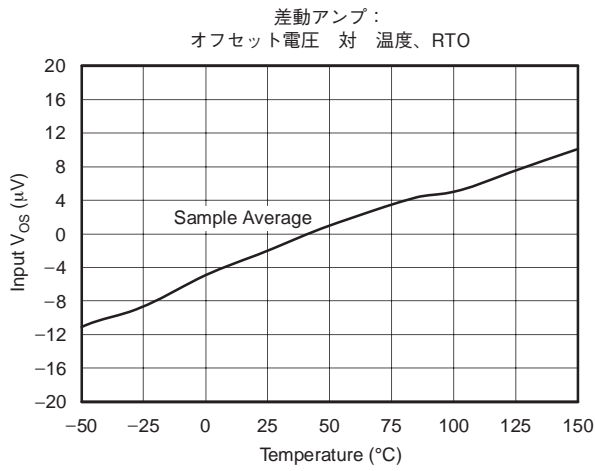


差動アンプ：電圧オフセット分布



# 標準特性

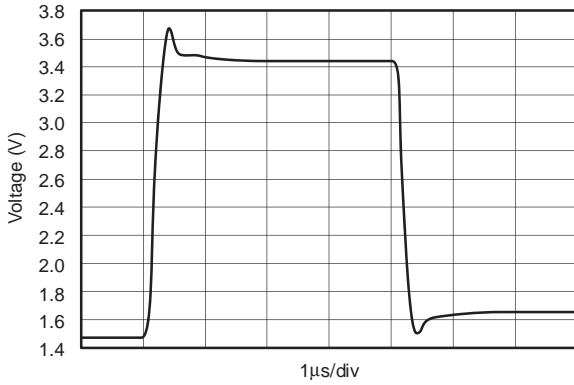
特に記述の無い限り、 $T_A = +25^\circ\text{C}$ 、 $V_{DD1} = V_{DD2} = +5\text{V}$ 、外部100kHz帯域フィルターによるものです。



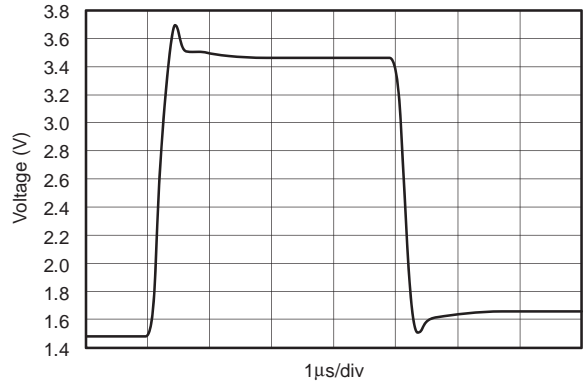
# 標準特性

特に記述の無い限り、 $T_A = +25^\circ\text{C}$ 、 $V_{DD1} = V_{DD2} = +5\text{V}$ 、外部100kHz帯域フィルターによるものです。

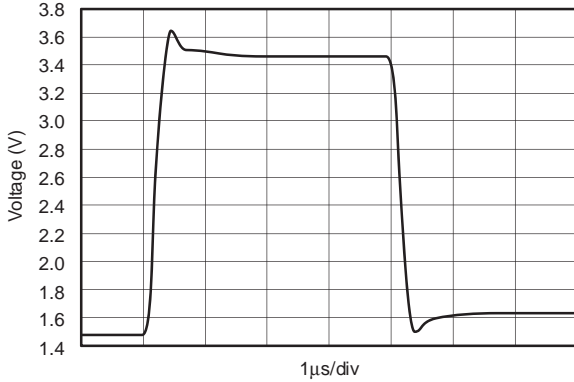
差動アンプ：  
大信号ステップ応答、 $T_A = -50^\circ\text{C}$



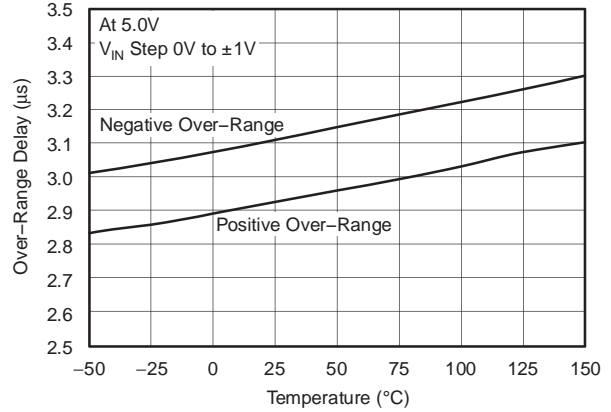
差動アンプ：  
大信号ステップ応答、 $T_A = +25^\circ\text{C}$



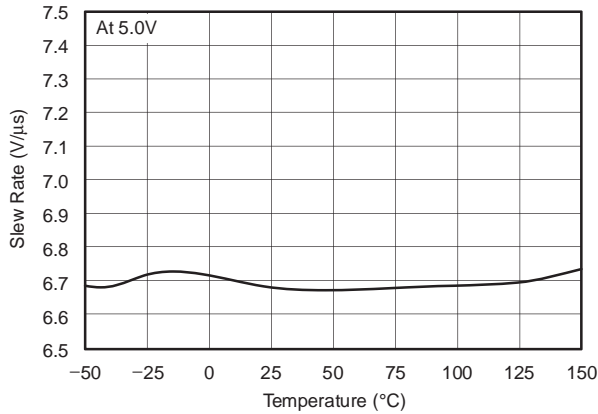
差動アンプ：  
大信号ステップ応答、 $T_A = +150^\circ\text{C}$



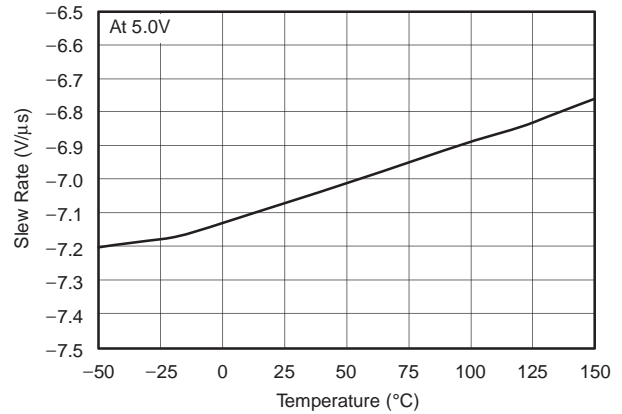
差動アンプ：  
オーバーレンジ遅延 対 温度



差動アンプ：  
負側スルーレート 対 温度



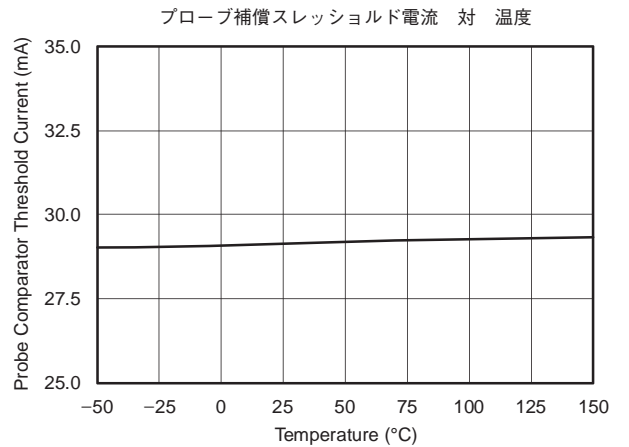
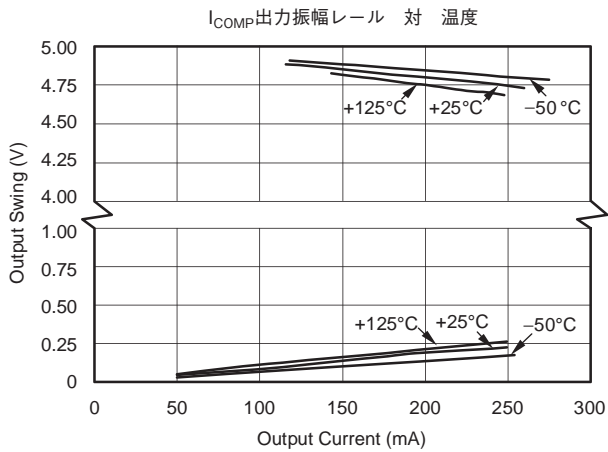
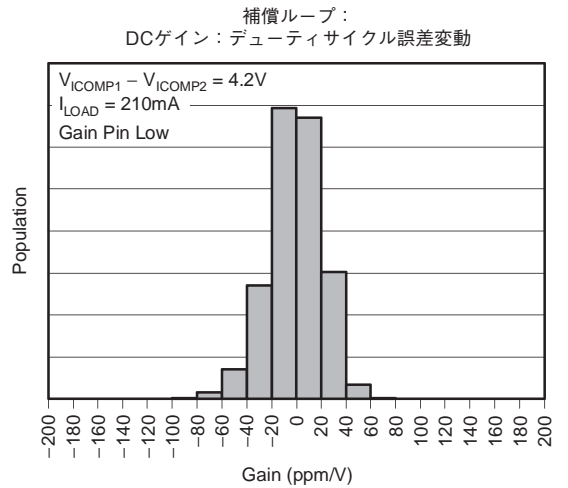
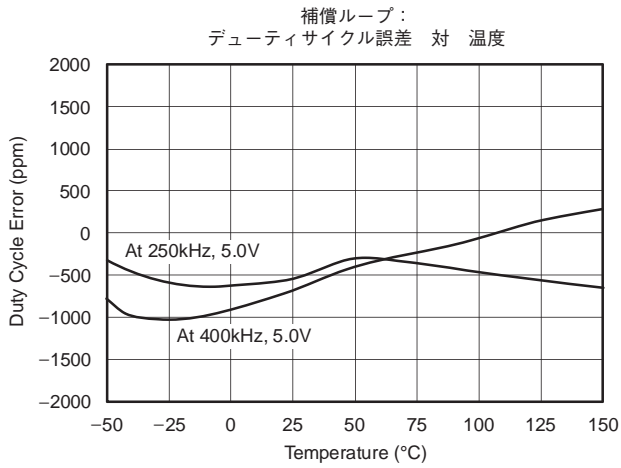
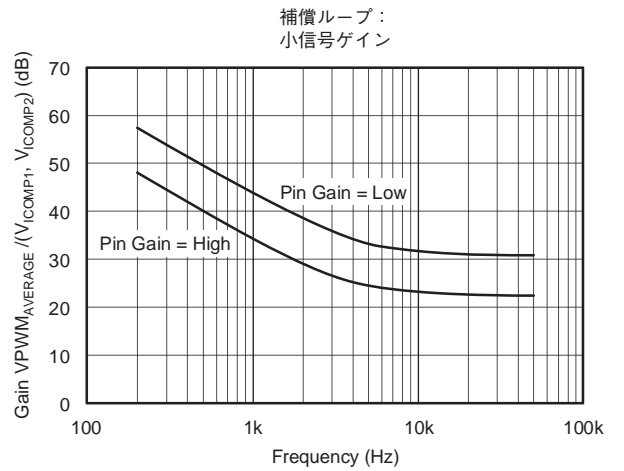
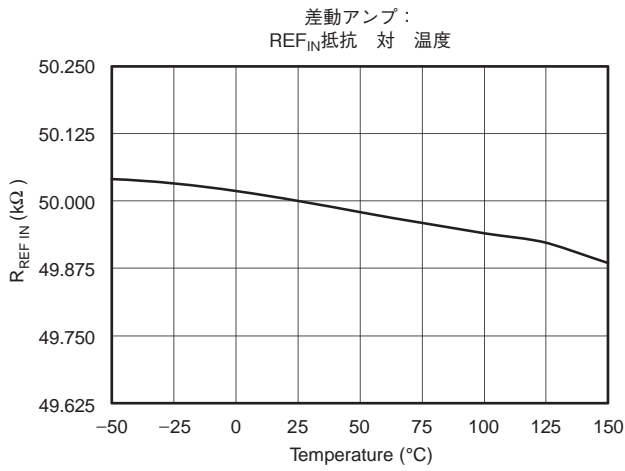
差動アンプ：  
正側スルーレート 対 温度





# 標準特性

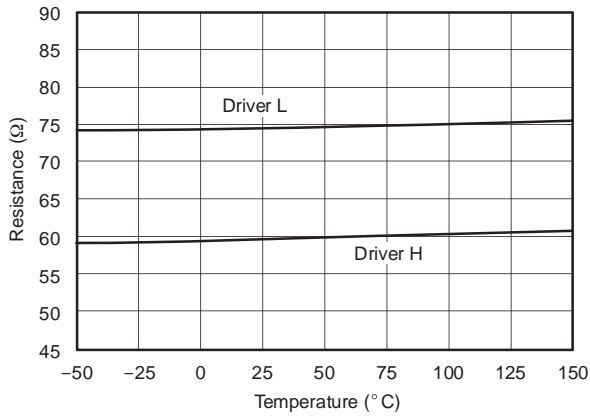
特に記述の無い限り、 $T_A = +25^\circ\text{C}$ 、 $V_{DD1} = V_{DD2} = +5\text{V}$ 、外部100kHz帯域フィルターによるものです。



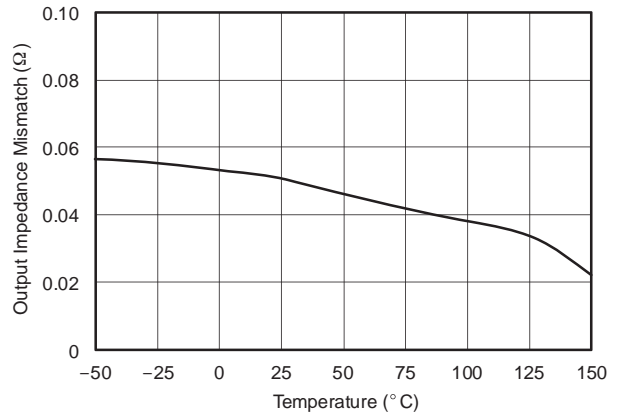
# 標準特性

特に記述の無い限り、 $T_A = +25^\circ\text{C}$ 、 $V_{DD1} = V_{DD2} = +5\text{V}$ 、外部100kHz帯域フィルターによるものです。

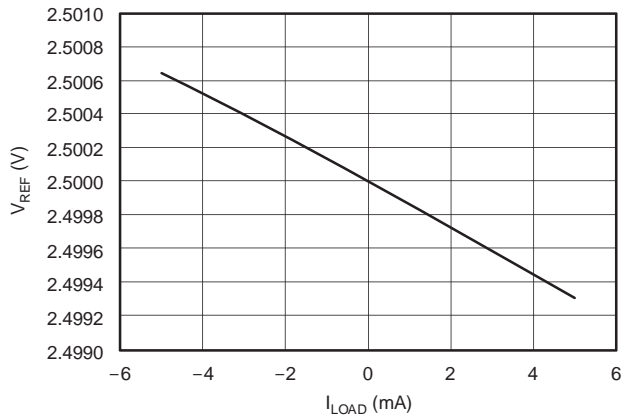
プローブ・ドライバー：  
入力抵抗 対 温度



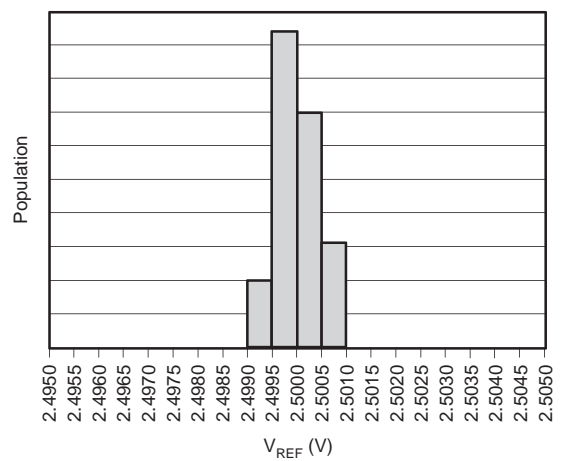
IS1とIS2間、出力インピーダンス・ミスマッチ 対 温度



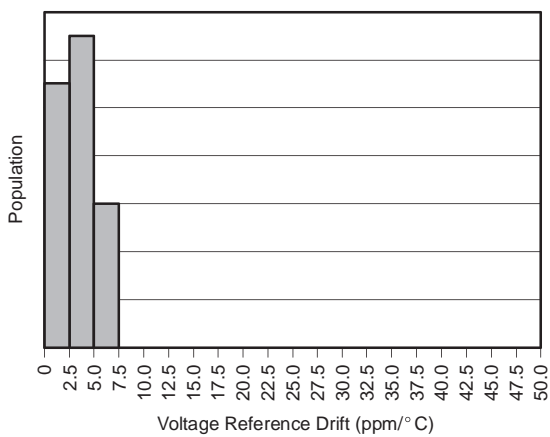
電圧リファレンス 対 負荷電流



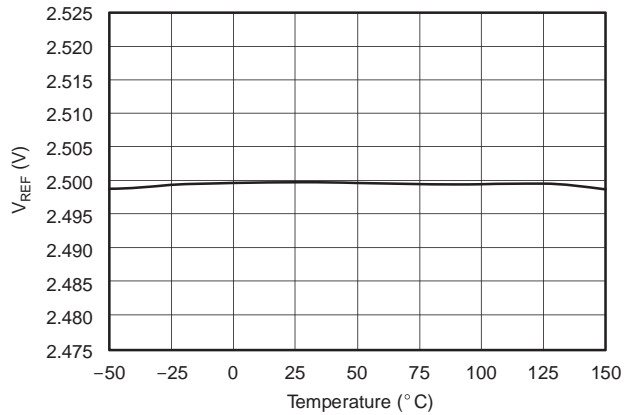
電圧リファレンス分布



電圧リファレンス・ドリフト分布



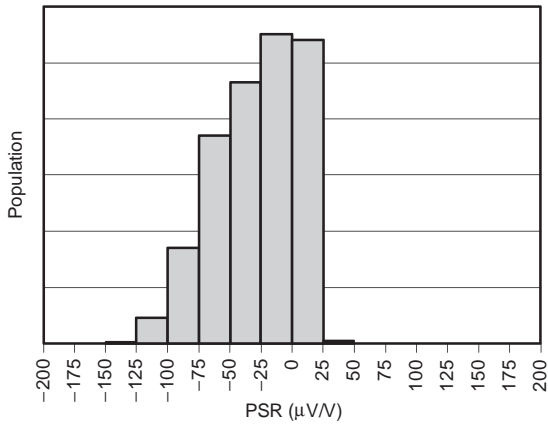
電圧リファレンス 対 温度



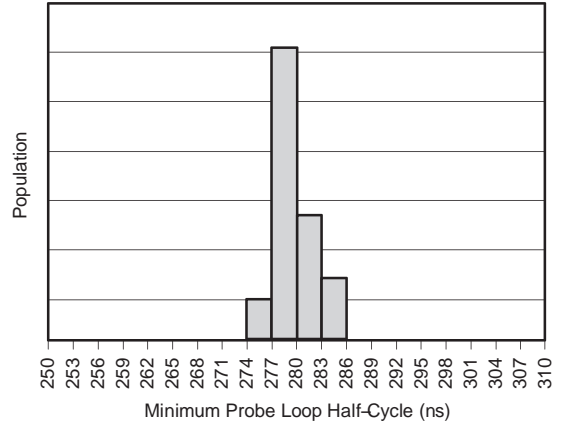
# 標準特性

特に記述の無い限り、 $T_A = +25^\circ\text{C}$ 、 $V_{DD1} = V_{DD2} = +5\text{V}$ 、外部100kHz帯域フィルタによるものです。

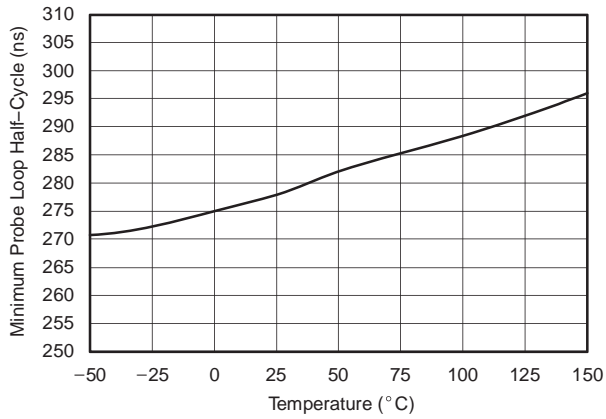
電圧リファレンス電源除去分布



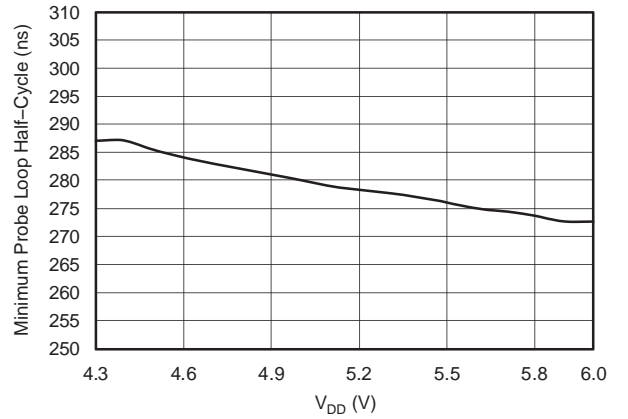
オシレーター分布



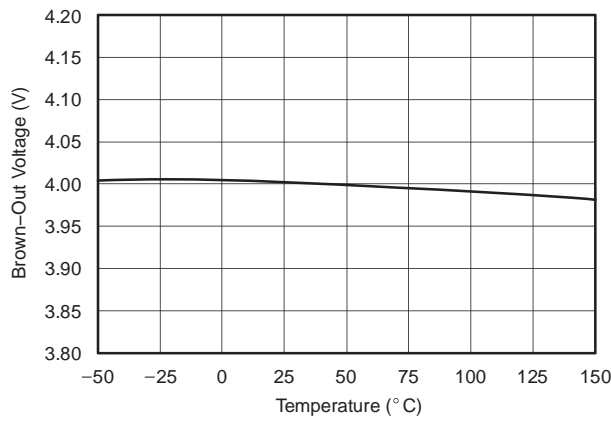
オシレーター 対 温度



オシレーター 対 電源電圧



ブラウンアウト電圧 対 温度



## アプリケーション情報

### DRV401を用いた磁気プローブ付クローズドループ電流センサーの動作原理

クローズドループ電流センサーは、DCを含む広周波数帯域の電流を測定します。このタイプのデバイスは、高分解能、高精度、高信頼性と優れた電気絶縁特性を有する非接触手法を提供します。

DCおよび低周波数帯域においては、1次巻き線内の電流による磁気は補償巻き線内に流れる電流によって補償されます。磁気プローブは磁気コア・ループ内に配置され、磁束を検出します。このプローブは、補償コイルを通過する電流をドライブするアンプへの信号を供給し、磁束密度をゼロにもっていきます。この補償電流は、巻き線比と比例した、1次電流と比例したものとなります。

高い周波数帯域においては、補償巻き線は、Hブリッジ補償ドライバーがロールオフで低出力インピーダンスを提供している間は電流トランスの2次巻き線として動作します。

差動アンプは、補償ループに接続された小シャント抵抗両端に発生する電圧をセンスします。この差動アンプは、REF<sub>IN</sub>を基準として1次電流に比例した出力電圧を生成します。図1にDRV401を補償電流センサーとして用いる構成を示します。

### 機能概要

DRV401は単り+5V電源で動作します。DRV401は電流センサーを直接接続する完全なセンサー信号処理回路であり、センサー動作のための全機能を提供します。DRV401は磁気プローブ・エキサイター、信号処理機能およびコイル・ドライバーアンプの補正機能を提供します。加えて、エラー状態を検出し、過負荷状態に対しての制御も可能です。正確な差動アンプは、小シャント抵抗を用いて補償電流を出力電圧への変換を実行します。バッファ機能付き電圧リファレンスは、コンパレータコモン電圧、A-Dコンバータ(ADC)のコモン電圧または、パイ

ポーラー・ゼロ基準電圧として用いることができます。

ダイナミック誤差訂正機能は、全温度範囲と長時間動作における高DC精度を確実にします。DRV401はアナログ信号処理機能を有しており、内部ループフィルタと積分器はキャパシタ機能でのスイッチングを行います。従って、DRV401は特定の精度と分解能を有する高精度センサーとの組み合わせを提供します。

標準特性カーブ、DRV401とセンサー：総合誤差はデバイスに適用される総合誤差と温度の関係の例を示しています。消磁サイクルはパワーアップ毎または制御要求毎のいずれかで開始することができます。この消磁サイクル動作はオフセットを減少させ、強力な過負荷状態から高精度特性を復活させることができます。内部クロックとカウンタロジックは消磁機能を生成します。このクロックは同時に、パワーアップ、過負荷検出と復帰、エラー、タイムアウト条件等にも用いられます。

DRV401は高信頼性CMOSプロセスで造られています。敏感な接続部におけるユニークな保護セルは誘導(インダクタンス)エネルギーを扱う設計を可能にします。

### 磁気プローブ (センサー) インターフェイス

磁気プローブは柔らかい磁気コアに巻かれたインダクターで構成されています。このプローブは、プローブコイルに直列接続された抵抗を介して(図2a参照)ほぼ+5V(電源供給電圧)をドライブするIS1ピンとIS2ピン間に接続されています。

プローブ・コアは標準28mAの電流で飽和状態に達します(図2a参照)。コンパレータは約0.5VのV<sub>REF</sub>に接続します。電流コンパレータは飽和状態を検出し、250kHz~500kHz周波数帯域におけるプローブ回路の発振による励起電圧極性を反転させます。発振周波数はプローブコイルとコアによる保磁力機能により得られます。

電流立ち上がりレートは、コイルのインダクタンス成分により、 $dI = L \times V \times dt$ です、但し、磁気プローブのインダクタンス成分は、コア材が飽和状態(ヒステリシスカーブの水平軸)の間は低く、ヒステリシスカーブの垂直軸部分では高くなります。

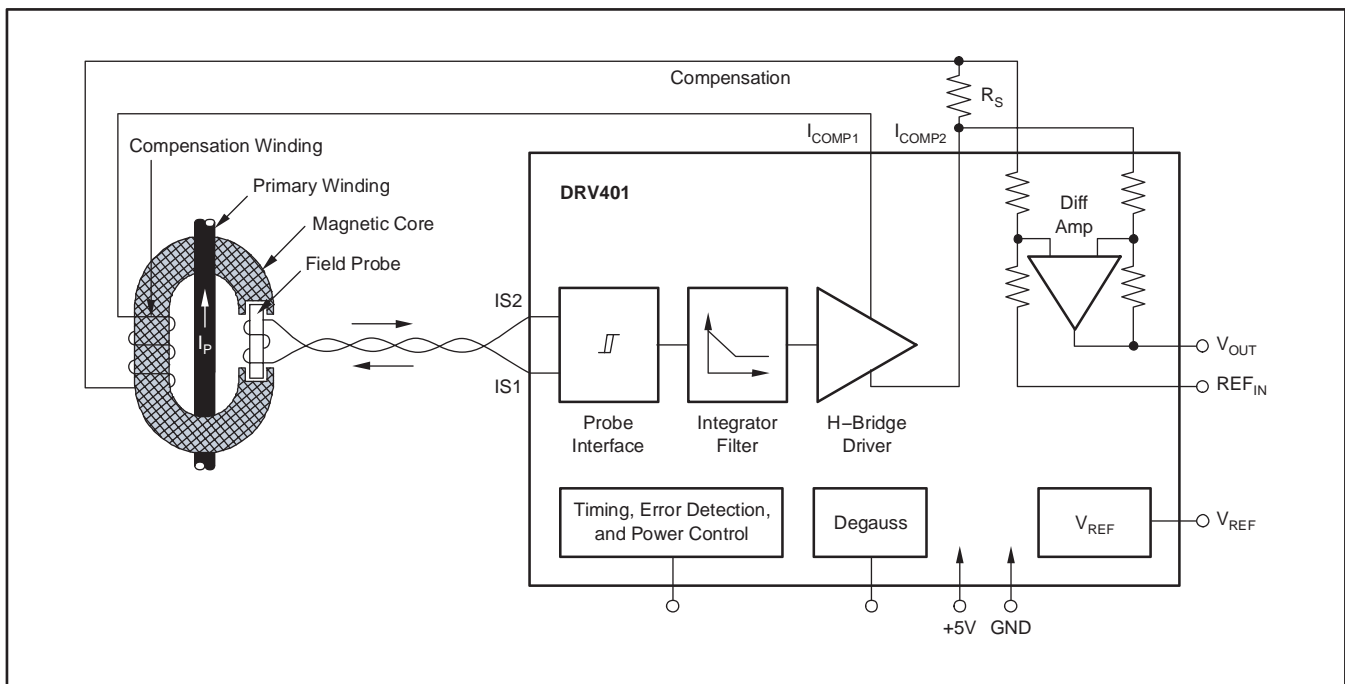


図 1. DRV401による補償電流センサーの原理

インダクタンスとシリーズ抵抗による動作の結果として、出力電圧/電流対時間特性が決定されます。外部磁界の影響が無ければ、デューティサイクルは、磁気ヒステリシ特性の左右対称性により正確に50%となります。すなわち、プローブのインダクタンス成分は時間的対象手法により、-B飽和領域から高インダクタンス領域+Bへ移動し再び戻ります(図2b参照)。

コア材料が同一方向で磁化されるなら、インダクターを通過するプローブ電流は、プローブ・コア内の磁束を加えるかまたは減じさせるので、プローブ・コアを飽和状態から出すかまたは更なる飽和状態を生成するので、チャージ時間の長短を生じさせます(図2c参照)。

DRV401は継続的に磁束方向(極性)をロジカルにモニターしています。プローブ状態の完全な調査ができれば、歪み雑音や過度の過負荷の状態でも過負荷制御回路はプローブ磁気ループを回復させます。過負荷状態の間、プローブ発振周波数は、内部タイミング制御による制限である約1.6MHzにまで上昇します。

過負荷状態においては、補償電流( $I_{COMP}$ )ドライバーは2次巻き線のセンサーに十分な電流を供給することはできなくなり、センサー・メインコアの磁束は補償できません。

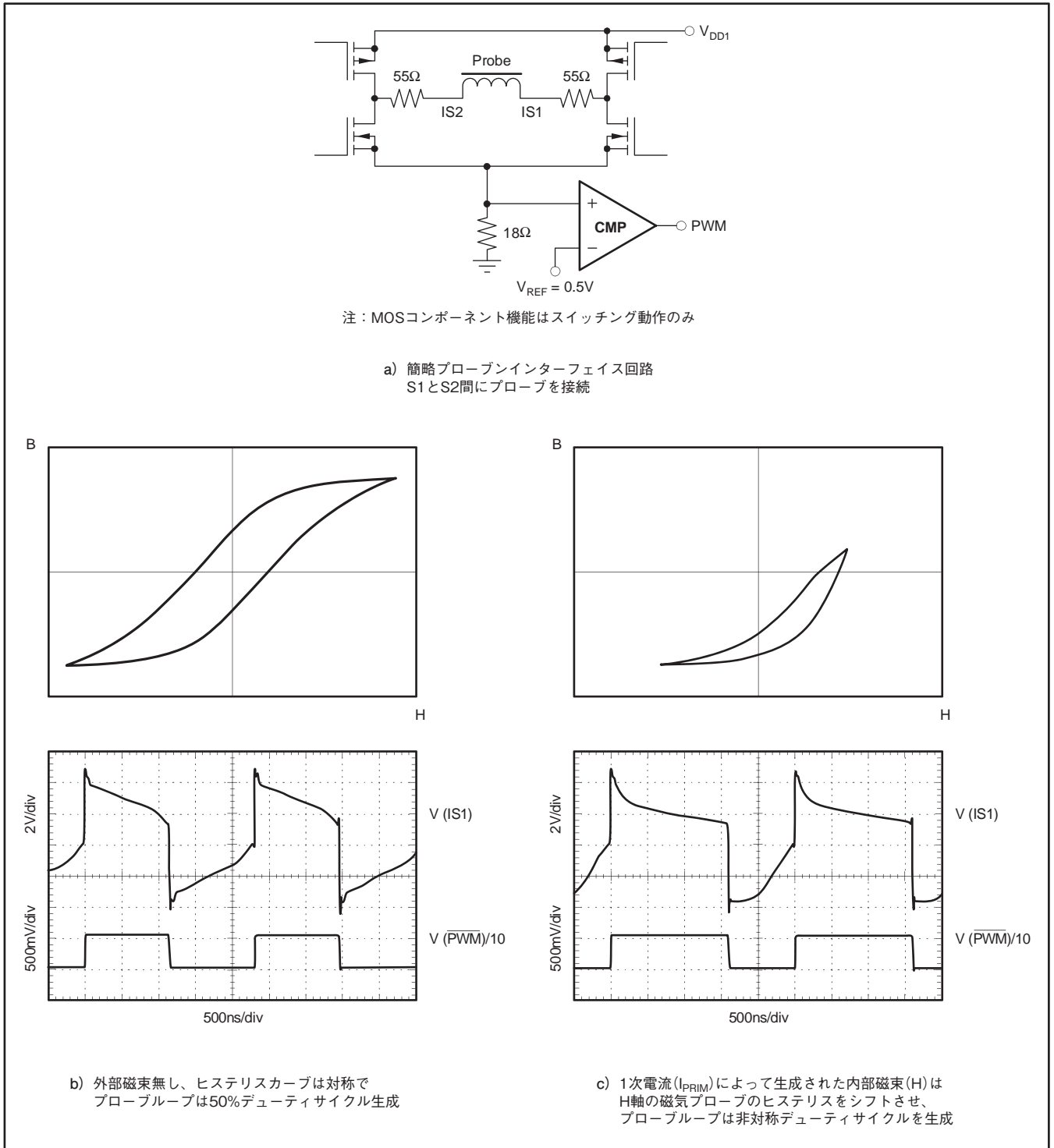


図 2. 磁気プローブのヒステリシとデューティサイクル

図3に示されたように、固有センサーのトランス伝達特性は初期1次電流ステップ応答を誘導するので、通常動作状態から過負荷状態への遷移は比較的緩やかに起こります。トランス伝達特性による2次電流が減衰し始め、補償フィードバック・ドライバーはセンサーコアの磁束をゼロにするためにその出力電圧を増加させます。

システム補償ループがドライブ特性の限度に達した場合、磁束密度の上昇はプローブのPWM信号の半周期のひとつをより短くする原因となります。プローブ発振の最小半周期は内部タイミングにより280nsに制限されており、VAC磁気センサー特性に基づいています。280nsより短い同一半周期が3サイクル連続した後、DRV401は過負荷ラッチモードに以降します。デバイスは $I_{COMP}$ ドライバー出力電流極性を保持し、不均衡なデューティサイクルPWM信号供給を継続します。この動作は非常に大きな過負荷状態においても補償信号極性の損失を防止します。この場合、プローブ環境は完全に飽和領域の内のひとつに位置するので、PWM半周期は短いほぼ同等となります。

過負荷状態は、補償 $I_{COMP}$ ドライバーの1次電流が十分に小さくなった後に解除され、プローブ・ドライバー発振の両半周期は280nsより長くなります(フィールド・プローブは飽和領域外になります)。

ピーク電圧/電流は過負荷状態だけでなく通常動作の間にも生成できます。従って、プローブ接続ピンは磁気コアからのエネルギー結合から内部で保護されています。プローブとIC入力間のワイヤー接続はできる限り短くし、外部からの干渉から

ガードしなければなりません。詳しくは、レイアウト考察を参照して下さい。

確実な動作のために、エラー検出回路はプローブ状態をモニターしています：

1. プローブ・ドライバー・コンパレータ(CMP)出力が $32\mu\text{s}$ 以上長い間ローを継続した場合、エラーフラグ状態はアクティブとなり、補償電流( $I_{COMP}$ )をゼロにセットします。
2. プローブ・ドライバー周期が3連続パルスで $275\text{ns}$ 以下の場合、エラーフラグ状態はアクティブになります。

より詳細はエラー条件の章を参照下さい。

## PWM動作

出力PWMと $\overline{\text{PWM}}$ は差動PWM信号としてプローブ出力信号を供給します。これは外部回路をドライブするか周期的リップル除去のために用いられます。プローブ励起またはセンサー段からのPWM信号は、積分型差動フィルターとしても動作する高精度、スイッチド・キャパシタ積分器に内部接続されています。このフィルターはPWM信号をフィルター処理された差分信号に変換し、アナログ補償コイルドライバー用信号を用意します。フィルター段のゲイン・ロールオフ周波数は、高いDCゲインとループ安定性を提供しています。外部回路により追加ゲインが加わった場合、内部ゲインはGAINピンをハイにして8dB低下させることができます(外部補償コイルドライバーの章参照)。

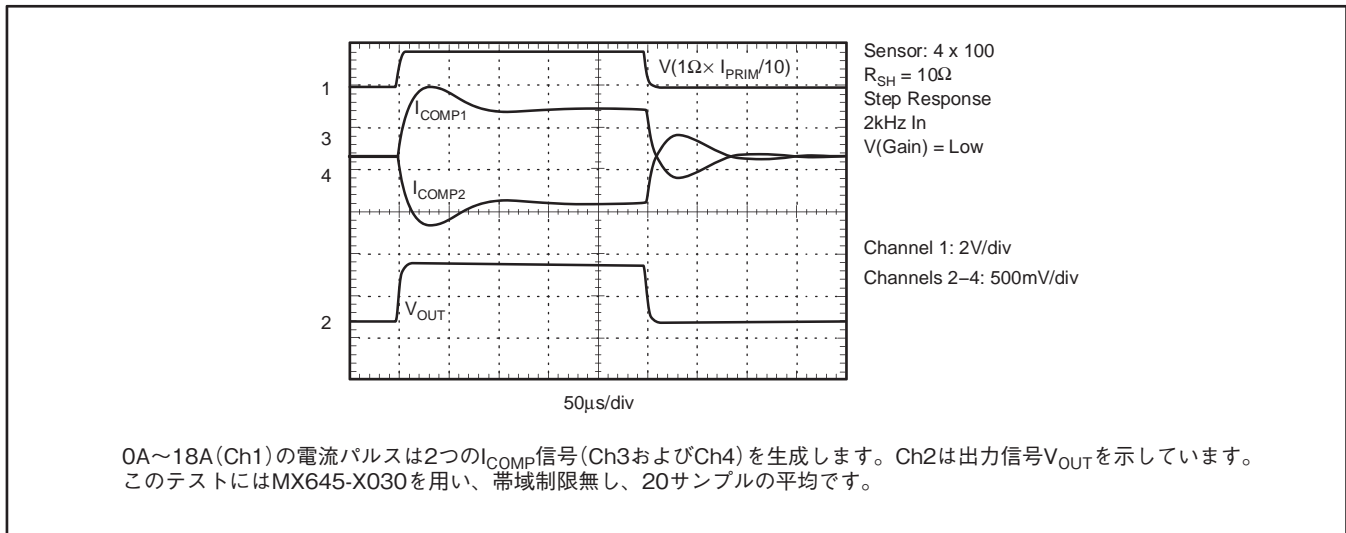


図 3. 1次電流ステップ応答

## 補償ドライバー

補償コイルドライバーは補償コイル用のドライブ電流を供給します。完全な差動ドライバーステージは+5V電源のみでコイルの巻き線抵抗をドライブする高い信号電圧を提供します。補償コイルは、 $I_{COMP1}$ と $I_{COMP2}$ の間に接続され、巻き線抵抗(インダクタンスとして)から電流に変換されるコイルに印可されるアナログ電圧信号を生成します(図3参照)。補償電流は巻き線比に応じた1次電流を再現します。シャント抵抗はループ内に接続されており、高精度差動アンプはシャント抵抗端電圧を出力電圧への変換を実行します。

両補償ドライバー出力は、閉ループ補償周波数範囲から高い周波数範囲にかけてスムーズな遷移を確実にするために、広周波数範囲における低いインピーダンス特性を供給します。ここで、1次巻き線は巻き線比に応じて設定された補償コイル内に流れる1次電流と結合されます。

2つの補償ドライバー出力は、誘導(インダクタンス)エネルギー現象への保護回路が設計されています。但し、より高い電流センサーに対しては外部保護ダイオードの追加が必要になる場合もあります。

確実な動作のために、補償回路内におけるワイヤー切断は検出することができます。フィードバック・ループが切断されると、積分フィルターは出力 $I_{COMP1}$ と $I_{COMP2}$ を逆レール状態にドライブします。これらのピンのいずれかがGNDレベルから300mV以下になった場合、コンバータは $I_{COMP1}$ と $I_{COMP2}$ の間に流れる最小電流をテストします。この電流が少なくとも100 $\mu$ sの間スレッシュホールド電流以下であるとエラーピンはアクティブ(ロー)状態となります。両 $I_{COMP}$ ピンが完全なレール位置にあるなら、このテストによるスレッシュホールド電流レベルは、+25°Cで57mA以下、-40°Cで65mA以下にそれぞれなります(標準特性参照)。

高い巻き線抵抗(補償コイル抵抗 +  $R_{SHUNT}$ )のセンサーまたは接続された外部補償ドライバーのために、この機能はCCdiagピンをローに設定することにより無効状態に設定しなければなりません。

$$R_{MAX} = \frac{V_{OUT}}{65mA} \quad (1)$$

ここで、 $V_{OUT}$ は、65mAドライブ電流における $I_{COMP1}$ と $I_{COMP2}$ 間のピーク電圧と同じです。

$R_{MAX}$ はコイル抵抗分とシャント抵抗の総和と同じです。

## 外部補償コイルドライバー

補償コイル用の外部ドライバーは $I_{COMP1}$ 出力と $I_{COMP2}$ 出力間に接続します。ワイヤー断線検出を確実にするために、CCdiagピンはローに設定します。

外部ドライバーはより高いドライブ電圧とドライブ電流の両方を供給することができます。外部ドライバーはまた、消費電力を外部トランジスター側にシフトさせるため、補償コイルのより高い巻き線抵抗と高電流対応を可能にします。図4に外部補償コイルドライバーのブロックダイアグラムを示します。バッファをドライブするために、両 $I_{COMP}$ 出力のいずれかひとつを用いることができます。しかし、追加された電圧ゲインがループの非安定性を起こすことに注意して下さい。従って、内部ゲインはゲインピンをハイに設定することにより約8dBに減少させることが可能です。 $R_{SHUNT}$ はシングルエンドの外部補償ドライバーを構成するためにGNDに接続します。差動アンプは電圧検出を継続することができ、ゲインと過負荷コンパレータまたはエラーフラグとして用いることができます。

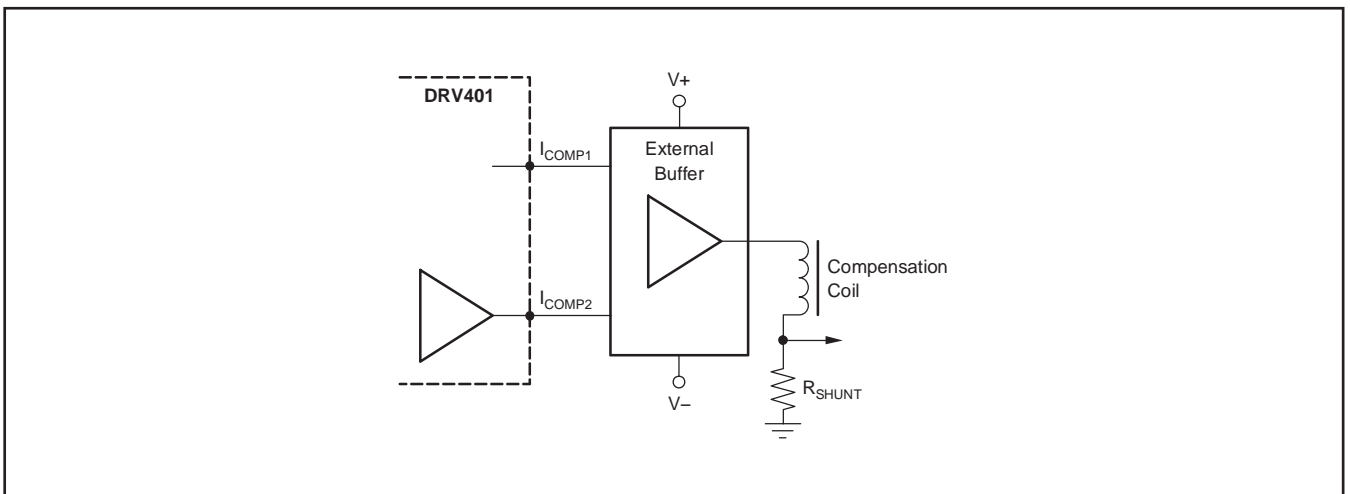


図 4. 外部補償コイルドライバーおよびGND接続された $R_{SHUNT}$ とDRV401



## シャントセンス・アンプ

補償コイル用差動ドライバー（Hブリッジ）は、シャント抵抗両端信号を差動センスするアンプとの組み合わせが求められます。この差動センスアンプは高速電流センスのために高帯域幅かつ高スルーレートが求められます。オートゼロ技術により優れたDC安定性と精度をもたらします。電圧ゲインは4V/Vであり、高精度なマッチングと安定性を有する内部NiCr（ニッケル・クロム合金）抵抗で設定されています。両差動入力は通常電流シャント抵抗に接続されます。このシャント抵抗は内部抵抗（10kΩ）に加わるので僅かなゲイン低下をもたらします。最良の同相除去特性（CMR）のためには、図5aに示した通り、両抵抗デバイダーとのマッチングを最適化するためにREF<sub>IN</sub>ピンとの間にダミーシャント抵抗R<sub>5</sub>を直列に配置します。

ゲイン4V/Vは：

$$4 = \frac{R_2}{R_1} = \frac{R_4 + R_5}{R_{SHUNT} + R_3} \quad (2)$$

および、 $R_2/R_1 = R_4/R_3 = 4$ ； $R_5 = R_{SHUNT} \times 4$

標準的には、R<sub>SHUNT</sub>抵抗値によるゲイン誤差の影響は小さく、70dBの同相分除去比が得られますが、両ドライバー比のマッチング性は1/3000より優れていることが求められます。

アンプ出力はほぼ電源レールまでのレベルをドライブでき、SAR型ADCの入力をドライブできるように設計されています。DRV401とADC入力の間にはRCローパスフィルターを配置することを推奨します。このフィルターは信号帯域を制限するだけでなく、ADコンバータ入力における高周波数帯域サンプリング・ノイズからのデカップリングとしても機能します。C<sub>F</sub>およびR<sub>F</sub>の値については、当該コンバータ製品の製品データシートに記載されている推奨値を参照して下さい。実験的な評価は、最適な結果を得るために必要な場合があります。

出力は100pF負荷を直接ドライブでき、およそ1nFの容量で50%のオーバーシュート特性を示します。図5bおよび図5cに示したようにR<sub>F</sub>を追加することにより、より大きな容量性負荷に対応できます。20ΩのR<sub>F</sub>抵抗値では、オーバーシュートを避けるには負荷容量は1nFより小さいか33nFより大きくなければなりません。50ΩのR<sub>F</sub>抵抗値はこの負荷容量制限エリアを回避できます。

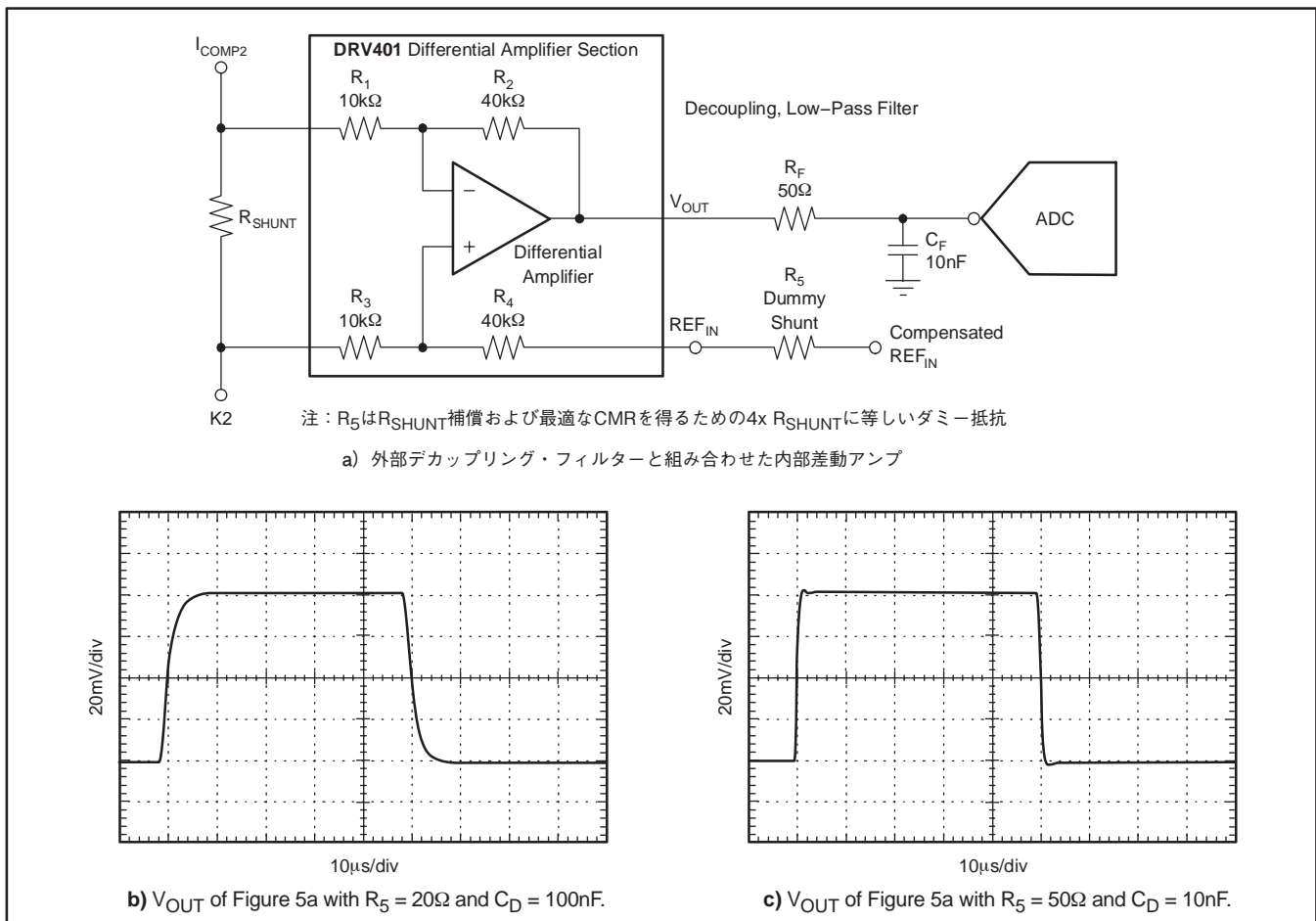


図 5. デカップリング・フィルターと組み合わされた内部差動アンプ例



リファレンス入力 (REF<sub>IN</sub>) は正確な出力信号 (V<sub>OUT</sub>) のための基準ノードです。REF<sub>IN</sub> とリファレンス出力 (REF<sub>OUT</sub>) の接続は 2.5V 電位をゼロ基準電位としたゼロ・リファレンスを生成します。REF<sub>IN</sub> と ADC に同一のリファレンスを用いることにより、異なるリファレンスを用いた場合に生じる mismatch 誤差を避けることができます。

## オーバーレンジ・コンパレータ

高いピーク電流はシャント部に接続されている差動アンプに過負荷をかけます。OVER-RANGE ピン (オープンドレイン型回路) は、ローにセットすることにより差動アンプへの過電圧条件を表示します。このフラグの出力は 3μs に抑制されており、遷移状態や雑音による要求されていないトリガーを防止します。このピンは過負荷状態から回復すると直ちにハイ状態に戻ります (ハイレベルのためには外部プルアップが必要です)。

このエラーフラグは信号クリッピング条件への警告だけでなく、システムにおいて回路をシャットダウンさせる動作のウィンドウ・コンパレータ出力でもあります。シャント抵抗値は電流の動作ウィンドウを定義します。このためには、通常信号状態値と OVER-RANGE フラグがアクティブに移動する状態値との比率を設定します。このウィンドウ・コンパレータの移動レベル電流は次に示す式の例を用いて計算することができます。:

5V 電源においては、出力電圧振幅は約 ±2.5V です (負荷および電源電圧に依存)

4V/V のゲインは ±0.6125V の入力振幅に対応しています。

従って、クリッピング電流、 $I_{MAX} = 0.6125V / R_{SHUNT}$

差動アンプ標準特性、出力電圧対出力電流を参照下さい。

オーバーレンジ条件は、単純な電圧レベル設定だけでなく、アンプ回路のリニア動作範囲を超えると直ちに内部で検出されます。従って、エラーまたはオーバーレンジ・コンパレータレ

ベルは、出力短絡、低負荷、低電源電圧等の不具合状態を正確に表示します。

出力がより高レベル電圧をドライブできない状態になると直ちにフラグはアクティブになります。この機能は電圧レベル・コンパレータのための安全対策です。

**注意:** 補償コイルの内部抵抗は、 $I_{COMP}$  ドライバーが過負荷状態であるため、高い補償電流の導通を防ぐことができるでしょう。従って、差動アンプのこの電流レベルで過負荷状態にはなりません。但し、1次電流の急激な変化はトランス動作を介して伝送されて、過負荷フラグのセーフトリガーとなることがあります。

## 電圧リファレンス

高精度 2.5V リファレンス回路は低ドリフト特性 (標準 10ppm/K) を有しており、内部バイアスに用いられると同時に REF<sub>OUT</sub> ピンにも接続されています。リファレンス回路は、出力信号の基準レベルと、基準レベルを中心としたバイポーラ信号に対応します。この出力は低インピーダンスバッファ出力であり、±5mA の電流シンク/ソースを許容します。

容量性負荷を直接接続することができますが、高速な負荷変動に対してリングングを発生させます。数Ω の小さな直列抵抗は、1μF 程度の容量での容量性負荷に対する応答特性を改善します。図 6 に 1nF 容量が直接接続された場合の応答特性を示します。

リファレンス回路は内部回路の一部でもあり、GND2 を基準としています。補償コイルにおける高電流パルスドライブは GND 接続間の電圧降下を発生させ、リファレンス電圧に上乘されることとなります。従って、低インピーダンス GND レイアウトは当デバイスの電流と高帯域幅を処理するために重要です。

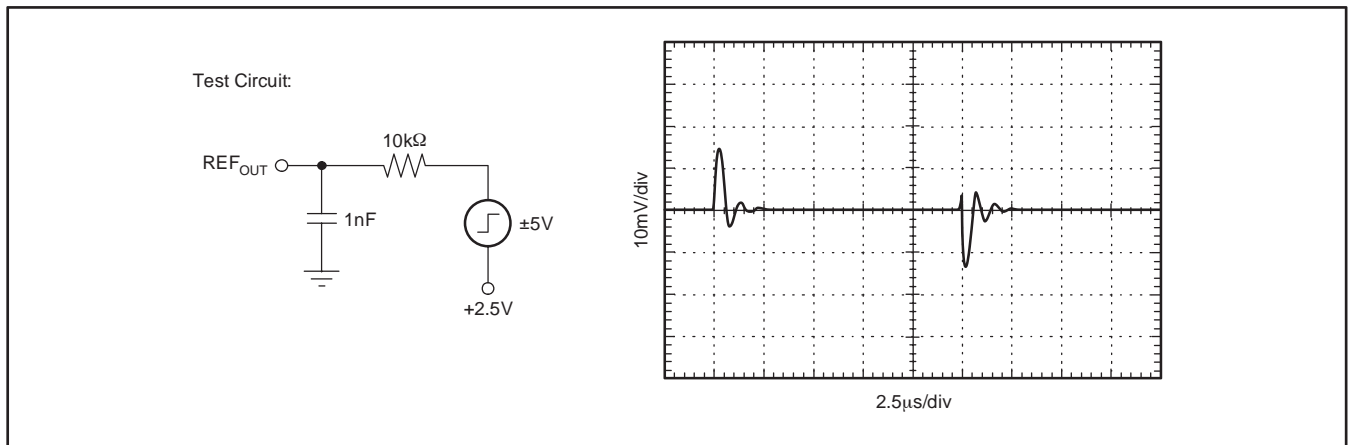


図 6. パルス応答テスト回路とリファレンスの応答特性

## 消磁動作

鉄芯コアは残留磁気の影響からは免れません。残留磁気は、特に大きな電流過負荷の後には、高い磁束密度とともに信号オフセットを発生させます。このためDRV401は消磁サイクル用の信号ゼネレーターを有しています。デジタル制御ピン、DEMAGが少なくとも25.6 $\mu$ sの間以上ハイにセットされると消磁サイクルがスタートします。25.6 $\mu$ sより短いパルスは無視されます。このサイクルはおおよそ110ms継続されます。この間、エラーフラグは出力が有効でないことを示すためにローに設定されます。通電状態でDEMAGがハイの時、電源電圧がオン ( $V_{DD} > 4V$ ) となった後に消磁サイクルは直ちに (12 $\mu$ s) 始まります。DEMAGをローに保つ場合は、パワーアップ時の消磁サイクルは実行されません (パワーオンおよびブラウンアウトの章参照)。

プローブ回路は消磁サイクル動作の間も通常動作および発振状態下にあります。出力PWMとPWMもそれに応じて動作しています。

消磁サイクル動作はDEMAGをローに設定することにより、25 $\mu$ s未満のグリッチはフィルターされ、避けることができます (図7参照)。標準回路においては、DEMAGピンは正電源に接続され、ユニットが通電状態になる毎の消磁サイクル動作を可能にします。

消磁サイクル動作は、内部クロックとカウンターロジック回路をベースにしています。

最大電流はシャント抵抗と直列接続されたコイルの抵抗分によって制限されます。DEMAGピン入力は+5V CMOS系コンパチブル信号対応となっています。

## パワーオンおよびブラウンアウト

パワーオンは $V_{DD1}$ の供給電圧が4V以上になると検出されず。DEMAGがハイであれば消磁サイクル動作がスタートします (図7a参照)。この動作の間、エラーフラグはローを維持し、準備ができていないことを示します。DEMAGのロー設定は消磁サイクル動作を防ぎ、DRV401は電源オンから約32 $\mu$ s経過後に動作を開始します。完全な4サイクル期間 (これは、プロー

ブ半周期が32 $\mu$ sより短い、280nsより長いこととなります) で、プローブエラーがない状態を検出されると、標準的には電源オンから約42 $\mu$ s後に補償ドライバーは動作を開始し、エラーピンは準備完了状態を示します。

**注意：** エラーピンをハイに設定するために外部プルアップ抵抗が必要です。

両電源供給ピン ( $V_{DD1}$ と $V_{DD2}$ ) は、適切なデバイス動作のためには両電圧差を100mV以上にすべきではありません。両電源は通常共通接続し、個別にフィルターを設けます (詳しくはレイアウト考察を参照して下さい)。DRV401は+4Vレベルの低電源電圧とブラウンアウト電圧をテストします；しかし、適切な電源条件が供給されなければなりません。

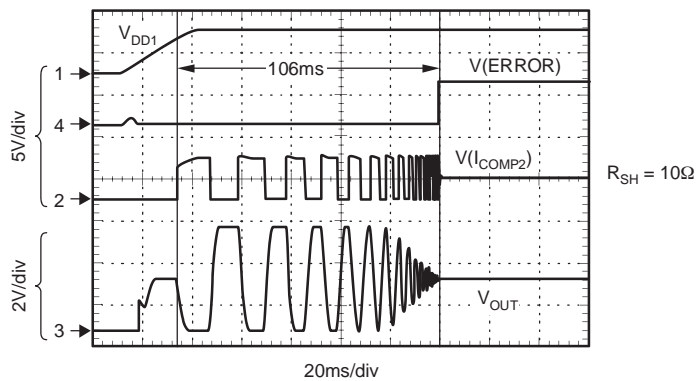
DRV401がドライブできる高電流パルスの期間も供給電源電圧を維持するためにも、適切な高性能電源と低ESRを有するバイパスコンデンサが要求されます。

クリチカルな電圧レベルは、プローブ・ドライバーの適正動作状態から導かれます。プローブインターフェイスはプローブを通過してコンパレータに流れるピーク電流に依存します。

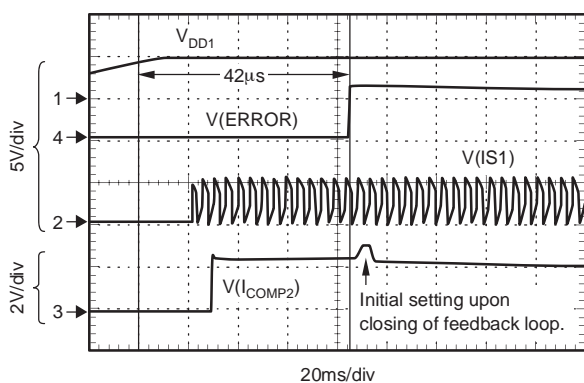
ドライバー内部抵抗とプローブ抵抗との総合抵抗 (電気的特性のプローブ・コイル、内部抵抗を参照下さい) は許容される供給電圧の下限を設定します。31 $\mu$ s未満の継続した電圧降下は無視されます。32 $\mu$ s以上の発振異常が発生すると、プローブエラー検出機能は直ちにエラーピンを動かします。

低供給電圧条件とブラウンアウトは+4Vで検出されます。100 $\mu$ s未満の短時間で軽い電圧降下は無視されます。プローブ回路は通常動作を継続します。仮にプローブが動作しないならエラーピンはアクティブになります。信号過負荷リカバリー動作はプローブが中断していない場合にのみ実行されます。

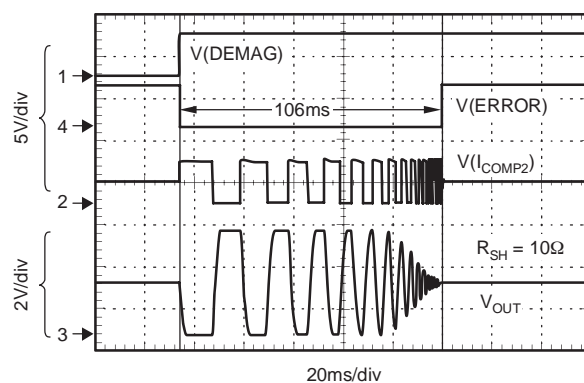
100 $\mu$ sより長い期間継続する電圧降下はパワーオン・リセットを動作させます。+1.8V ( $V_{DD1}$ ) までの電圧降下も同様にパワーオン・リセットを起動させます。



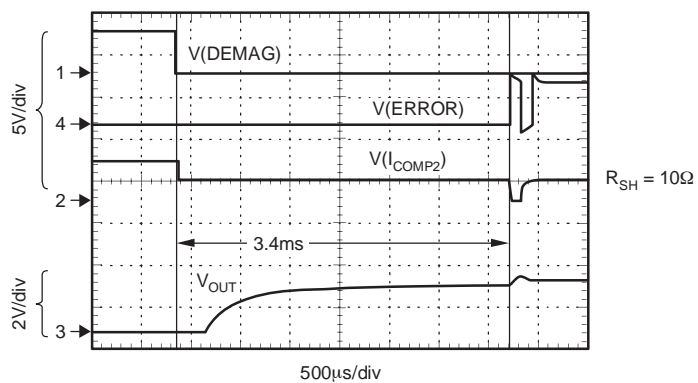
a) パワーアップ時消磁サイクル。パワーアップにおいて $V_{OUT}$ が補償コイルのセンターの約半分を超え、4Vスレッシュホールド後4サイクルでスタート。



b) 消磁無しパワーアップ。プローブ発振 $V(IS1)$ はERRORリセット前にスタート - 電源電圧4Vスレッシュホールドも超えた15 $\mu$ s後。



c) 消磁サイクルとコマンド



d) 消磁サイクルの消出。ERRORフラグはHにセット(示された通り)、出力は通常動作に回復。

図 7. 消磁動作およびパワーオン・タイミング

## エラー条件

出力アンプ(差動アンプ)での信号クリッピングを示すオーバーレンジ・フラグに加えて、システム・エラーフラグが用意されています。エラーフラグは、出力電圧が1次電流を再現できない条件の場合に表示されます。エラーフラグは、消磁サイクル動作時、電源不良またはブラウンアウト時にもアクティブになります。また、プローブのオープンまたはショート時にもアクティブになります。エラー状態が無くなり回路が正常動作に回復すると、直ちにエラーフラグはリセットされます。

両エラーフラグとオーバーレンジ・フラグはオープンドレイン型出力です。両出力は正確な動作のために外部プルアップ抵抗と併にワイヤードOR共有接続します。

エラーフラグのアクティブ時は次に示す状態に時になります(エラー出力がローに遷移)

1. プローブコンパレタ出力が $32\mu\text{s}$ 以上ロー状態を保持した時。この状態は、プローブコイル接続がオープンとなった場合、もしくは供給電圧降下が設定飽和電流が達することできないレベルになった場合に起こります。 $32\mu\text{s}$ のタイムアウトの間、 $I_{\text{COMP}}$ ドライバーは能動状態を保持しますが、その後非能動状態に移行します。回復時は、エラーはローで、 $I_{\text{COMP}}$ ドライバーは $3.3\text{ms}$ の間リセット状態となります。
2. プローブドライバー・パルス幅は3連続周期の間 $280\text{ns}$ 未満です。これは、フィールド・プローブコイルの短絡もしくは電源オン時のセンサーの完全飽和状態のいずれかの条件を表わします。もしこの状態が $25\mu\text{s}$ 以上継続し回復するなら、エラーフラグはローを保持し、 $I_{\text{COMP}}$ は更なる $3.3\text{ms}$ の間リセット状態となります。もしエラー状態の継続が $25\mu\text{s}$ 未満であれば、エラーフラグは直ちに回復し、 $I_{\text{COMP}}$ ドライバーはインタラプトされません。
3. 消磁動作の間、DEMAGのローへのセットにより動作サイクルが早く中断された場合でも、エラーフラグは更なる $3.3\text{ms}$ の間ローを保持します(この間 $I_{\text{COMP}}$ ドライバーは使用できません)。

4. 補償コイルのオープン状態( $100\mu\text{s}$ より長い)を検出することができます。注意: プローブ・ドライバー、PWM信号フィルターおよび $I_{\text{COMP}}$ ドライバーは通常動作状態を維持しています。エラーフラグのみがこの状態を表示しています。この状態は、 $I_{\text{COMP}}$ ドライバーに流れる電流が十分でないことを表わし、それは補償コイルの高い抵抗成分または外部ドライバーの接続による結果であるかも知れません。この状態はCCdiagピンをローに設定することにより機能停止させることができます。
5.  $V_{\text{DDI}}$ が $+4\text{V}$ のスレッシュホールドを超えてパワーオンになった後、エラーフラグは約 $42\mu\text{s}$ の間ロー状態となっています。
6. 供給電圧低下(ブラウンアウト)状態のタイミング条件は $100\mu\text{s}$ 以上の状態継続です。

## 推奨される保護

入力 $IA_{\text{IN1}}$ および $IA_{\text{IN2}}$ は、供給電圧の $10\text{V}$ を超える電圧振幅制限に対して外部保護が必要です。ドライバー出力 $I_{\text{COMP1}}$ と $I_{\text{COMP2}}$ は、供給電圧への内部クランプ回路における保護機能により高い電流パルスを扱うことができます。非常に大きな過電流の繰り返しが予想される場合、外部ショットキダイオードを電源レールに接続します。この外部保護は半導体ダイへの電流の流入を防止します。

プローブ接続 $IS1$ と $IS2$ は電源レールへのダイオード・クランプにより保護されています。

通常のアプリケーションでは外部保護回路は必要ありません。最大電流は $\pm 75\text{mA}$ に制限されています。他のすべてのピンは標準的な保護回路を要求します(絶対最大定格を参照して下さい)。

## 標準接続回路例

図8に示された回路は電流センサーシステムの全接続構成の例です。

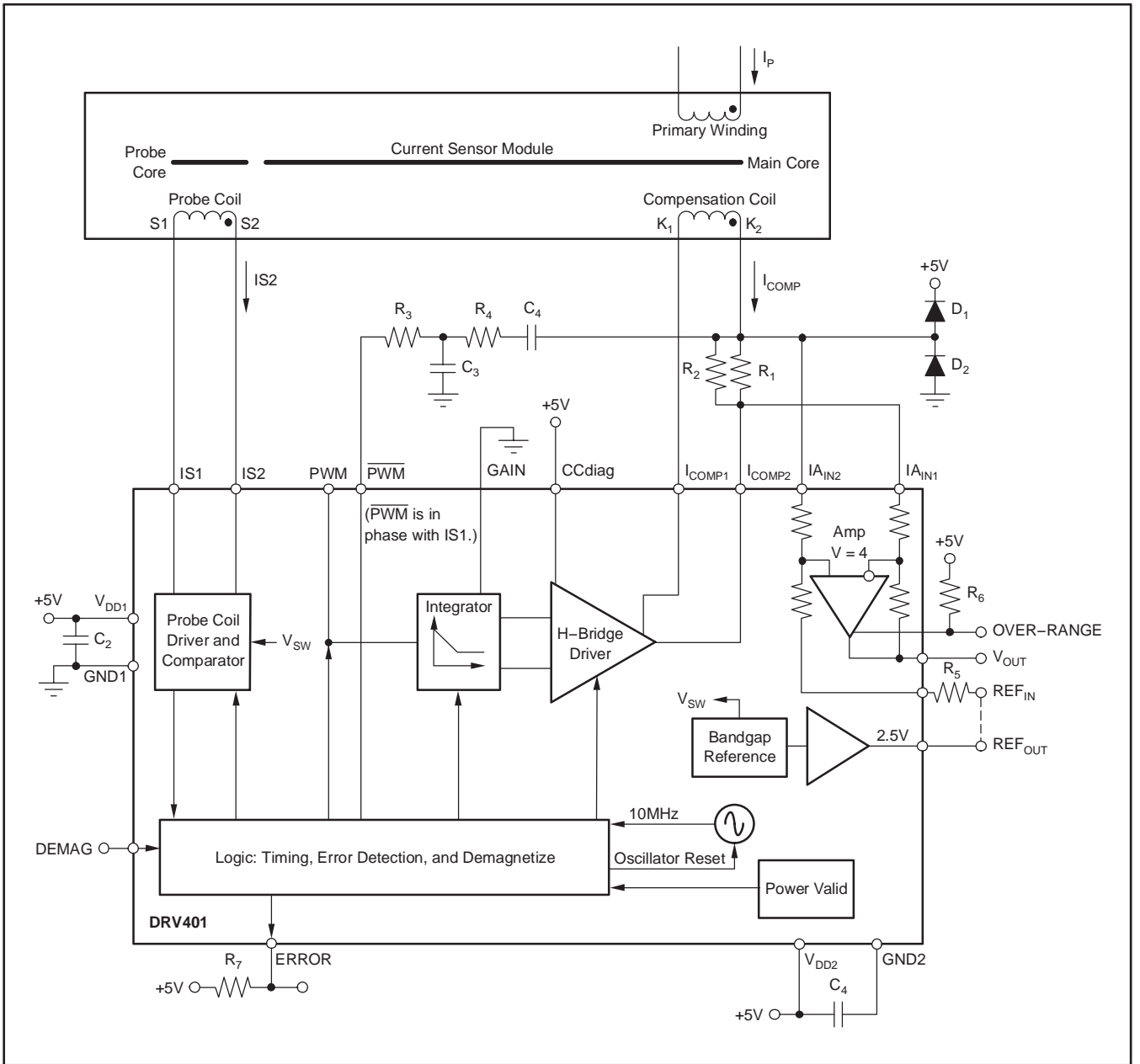


図 8. 標準接続回路



図8の接続回路例は適切な特性を得るための少数の外部部品を示しています。各外部部品の概要を次のリストに記述します。

$I_P$ は1次電流で、補償コイルに接続された $K_1$ と $K_2$ によって測定されます。 $S_1$ と $S_2$ は磁気フィールド・プローブに接続します。黒ドットはセンサー・メインコアにおける巻き線方向を示しています。

$R_1$ と $R_2$ はシャント抵抗を構成します。これらの抵抗は要求されるシャント抵抗値を正確に形成するために2本に分けられています。これらの抵抗の精度と温度安定性は最終的なシステム特性を決定する要素のひとつとなります。

$R_3$ と $R_4$ および $C_3$ と $C_4$ は、出力信号の残留しているプローブ発振リップルを除去するネットワークを構成します。各コンポーネント値はセンサー形式に依存します。最適な結果を得られるように変更することができます。このネットワークは通常動作には必要ありません。

$R_5$ はダミーシャント抵抗 ( $R_D$ ) で、両差動アンプ入力の差動対称性を補償するために用いられます。

$R_5 = 4 \times R_{SHUNT}$ 、精度はそれほど必要ありません。

$R_6$ と $R_7$ はロジック出力に接続されたプルアップ抵抗です。

$C_1$ と $C_2$ はデカップリング・キャパシタです。低ESR特性コンデンサをピンに最短距離で接続します。低インピーダンスのプリント基板設計を用います。単一ビア (スルーホール) を避けて、マルチ・ビアを用います。容量 $1\mu\text{F}$ 以上と $4.7\text{nF}$ 以下のコンデンサの並列接続が推奨されます。コンデンサの選択時には、DRV401からの大きなパルス電流を扱うことについて考慮して下さい。

$D_1$ と $D_2$ は差動アンプ入力に対する保護回路です。これらは、最大正側ピーク電流時に $R_{SHUNT}$ の電圧降下が $10\text{V}$ を超える場合にのみ必要となります。

## レイアウトの考察

DRV401は比較的大きな電流と高速電流パルスで動作し、高帯域幅特性を実現しています。そして、DRV401は1次信号と動作環境の両者からの大きな歪みエネルギーにさらされることにもなります。従って、PC配線レイアウトはクリチカルな部分に対してのシールド効果と低インピーダンス接続が実行されなければなりません。

電源供給デカップリングには低ESRコンデンサを使用します。 $1\mu\text{F}$ 以上のコンデンサと低容量のコンデンサとの組み合わせを用います。コンデンサとデバイスピンとの接続には低インピーダンス結線を用います。

両グランドピンはローカルGNDプレーンに共通接続しなければなりません。両電源供給ピンは共通接続できます。しかしながら、最良な結果は、個別に電源デカップリングを設け (対ローカルGNDプレーン)、主電源に対してフェライトビーズを直列接続することによって達成することができます。DRV401のフェライトビーズによるデカップリングは、同じ供給電圧ソースで動作する他の回路からの干渉妨害を低減することができます。

リファレンス出力はGND2を基準にしています。グランド結線による電圧降下やドライバー電流とプローブ電流の相互変調等避けるために、低インピーダンスおよびスター型の接続が要求されます。差動アンプとシャント抵抗とのワイヤー接続は低インピーダンスで且つ同じ長さでなければなりません。最良の精度のためにはこの接続内の電流の影響を避けなければなりません。ケルビン接続方について考察してみてください。要求される抵抗値は2本の抵抗によって実現します。

$S_1$ および $S_2$ のワイヤー接続とPCBトレースは、最短距離にすることと、または、ツイスト結線でなければなりません。 $I_{COMP1}$ と $I_{COMP2}$ も同様に最短距離で接続します。

容量性結合を避けるために、 $S_1/S_2$ と $I_{COMP}$ との間のワイヤー・ペアはグランド・シールドを用いるか、または、両者の相互距離を離して接続します。

補償ドライバー出力 ( $I_{COMP}$ ) は低周波数用のみですが、しかし、1次信号 (高い周波数成分を含む) は補償回路、シャント抵抗および差動アンプに結合することがあります。従って、細心の注意を払ったレイアウト設計が推奨されます。

$REF_{OUT}$ と $V_{OUT}$ の各出力はある程度の容量性負荷をドライブできますが、容量性負荷は内部パルス電流を増加させます。差動アンプの高帯域特性を保つためにも、小シリーズ抵抗によってどんな大容量負荷からも絶縁させて下さい。pFオーダーの少容量コンデンサは高い抵抗性負荷に対するトランジェント特性を改善することができます。

パッケージ底面のサーマルパッド露出面はGNDに半田付けしなければなりません。何故なら、サーマルパッドは内部でサブストレートに接続されており、負側の最も高いポテンシャル電位に接続しなければなりません。また、機械的な安定性と長期信頼性を確保するためにもパッド露出面とPCBとは半田付けされる必要があります。

## 電力消費

サーマル・エンハンスド・パワーPAD・SOおよびQFNパッケージを用いることにより、ジャンクション-ケース間熱抵抗は劇的に低減されます。これらのパッケージは、図9a、図9bに示した通り、底面に配置されたリードフレーム上に半導体ダイが置かれた構造を用いています。このリードフレーム構成法はパッケージの底面にサーマルパッドを露出させる結果となっています。図9はSO20パッケージにおける例を示しています。

このサーマルパッドは半導体ダイと直接熱結合しており、サーマルパッドからの最良の放熱経路を提供することにより、優れた熱特性を達成することができます。

二つの出力、 $I_{COMP1}$ と $I_{COMP2}$ はリニア出力です。従って、各出力の電力消費は、内部能動トランジスタの電圧降下と電流の積に比例しています。 $I_{COMP1}$ と $I_{COMP2}$ に対しては、内部電圧降下は、出力に電流が道通している側の $V_{DD2}$ またはGNDへの電圧降下となります。ドライバーの出力短絡回路は特に敏感です。何故なら、全供給電圧は道通しているトランジスタに加わっているように見え、そして、電流はFETの電流密度制限以外の何によっても制限されることがないからです。これはデバイスへの永続的な損傷を起こします。DRV401は温度保護機能や熱シャットダウン機能を含んでいません。

## サーマルパッド

サーマルパッド露出面を有するパッケージは優れた電力消費特性を提供するために設計されました。しかし、PCボードレイアウトは全体的な放熱特性に大きく影響します。表1は、テクニカルブリーフ、SLMA002、PowerPAD、Thermally-Enhanced Packageに記載されている、標準的なPCボードに半田付けされたパワーパッド露出面と二つのパッケージの熱抵抗( $T_{JA}$ )を示しています。また、規格JESD51-0 to 7, QFN/SON PCB Attachment (SLUA271)および Quad Flatpack No-Lead

Logic Packages (SCBA017)も参照して下さい。これらの資料は、www.ti.comからダウンロードして利用することができます。

	QFN-20	SO-20
$\theta_{JP}$	9	9
$\theta_{JA}$ Still Air	40	35
$\theta_{JA}$ with Forced Airflow (150lfm)	38	32

表 1.  $\theta_{JA/JP}$  EIA/JED51-7による予測

$\theta_{JA}$  = ジャンクション-周囲熱抵抗  
 $\theta_{JP}$  = ジャンクション-パッド熱抵抗  
 lfm = Linear Foot per minute

注意：全ての熱抵抗値の精度は約20%です。

温度測定はパワーパッドの露出面とできる限り近いところであることが推奨されます。10°C/W(PCB上の温度測定ポイントにおいて若干の熱抵抗°C/Wが加わる)以下の比較的低い熱抵抗、 $\theta_{JP}$ は、アプリケーションにおける熱抵抗の簡単な評価予測を提供します。

QFNパッケージにおいては、PCB上サーマルパッドは最小9個もしくはそれ以上のビアを設けなければなりません。これはSOパッケージにも適用され、既に説明されたアプリケーション資料での推奨として、PCB上の半田付け部パッドはデバイスのパッド露出面より広く(長く)なければなりません(例えば、6.6mm × 18mm)。各部品の配置密度、レイアウト、レイヤー(層数)および空気の流れ、これらは放熱に強力に影響します。ワーストケース負荷条件は、適切な熱条件を確実にするために実環境でテストされなければなりません。確実な長時間動作での熱ストレスを最小化するためには、ジャンクション温度は125°C以下に設定して下さい。

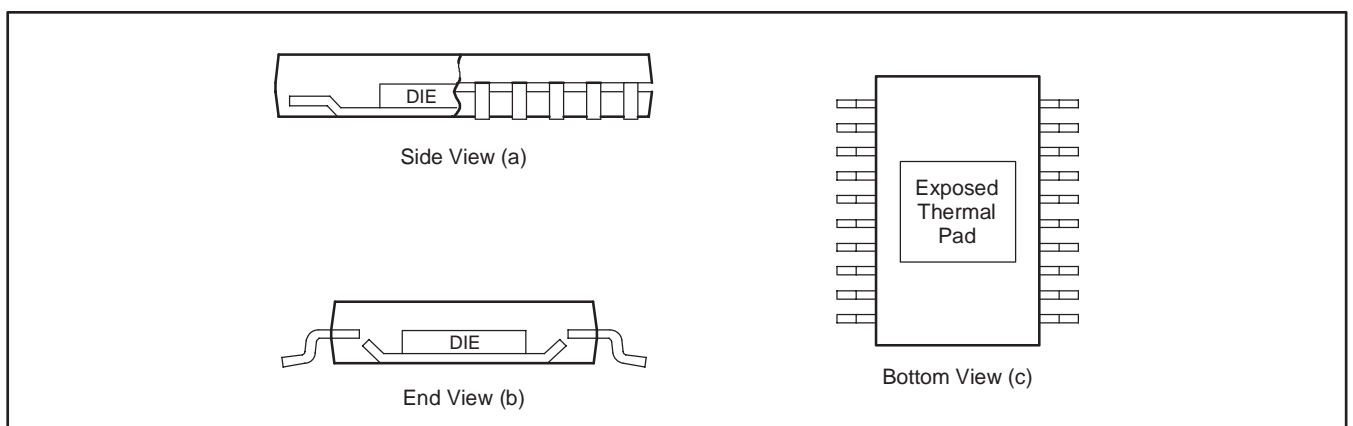


図 9. Thermally-Enhanced PowerPAD SO20パッケージの構造例

# パッケージ情報

## 製品情報

Orderable Device	Status <sup>(1)</sup>	Package Type	Package Drawing	Pins	Package Qty	Eco Plan <sup>(2)</sup>	Lead/Ball Finish	MSL Peak Temp <sup>(3)</sup>
DRV401AIDWP	ACTIVE	SO Power PAD	DWP	20	25	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DRV401AIDWPG4	ACTIVE	SO Power PAD	DWP	20	25	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DRV401AIDWPR	ACTIVE	SO Power PAD	DWP	20	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DRV401AIDWPRG4	ACTIVE	SO Power PAD	DWP	20	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DRV401AIRGWR	ACTIVE	VQFN	RGW	20	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DRV401AIRGWRG4	ACTIVE	VQFN	RGW	20	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DRV401AIRGWT	ACTIVE	VQFN	RGW	20	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DRV401AIRGWTG4	ACTIVE	VQFN	RGW	20	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

<sup>(1)</sup> マーケティング・ステータスは次のように定義されています。

**ACTIVE**: 製品デバイスが新規設計用に推奨されています。

**LIFEBUY**: TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

**NRND**: 新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

**PREVIEW**: デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

**OBSOLETE**: TIによりデバイスの生産が中止されました。

<sup>(2)</sup> エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) および Green (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

**TBD**: Pb-Free/Green変換プランが策定されていません。

**Pb-Free (RoHS)**: TIにおける“Lead-Free”または“Pb-Free” (鉛フリー) は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

**Pb-Free (RoHS Exempt)**: この部品は、1) ダイとパッケージの間に鉛ベースの半田バンブ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

**Green (RoHS & no Sb/Br)**: TIにおける“Green”は、“Pb-Free” (RoHS互換) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中のBrまたはSb重量が0.1%を超えない) ことを意味しています。

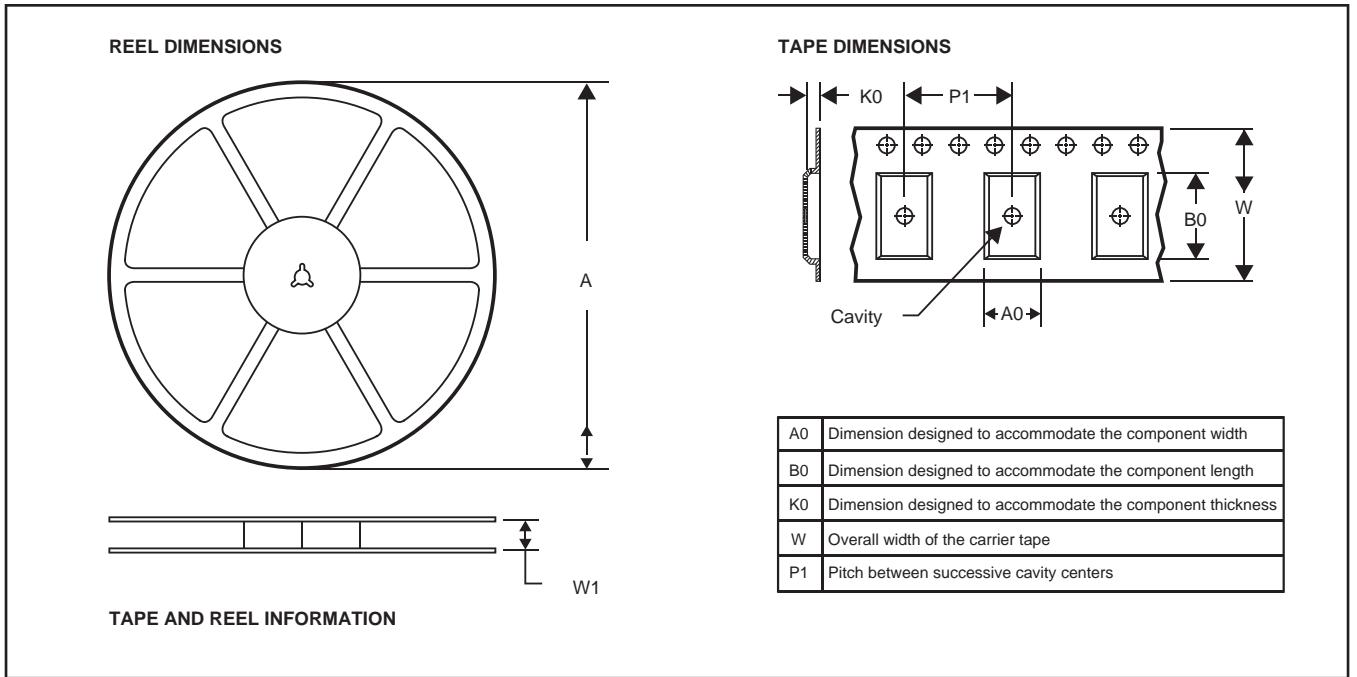
<sup>(3)</sup> MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

**重要な情報および免責事項**: このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任を負いかねます。



パッケージ・マテリアル情報  
 テープおよびリール・ボックス情報

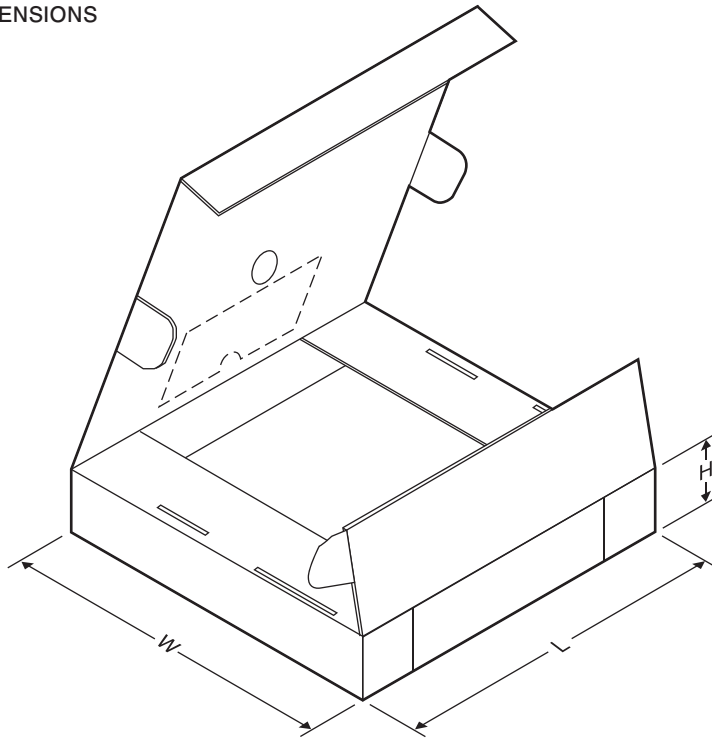


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV401AIDWPR	SO Power PAD	DWP	20	1000	330.0	24.4	10.8	13.0	2.7	12.0	24.0	Q1
DRV401AIRGWR	VQFN	RGW	20	3000	330.0	12.4	5.3	5.3	1.5	8.0	12.0	Q2
DRV401AIRGWT	VQFN	RGW	20	250	180.0	12.4	5.3	5.3	1.5	8.0	12.0	Q2

## パッケージ・マテリアル情報

### TAPE AND REEL BOX DIMENSIONS



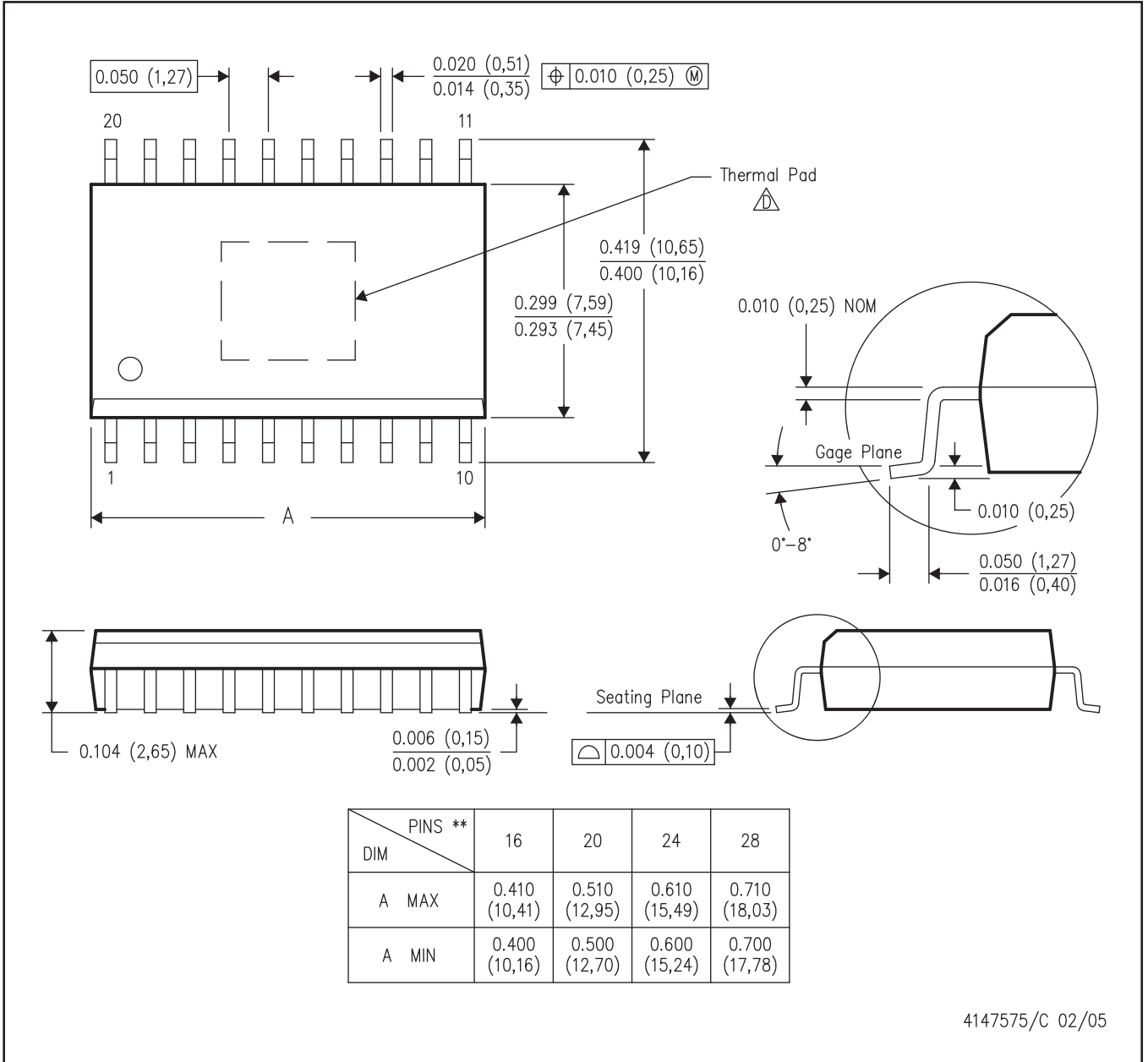
\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV401AIDWPR	SO PowerPAD	DWP	20	1000	346.0	346.0	41.0
DRV401AIRGWR	VQFN	RGW	20	3000	346.0	346.0	29.0
DRV401AIRGWT	VQFN	RGW	20	250	210.0	185.0	35.0

# メカニカル・データ

DWP(R-PDSO-G\*\*)  
20 PINS SHOWN

PowerPAD™ PLASTIC SMALL OUTLINE PACKAGE



注：A. 直線寸法はすべてミリメートル単位です。寸法および許容誤差は、ASME Y14.5M-1994によります。

B. 本図は予告なしに変更することがあります。

C. ボディ寸法には、0.15mmを超えるモールド・フラッシュや突起は含まれません。

△ このパッケージは、基板上的のサーマル・パッドに半田付けされるように設計されています。推奨基板レイアウトについては、テクニカル・ブリーフ「PowerPAD Thermally Enhanced Package」(TI文献番号SLMA002)を参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。

# サーマルパッド・メカニカル・データ

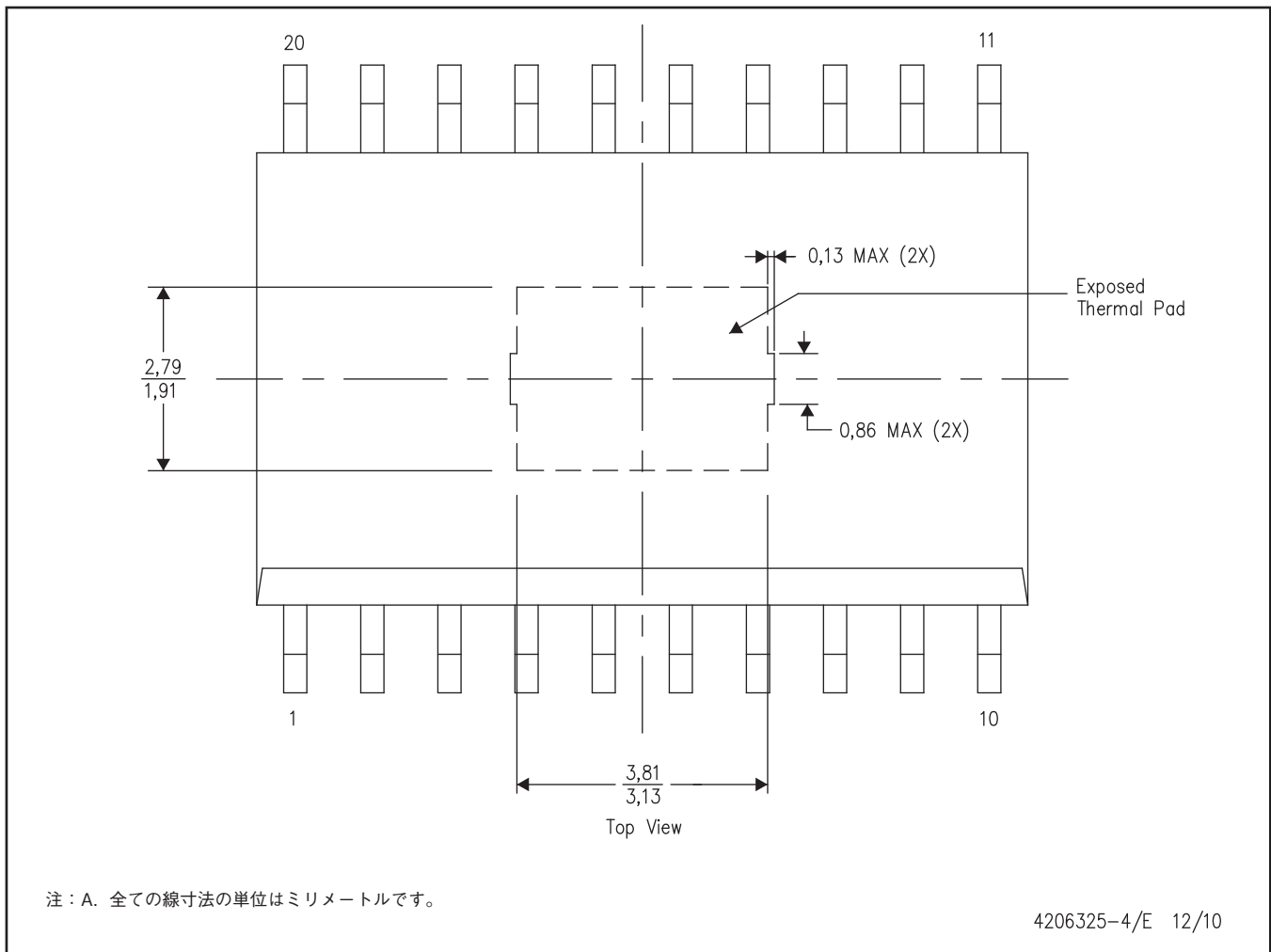
DWP(R-PDSO-G20)

## 熱的特性に関する資料

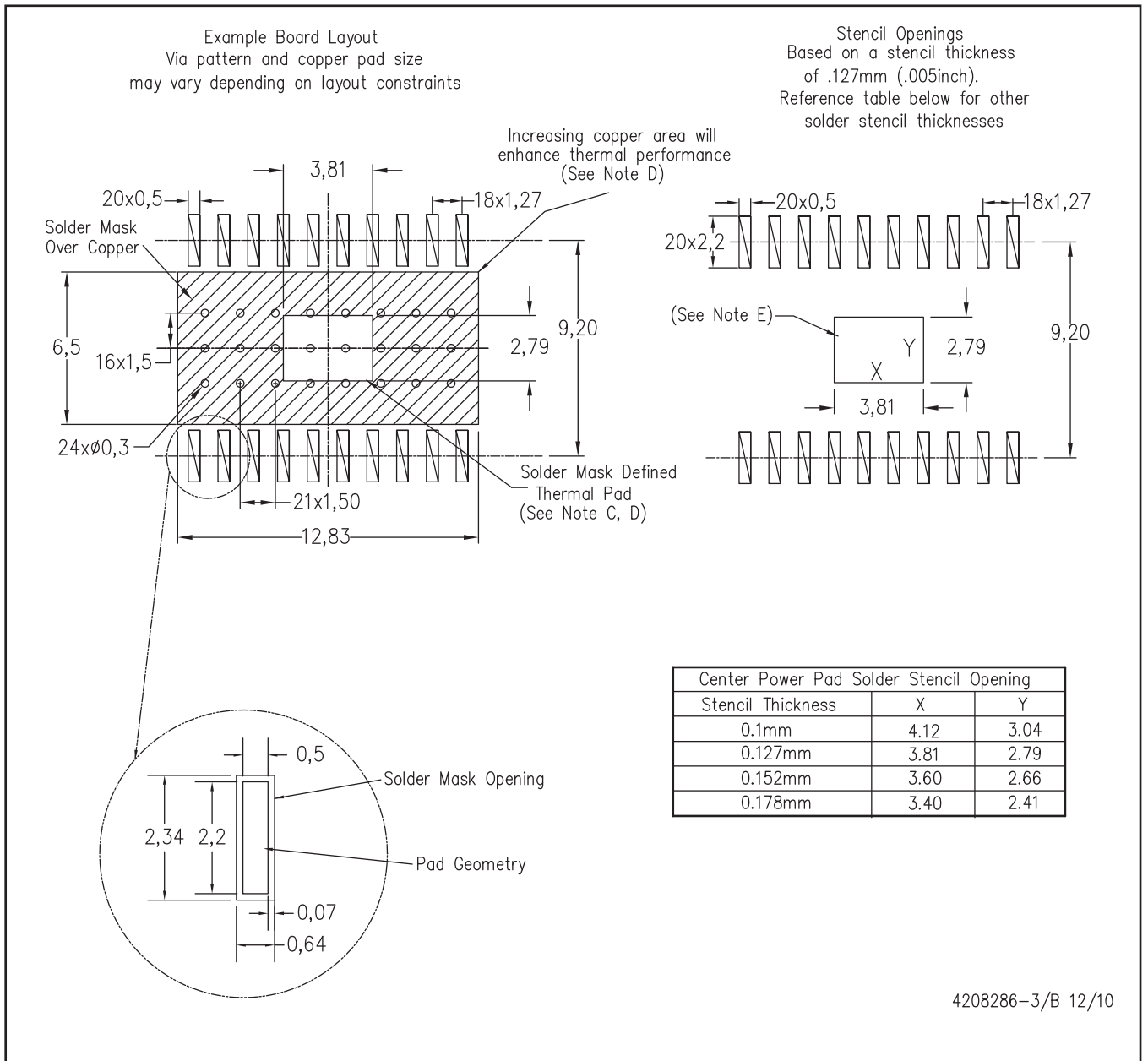
このPowerPAD™パッケージには、外部ヒートシンクに直接接続するように設計された、露出したサーマルパッドが装備されています。このサーマルパッドは、プリント基板 (PCB) に直接半田付けする必要があります。半田付け後は、PCBをヒートシンクとして使用できます。また、サーマル・ビアを使用して、サーマル・パッドをデバイスの回路図に示された適切な銅プレーンに直接接続するか、あるいはPCB内に設計された特別なヒートシンク構造に接続することができます。この設計により、ICからの熱伝導が最適化されます。

PowerPAD™パッケージについての追加情報およびその熱放散能力の利用法については、テクニカル・ブリーフ『PowerPAD Thermally Enhanced Package』(TI文献番号SLMA002) およびアプリケーション・ブリーフ『PowerPAD Made Easy』(TI文献番号SLMA004)を参照してください。いずれもホームページ [www.ti.com](http://www.ti.com)で入手できます。

このパッケージの露出したサーマルパッドの寸法を次の図に示します。



サーマルパッド寸法図



4208286-3/B 12/10

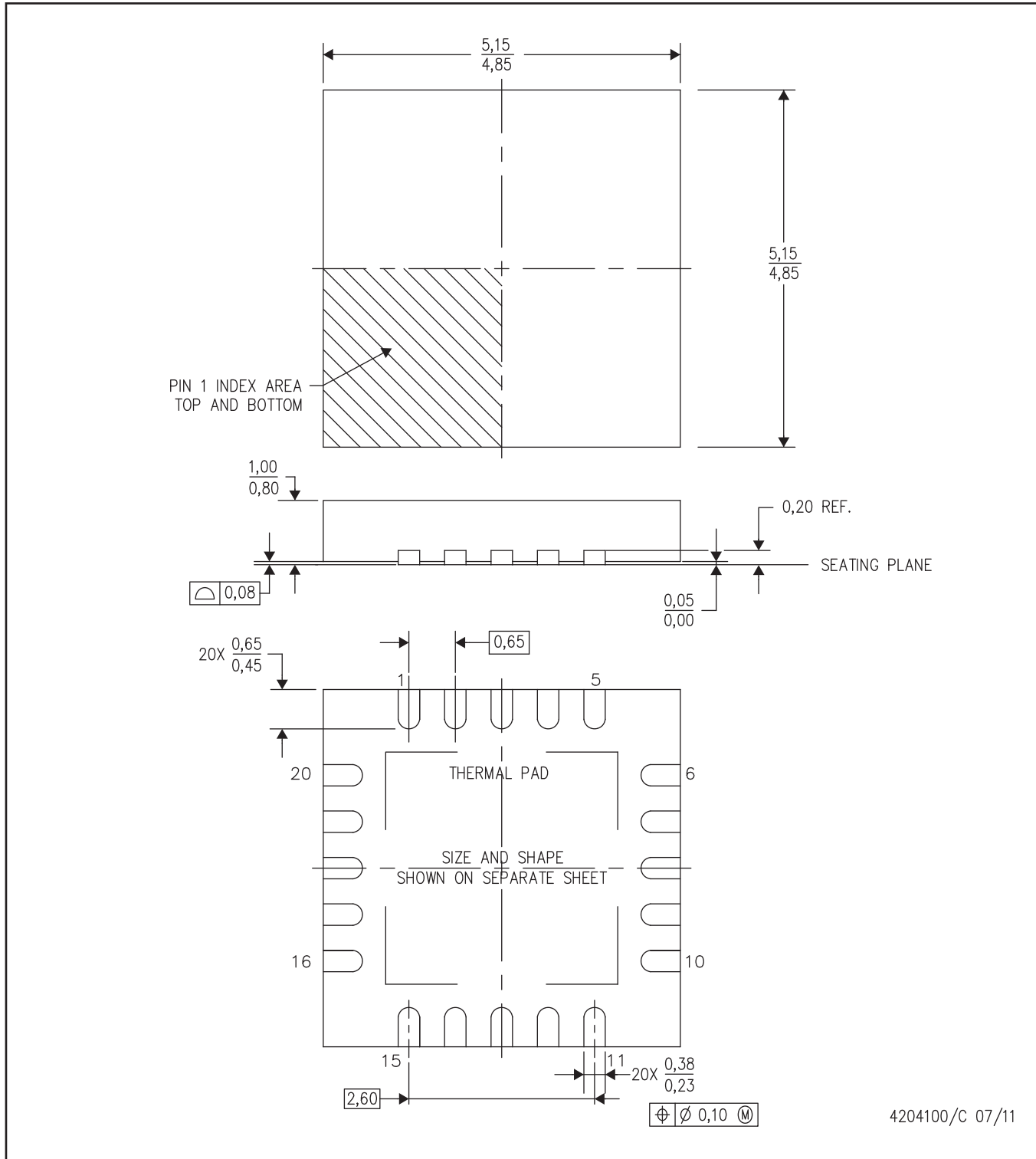
注：A. 全ての線寸法の単位はミリメートルです。

B. 図は予告なく変更することがあります。

C. 中央の半田マスク定義パッドを変更しないように、回路基板組み立て図に注記を書き込んでください。

D. このパッケージは、基板上的のサーマルパッドに半田付けされるように設計されています。推奨基板レイアウトについては、テクニカルブリーフ『PowerPAD Thermally Enhanced Package』(TI文献番号SLMA002, SLMA004)を参照してください。これらのドキュメントは、ホームページ [www.ti.com](http://www.ti.com) で入手できます。代替設計については、資料IPC-7351を推奨します。

E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。例に示したステンシル設計は、50%容積のメタルロード半田ペーストに基づいています。ステンシルに関する他の推奨事項については、IPC-7525を参照してください。



- 注：A. 直線寸法はすべてミリメートル単位です。寸法および許容誤差は、ASME Y14.5M-1994によります。  
 B. 本図は予告なしに変更することがあります。  
 C. QFN (クワッド・フラットバック・ノーリード)パッケージ構造。  
 D. パッケージのサーマルパッドは、熱的および機構的特性を得るために基板に半田付けする必要があります。  
 E. 露出サーマルパッドの寸法および形状についての詳細は、データシート内のサーマルパッド・メカニカル・データを参照してください。  
 F. JEDEC MO-220に準拠します。

# サーマルパッド・メカニカル・データ

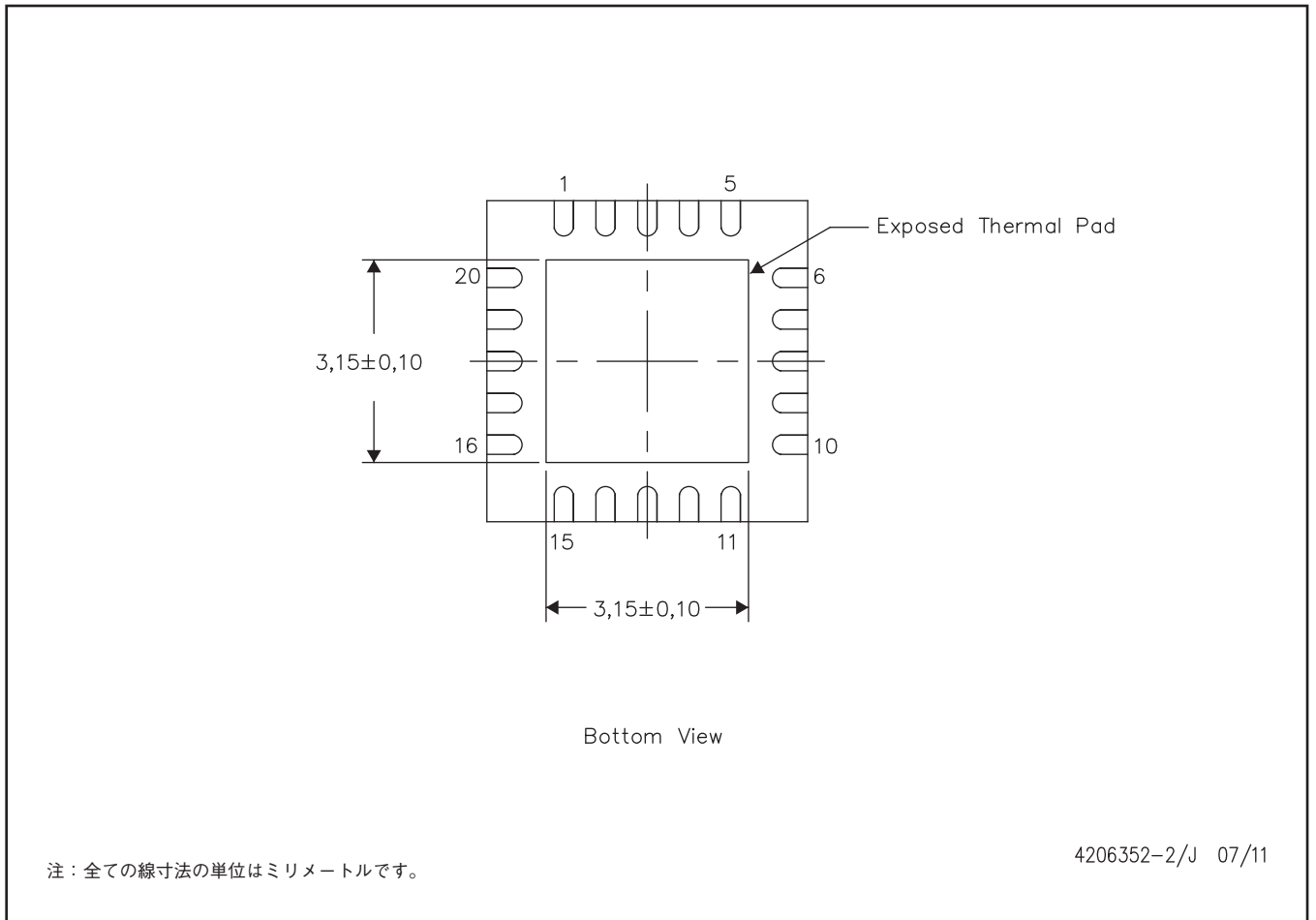
RGW(S-PVQFN-N20)

## 熱的特性に関する資料

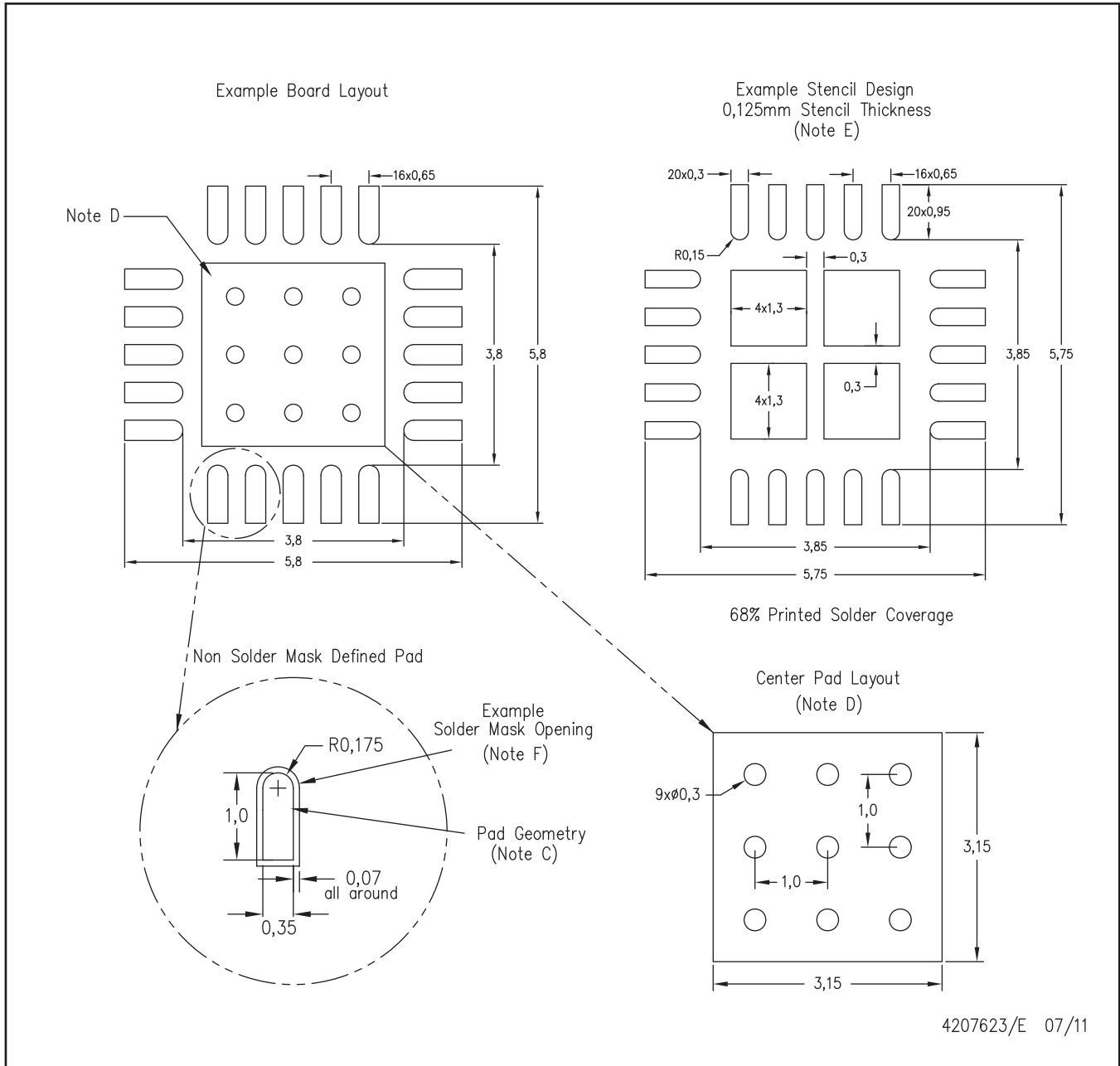
このパッケージには、外部ヒートシンクに直接接続するように設計された、露出したサーマルパッドが装備されています。このサーマルパッドは、プリント基板 (PCB) をヒートシンクとして使用できるように、PCBに直接半田付けする必要があります。また、サーマルビアを使用して、サーマルパッドをグランドプレーンまたはPCB内に設計された特別なヒートシンク構造に直接接続することができます。この設計により、ICからの熱伝導が最適化されます。

QFN(Quad Flatpack No-Lead)パッケージとその利点については、アプリケーションレポート『Quad Flatpack No-Lead Logic Packages』(Texas Instruments文献番号SLUA271)を参照してください。このドキュメントは、ホームページwww.ti.comで入手できます。

このパッケージの露出したサーマルパッドの寸法を次の図に示します。に設計された、露出したサーマルパッドが装備されています。



サーマルパッド寸法図



4207623/E 07/11

注：A. 全ての線寸法の単位はミリメートルです。

B. 図は予告なく変更することがあります。

C. 代替設計には、IPC-7351規格を推奨します。

D. このパッケージは、基板上のサーマルパッドに半田付けされるように設計されています。熱に関する具体的な情報、ビア要件、および推奨基板レイアウトについては、アプリケーション・ノート『Quad Flat-Pack Packages』(TI文献番号 SLUA271) および製品データシートを参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。

E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。ステンシル設計上の考慮事項については、IPC 7525を参照してください。

F. 信号パッド間および信号パッド周囲の半田マスク許容差については、基板組み立て拠点にお問い合わせください。

(SBVS070B)



# ご注意

Texas Instruments Incorporated 及びその関連会社 (以下総称して TI といいます) は、最新の JESD46 に従いその半導体製品及びサービスを修正し、改善、改良、その他の変更をし、又は最新の JESD48 に従い製品の製造中止またはサービスの提供を中止する権利を留保します。お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての半導体製品は、ご注文の受諾の際に提示される TI の標準販売契約約款に従って販売されます。

TI は、その製品が、半導体製品に関する TI の標準販売契約約款に記載された保証条件に従い、販売時の仕様に対応した性能を有していることを保証します。検査及びその他の品質管理技法は、TI が当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、適用される法令によってそれ等の実行が義務づけられている場合を除き、必ずしも行なわれておりません。

TI は、製品のアプリケーションに関する支援又はお客様の製品の設計について責任を負うことはありません。TI 製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI 製部品を使用したお客様の製品及びアプリケーションに関連する危険を最小のものとするため、適切な設計上及び操作上の安全対策は、お客様にてお取り下さい。

TI は、TI の製品又はサービスが使用されている組み合わせ、機械装置、又は方法に関連している TI の特許権、著作権、回路配置利用権、その他の TI の知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TI が第三者の製品もしくはサービスについて情報を提供することは、TI が当該製品又はサービスを使用することについてライセンスを与えるとか、保証又は是認するということを含みません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない、又は TI の特許その他の知的財産権に基づき TI からライセンスを得なければならない場合があります。

TI のデータ・ブック又はデータ・シートの中にある情報の重要な部分の複製は、その情報に一切の変更を加えること無く、且つその情報と関連する全ての保証、条件、制限及び通知と共になされる限りにおいてのみ許されるものとします。TI は、変更が加えられて文書化されたものについては一切責任を負いません。第三者の情報については、追加的な制約に服する可能性があります。

TI の製品又はサービスについて TI が提示したパラメーターと異なる、又は、それを超えてなされた説明で当該 TI 製品又はサービスを再販売することは、関連する TI 製品又はサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不公正で誤認を生じさせる行為です。TI は、そのような説明については何の義務も責任も負いません。

TI からのアプリケーションに関する情報提供又は支援の一切に拘わらず、お客様は、ご自身の製品及びご自身のアプリケーションにおける TI 製品の使用に関する法的責任、規制、及び安全に関する要求事項の全てにつき、これをご自身で遵守する責任があることを認め、且つそのことに同意します。お客様は、想定される不具合がもたらす危険な結果に対する安全対策を立案し実行し、不具合及びその帰結を監視し、害を及ぼす可能性のある不具合の可能性を低減し、及び、適切な治療措置を講じるために必要な専門的知識の一切を自ら有することを表明し、保証します。お客様は、TI 製品を安全でないことが致命的となるアプリケーションに使用したことから生じる損害の一切につき、TI 及びその代表者にその全額の補償をするものとします。

TI 製品につき、安全に関連するアプリケーションを促進するために特に宣伝される場合があります。そのような製品については、TI が目的とするところは、適用される機能上の安全標準及び要求事項を満たしたお客様の最終製品につき、お客様が設計及び製造ができるようお手伝いをすることにあります。それにも拘わらず、当該 TI 製品については、前のパラグラフ記載の条件の適用を受けるものとします。

FDA クラス III (又は同様に安全でないことが致命的となるような医療機器) への TI 製品の使用は、TI とお客様双方の権限ある役員の間で、そのような使用を行う際について規定した特殊な契約書を締結した場合を除き、一切認められていません。

TI が軍需対応グレード品又は「強化プラスチック」製品として特に指定した製品のみが軍事用又は宇宙航空用アプリケーション、若しくは、軍事的環境又は航空宇宙環境にて使用されるように設計され、かつ使用されることを意図しています。お客様は、TI がそのように指定していない製品を軍事用又は航空宇宙用に使う場合は全てご自身の危険負担において行うこと、及び、そのような使用に関して必要とされるすべての法的要求事項及び規制上の要求事項につきご自身のみの責任により満足させることを認め、且つ同意します。

TI には、主に自動車用に使われることを目的として、ISO/TS 16949 の要求事項を満たしているとして特別に指定した製品があります。当該指定を受けていない製品については、自動車用に使われるようには設計されてもいませんし、使用されることを意図しておりません。従いまして、前記指定品以外の TI 製品が当該要求事項を満たしていなかったことについては、TI はいかなる責任も負いません。

Copyright © 2014, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位 (外装から取り出された内装及び個装) 又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で (導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0~40℃、相対湿度：40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

- 直射日光が当たる状態で保管・輸送しないこと。

### 3. 防湿梱包

- 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

### 4. 機械的衝撃

- 梱包品 (外装、内装、個装) 及び製品単品を落下させたり、衝撃を与えないこと。

### 5. 熱衝撃

- はんだ付け時は、最低限 260℃ 以上の高温状態に、10 秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

### 6. 汚染

- はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質 (硫黄、塩素等ハロゲン) のある環境で保管・輸送しないこと。
- はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上