

DRV8434A ステッピング・ドライバ、内蔵電流検出機能、1/256 マイクロステッピング、スマート・チューン、GPIO ピンによるストール検出機能搭載

1 特長

- PWM マイクロステッピングのステッピング・モータ・ドライバ
 - シンプルな STEP/DIR インターフェイス
 - 最高 1/256 のマイクロステッピング・インデクサ
- 電流検出機能を搭載
 - 検出抵抗が不要
 - $\pm 4\%$ のフルスケール電流精度
- スマート・チューン・リップル・コントロール・ディケイ
- GPIO ピンを使用したストール検出
- 4.5~48V の電源動作電圧範囲
- 低い $R_{DS(ON)}$: 24V、25°C で 330m Ω HS + LS
- 高電流出力ドライバ: 2.5A フルスケール、1.8A rms
- 1.8V、3.3V、5.0V ロジック入力をサポート
- 低消費電流スリープ・モード (2 μ A)
- 拡散スペクトラム・クロック処理による低い EMI
- 小型パッケージと小占有面積
- 保護機能
 - VM 低電圧誤動作防止 (UVLO)
 - チャージ・ポンプ低電圧検出 (CPUV)
 - 過電流保護 (OCP)
 - センサレスのストール検出
 - 開放負荷検出 (OL)
 - サーマル・シャットダウン (OTSD)
 - フォルト条件出力 (nFAULT)

2 アプリケーション

- プリンタとスキャナ
- ATM と貨幣処理機
- 工業用マシン
- ステージ照明機器
- オフィスおよびホーム・オートメーション
- ファクトリ・オートメーションおよびロボティクス
- 医療用アプリケーション
- 3D プリンタ

3 概要

DRV8434A は、産業用および民生用アプリケーション向けのステッピング・モータ・ドライバです。このデバイスには、2 つの N チャネル・パワー MOSFET H ブリッジ・ドライバ、マイクロステッピング・インデクサ、および電流検出機能が完全に統合されています。DRV8434A は最大 2.5A のフルスケール出力電流 (PCB の熱設計に依存) を駆動できます。

本デバイスは、2 つの外部電力検出抵抗が不要な内部電流検出アーキテクチャを採用しているため、PCB 面積とシ

ステム・コストを低減できます。本デバイスは、スマート・チューン・リップル・コントロール・ディケイを使った内部 PWM 電流レギュレーション方式を採用しています。スマート・チューンは、最適な電流レギュレーションを自動的に調整し、モータの変動と経年変化を補償し、モータからの可聴ノイズを低減します。

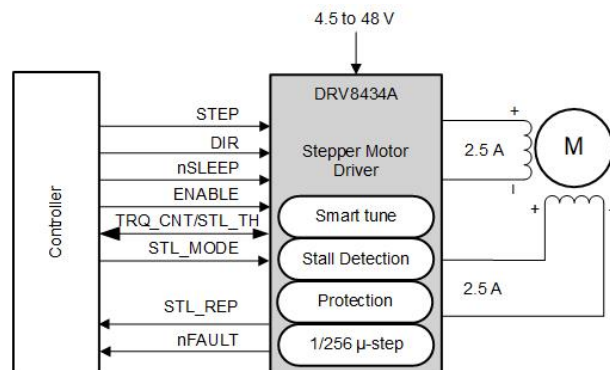
シンプルな STEP/DIR インターフェイスにより、外部コントローラからステッピング・モータの方向とステップ速度を制御できます。デバイスは、フルステップから 1/256 マイクロステッピングまでのモードに構成可能です。専用の nSLEEP ピンを使用して、低消費電力のスリープ・モードを実現します。

DRV8434A は、2 本のデジタル I/O ピンと 1 本のアナログ I/O ピンで設定される高度なストール検出アルゴリズムを採用しており、ストールを検出するための SPI インターフェイスを必要としません。モータのストールを検出することで、システム設計者はモータの回転が妨げられたかどうかを確認し、必要に応じて効率向上、損傷防止、可聴ノイズ低減のための対策を講じることができます。その他の保護機能には電源の低電圧、チャージ・ポンプ障害、過電流、短絡、開放負荷、過熱が含まれます。フォルト条件は、nFAULT ピンで通知されます。

製品情報

部品番号 ⁽¹⁾	パッケージ	本体サイズ (公称)
DRV8434APWPR	HTSSOP (28)	9.7mm × 4.4mm
DRV8434ARGER	VQFN (24)	4mm × 4mm

- (1) 利用可能なすべてのパッケージについては、このデータシートの末尾にある注文情報を参照してください。



概略回路図



目次

1 特長.....	1	7.4 デバイスの機能モード.....	27
2 アプリケーション.....	1	8 アプリケーションと実装.....	29
3 概要.....	1	8.1 アプリケーション情報.....	29
4 改訂履歴.....	2	8.2 代表的なアプリケーション.....	29
5 ピン構成および機能.....	2	9 電源に関する推奨事項.....	35
5.1 端子機能.....	3	9.1 バルク・コンデンサ.....	35
6 仕様.....	5	10 レイアウト.....	36
6.1 絶対最大定格.....	5	10.1 レイアウトの注意点.....	36
6.2 ESD 定格.....	5	10.2 レイアウト例.....	36
6.3 推奨動作条件.....	6	11 デバイスおよびドキュメントのサポート.....	38
6.4 熱に関する情報.....	6	11.1 ドキュメントの更新通知を受け取る方法.....	38
6.5 電気的特性.....	7	11.2 サポート・リソース.....	38
6.6 ステッピング制御ロジック・タイミング要件.....	8	11.3 商標.....	38
7 詳細説明.....	11	11.4 静電気放電に関する注意事項.....	38
7.1 概要.....	11	11.5 用語集.....	38
7.2 機能ブロック図.....	12	12 メカニカル、パッケージ、および注文情報.....	39
7.3 機能説明.....	13		

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	リビジョン	注
2020 年 12 月	*	初版

5 ピン構成および機能

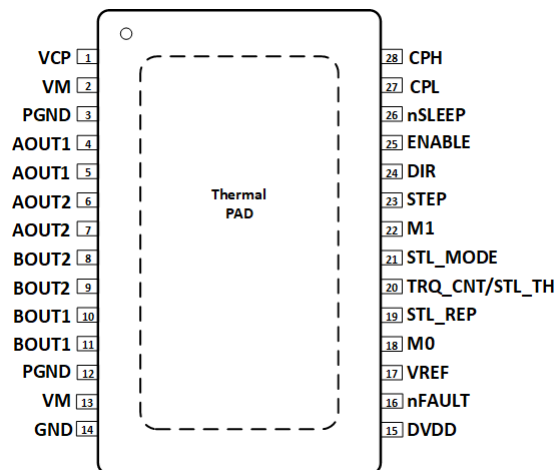


図 5-1. PWP PowerPAD™ パッケージ 28 ピン HTSSOP 上面図

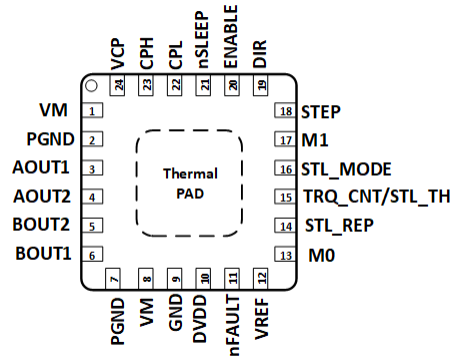


図 5-2. RGE パッケージ 24 ピン VQFN (露出サーマル・パッド付き) 上面図

5.1 端子機能

名前	端子		I/O	種類	説明
	HTSSOP	VQFN			
AOUT1	4, 5	3	O	出力	巻線 A 出力。ステッピング・モータの巻線に接続します。
AOUT2	6, 7	4	O	出力	巻線 A 出力。ステッピング・モータの巻線に接続します。
PGND	3, 12	2, 7	—	電源	電源グランド。システム・グランドに接続します。
BOUT2	8, 9	5	O	出力	巻線 B 出力。ステッピング・モータの巻線に接続します。
BOUT1	10, 11	6	O	出力	巻線 B 出力。ステッピング・モータの巻線に接続します。
CPH	28	23	—	電源	チャージ・ポンプのスイッチング・ノード。X7R、0.022 μ F、VM 定格セラミック・コンデンサを CPH と CPL の間に接続します。
CPL	27	22			
DIR	24	19	I	入力	方向入力。論理レベルによりステッピング方向を設定します。内部プルダウン抵抗。
ENABLE	25	20	I	入力	論理 Low でデバイス出力をディセーブル。論理 High でデバイス出力をイネーブル。ハイ・インピーダンスで 8xトルク・カウント・スケールリングをイネーブル。
DVDD	15	10	—	電源	ロジック電源電圧。X7R、0.47 μ F \sim 1 μ F、6.3V または 10V 定格セラミック・コンデンサを GND との間に接続します。
GND	14	9	—	電源	デバイスのグランド。システム・グランドに接続します。
VREF	17	12	I	入力	電流設定リファレンス入力。最大値 3.3V。DVDD と抵抗分压器を使用して VREF を供給できます。
M0	18	13	I	入力	マイクロステッピング・モード設定ピン。ステップ・モードを設定します。
M1	22	17			
STL_MODE	21	16	I	入力	ピンの入力レベルでストール検出モードを設定： 0 = トルク・カウント・モード。トルク・カウント・アナログ電圧が TRQ_CNT/STL_TH ピンに出力されます。 ハイ・インピーダンス = 学習モード。学習結果のアナログ電圧が TRQ_CNT/STL_TH ピンに出力されます。 1 = ストール・スレッシュホールド・モード。ストール・スレッシュホールドが TRQ_CNT/STL_TH ピンの入力電圧で設定されます。 330k Ω の抵抗でグランドに接続 = ストール検出は無効になります。
TRQ_CNT/STL_TH	20	15	I/O	入力/出力	STL_MODE ピンの入力レベルに応じて、トルク・カウント・アナログ出力またはストール・スレッシュホールド・アナログ入力。このピンと GND の間に 1nF のコンデンサを接続する必要があります。
STEP	23	18	I	入力	ステップ入力。立ち上がりエッジでシーケンス制御ロジックが 1 ステップ進みます。内部プルダウン抵抗。

名前	端子		I/O	種類	説明
	番号				
	HTSSOP	VQFN			
VCP	1	24	—	電源	チャージ・ポンプの出力。X7R、0.22 μ F、16V セラミック・コンデンサを VM との間に接続します。
VM	2, 13	1, 8	—	電源	電源。モータ電源電圧に接続し、VM 定格の 2 つの 0.01 μ F セラミック・コンデンサ (各ピンに 1 つずつ) と 1 つのバルク・コンデンサを使用して PGND にバイパスします。
STL_REP	19	14	O	オープンドレイン	ストール・フォルト通知出力。プルアップ抵抗が必要です。Low から High への遷移はストールを示します。High から Low への遷移は学習が成功したことを示します。このピンをグランドに接続すると、ストール・フォルト通知は無効になります。
nFAULT	16	11	O	オープンドレイン	フォルト出力。フォルトが検出されると論理 Low にプルされます。オープンドレイン出力。プルアップ抵抗が必要です。
nSLEEP	26	21	I	入力	スリープ・モード制御。論理 High でデバイスをイネーブル。論理 Low で低消費電力スリープ・モードに移行。内部プルダウン抵抗。nSLEEP Low パルスにより、フォルトがクリアされます。
PAD	-	-	-	-	サーマル・パッド。システム・グランドに接続します。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

	最小	最大	単位
電源電圧 (VM)	-0.3	50	V
チャージ・ポンプ電圧 (VCP, CPH)	-0.3	$V_{VM} + 7$	V
チャージ・ポンプ負スイッチング・ピン (CPL)	-0.3	V_{VM}	V
nSLEEP ピン電圧 (nSLEEP)	-0.3	V_{VM}	V
内部レギュレータ電圧 (DVDD)	-0.3	5.75	V
制御ピン電圧 (STEP, DIR, ENABLE, nFAULT, STL_MODE, STL_REP, TRQ_CNT/STL_TH, M0, M1)	-0.3	5.75	V
オープンドレイン出力電流 (nFAULT, STL_REP)	0	10	mA
リファレンス入力ピン電圧 (VREF)	-0.3	5.75	V
相ノード・ピン電圧 (連続) (AOUT1, AOUT2, BOUT1, BOUT2)	-1	$V_{VM} + 1$	V
相ノード・ピン電圧 (過渡 100ns) (AOUT1, AOUT2, BOUT1, BOUT2)	-3	$V_{VM} + 3$	V
ピーク駆動電流 (AOUT1, AOUT2, BOUT1, BOUT2)	内部的に制限		A
動作時の周囲温度、 T_A	-40	125	°C
動作時の接合部温度、 T_J	-40	150	°C
保管温度、 T_{stg}	-65	150	°C

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示しており、このデータシートの「推奨動作条件」に示された値を越える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

6.2 ESD 定格

			値	単位	
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠	±2000	V	
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠	PWP のコーナー・ピン (1、14、15、28)		±750
			その他のピン		±500

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小	最大	単位
V_{VM}	通常 (DC) 動作の電源電圧範囲	4.5	48	V
V_I	論理レベル入力電圧	0	5.5	V
V_{VREF}	VREF 電圧	0.05	3.3	V
f_{STEP}	適用される STEP 信号 (STEP)	0	500 ⁽¹⁾	kHz
I_{FS}	モータ・フルスケール電流 (xOUTx)	0	2.5 ⁽²⁾	A
I_{rms}	モータ RMS 電流 (xOUTx)	0	1.8 ⁽²⁾	A
T_A	動作時の周囲温度	-40	125	°C
T_J	動作時のジャンクション温度	-40	150	°C

(1) STEP 入力は最高 500kHz で動作しますが、システムの帯域幅はモータの負荷により制限されます。

(2) 消費電力および温度の制限に従う必要があります。

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		PWP (HTSSOP)	RGE (VQFN)	単位
		28 ピン	24 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	29.7	39.0	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	23.0	28.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	9.3	16.0	°C/W
Ψ_{JT}	接合部から上面への評価パラメータ	0.3	0.4	°C/W
Ψ_{JB}	接合部から基板への評価パラメータ	9.2	15.9	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	2.4	3.4	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション・レポートを参照してください。

6.5 電気的特性

標準値は $T_A = 25^\circ\text{C}$ 、 $V_{VM} = 24\text{V}$ の値です。特に記述のない限り、すべての限界値は推奨動作条件の全範囲を満たすものとします。

パラメータ		テスト条件	最小	標準	最大	単位
電源 (VM, DVDD)						
I_{VM}	VM 動作電源電流	ENABLE = 1、nSLEEP = 1、モータ負荷なし		5	6.5	mA
I_{VMQ}	VM スリープ・モード電源電流	nSLEEP = 0		2	4	μA
t_{SLEEP}	スリープ時間	nSLEEP = 0 でスリープモード	120			μs
t_{RESET}	nSLEEP リセット・パルス	nSLEEP = Low でフォルトをクリア	20		40	μs
t_{WAKE}	ウェイクアップ時間	nSLEEP = 1 で出力遷移		0.8	1.2	ms
t_{ON}	ターンオン時間	VM > UVLO で出力遷移		0.8	1.2	ms
t_{EN}	イネーブル時間	ENABLE = 0/1 で出力遷移			5	μs
V_{DVDD}	内部レギュレータ電圧	外部負荷なし、 $6\text{V} < V_{VM} < 48\text{V}$	4.75	5	5.25	V
		外部負荷なし、 $V_{VM} = 4.5\text{V}$	4.2	4.35		V
チャージ・ポンプ (VCP, CPH, CPL)						
V_{VCP}	VCP 動作電圧	$6\text{V} < V_{VM} < 48\text{V}$		$V_{VM} + 5$		V
$f_{(VCP)}$	チャージ・ポンプ・スイッチング周波数	$V_{VM} > UVLO$ 、nSLEEP = 1		360		kHz
論理レベル入力 (STEP, DIR, nSLEEP)						
V_{IL}	入力論理 Low 電圧		0		0.6	V
V_{IH}	入力論理 High 電圧		1.5		5.5	V
V_{HYS}	入力論理ヒステリシス			150		mV
I_{IL}	入力論理 Low 電流	$V_{IN} = 0\text{V}$	-1		1	μA
I_{IH}	入力論理 High 電流	$V_{IN} = 5\text{V}$			100	μA
トライレベル入力 (M0, ENABLE)						
V_{I1}	入力論理 Low 電圧	GND に接続	0		0.6	V
V_{I2}	入力 Hi-Z 電圧	ハイ・インピーダンス	1.8	2	2.2	V
V_{I3}	入力論理 High 電圧	DVDD に接続	2.7		5.5	V
I_O	出力プルアップ電流			10		μA
クワッドレベル入力 (M1, STL_MODE)						
V_{I1}	入力論理 Low 電圧	GND に接続	0		0.6	V
V_{I2}		$330\text{k}\Omega \pm 5\%$ を GND との間に接続	1	1.25	1.4	V
V_{I3}	入力 Hi-Z 電圧	ハイ・インピーダンス	1.8	2	2.2	V
V_{I4}	入力論理 High 電圧	DVDD に接続	2.7		5.5	V
I_{IL}	出力プルアップ電流			10		μA
トルク・カウント入力 / ストール・スレッショルド出力 (TRQ_CNT/STL_TH)						
V_{O1}	出力 Low 電圧	STL_MODE = 0V	0.1			V
V_{O2}	出力 High 電圧	STL_MODE = 0V			2.4	V
V_{I1}	入力 Low 電圧	STL_MODE = DVDD	0.1			V
V_{I2}	入力 High 電圧	STL_MODE = DVDD			2.4	V
N_{BIT}	トルク・カウント DAC 分解能		12			ビット
C_{LOAD}	TRQ_CNT/STL_TH ピン容量性負荷	$R_{LOAD} = \text{無限大}$ 、位相マージン = 45°			1	nF
I_{SHORT}	TRQ_CNT/STL_TH ピン短絡電流	フルスケール出力を GND に短絡		2		mA

標準値は $T_A = 25^\circ\text{C}$ 、 $V_{VM} = 24\text{V}$ での値です。特に記述のない限り、すべての限界値は推奨動作条件の全範囲を満たすものとします。

パラメータ		テスト条件	最小	標準	最大	単位
t_s	DAC 出力電圧セッティング時間	最終目標の 99%		50		μs
制御出力 (nFAULT、STL_REP)						
V_{OL}	出力論理 Low 電圧	$I_O = 5\text{mA}$			0.5	V
I_{OH}	出力論理 High リーク電流		-1		1	μA
V_{IL}	入力論理 Low 電圧	STL_REP は、Low にプルしてストール通知を無効にします。	0		0.6	V
V_{IH}	入力論理 High 電圧	STL_REP は、High にプルしてストール通知を有効にします。	1.5		5.5	V
モータ・ドライブ出力 (AOUT1、AOUT2、BOUT1、BOUT2)						
$R_{DS(ON)}$	ハイサイド FET オン抵抗	$T_J = 25^\circ\text{C}$ 、 $I_O = -1\text{A}$		165	200	$\text{m}\Omega$
		$T_J = 125^\circ\text{C}$ 、 $I_O = -1\text{A}$		250	300	$\text{m}\Omega$
		$T_J = 150^\circ\text{C}$ 、 $I_O = -1\text{A}$		280	350	$\text{m}\Omega$
$R_{DS(ON)}$	ローサイド FET オン抵抗	$T_J = 25^\circ\text{C}$ 、 $I_O = 1\text{A}$		165	200	$\text{m}\Omega$
		$T_J = 125^\circ\text{C}$ 、 $I_O = 1\text{A}$		250	300	$\text{m}\Omega$
		$T_J = 150^\circ\text{C}$ 、 $I_O = 1\text{A}$		280	350	$\text{m}\Omega$
t_{SR}	出力スルーレート	$V_{VM} = 24\text{V}$ 、 $I_O = 1\text{A}$ 、10% と 90% の間		240		V/ μs
PWM 電流制御 (VREF)						
K_V	トランスインピーダンス・ゲイン	$V_{REF} = 3.3\text{V}$	1.254	1.32	1.386	V/A
I_{VREF}	VREF リーク電流	$V_{REF} = 3.3\text{V}$			8.25	μA
ΔI_{TRIP}	電流トリップ精度	$0.25\text{A} < I_O < 0.5\text{A}$	-12		12	%
		$0.5\text{A} < I_O < 1\text{A}$	-6		6	
		$1\text{A} < I_O < 2.5\text{A}$	-4		4	
$I_{O,CH}$	AOUT と BOUT の電流マッチング	$I_O = 2.5\text{A}$	-2.5		2.5	%
保護回路						
V_{UVLO}	VM 低電圧誤動作防止 (UVLO)	VM 立ち下がり、UVLO 立ち下がり	4.1	4.25	4.35	V
		VM 立ち上がり、UVLO 立ち上がり	4.2	4.35	4.45	
$V_{UVLO,HYS}$	低電圧ヒステリシス	立ち上がりから立ち下がりへのスレッショルド		100		mV
V_{CPUV}	チャージ・ポンプ低電圧	VCP 立ち下がり、CPUV 通知		$V_{VM} + 2$		V
I_{OCP}	過電流保護	FET を流れる電流	4			A
t_{OCP}	過電流グリッチ除去時間			2		μs
t_{RETRY}	過電流トライ時間			4		ms
t_{OL}	開放負荷検出時間				50	ms
I_{OL}	開放負荷電流スレッショルド			75		mA
T_{OTSD}	サーマル・シャットダウン	ダイ温度 T_J	150	165	180	$^\circ\text{C}$
T_{HYS_OTSD}	過熱保護閾値ヒステリシス	ダイ温度 T_J		20		$^\circ\text{C}$

6.6 ステッピング制御ロジック・タイミング要件

標準限界値は $T_J = 25^\circ\text{C}$ 、 $V_{VM} = 24\text{V}$ での値です。特に記述のない限り、すべての限界値は推奨動作条件の全範囲を満たすものとします。

番号			最小	最大	単位
1	f_{STEP}	ステップ周波数		500 ⁽¹⁾	kHz
2	$t_{WH(STEP)}$	パルス幅、STEP High	970		ns

標準限界値は $T_J = 25^\circ\text{C}$ 、 $V_{VM} = 24\text{V}$ での値です。特に記述のない限り、すべての限界値は推奨動作条件の全範囲を満たすものとします。

番号			最小	最大	単位
3	$t_{WL}(\text{STEP})$	パルス幅、STEP Low	970		ns
4	$t_{SU}(\text{DIR}, \text{Mx})$	セットアップ時間、DIR または MODEx から STEP 立ち上がりまで	200		ns
5	$t_{H}(\text{DIR}, \text{Mx})$	ホールド時間、DIR または MODEx から STEP 立ち上がりまで	200		ns

(1) STEP 入力は最高 500kHz で動作しますが、システムの帯域幅はモータの負荷により制限されます。

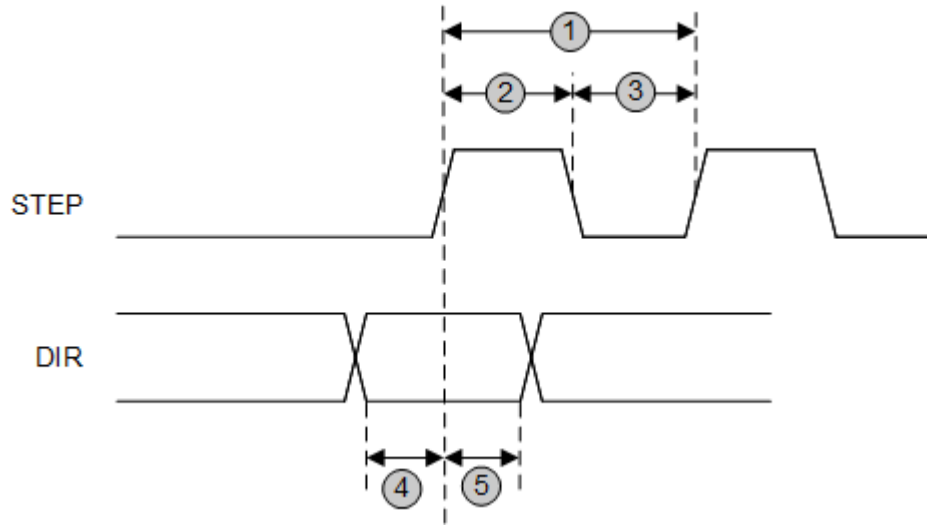


図 6-1. STEP/DIR のタイミング図

6.6.1 代表的特性

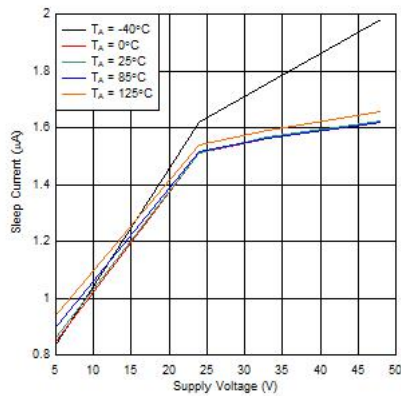


図 6-2. スリープ電流と電源電圧

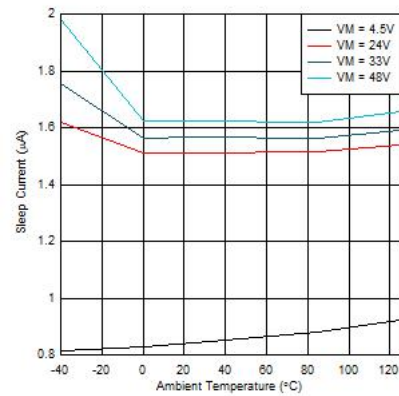


図 6-3. スリープ電流温度特性

6.6.1 代表的特性 (continued)

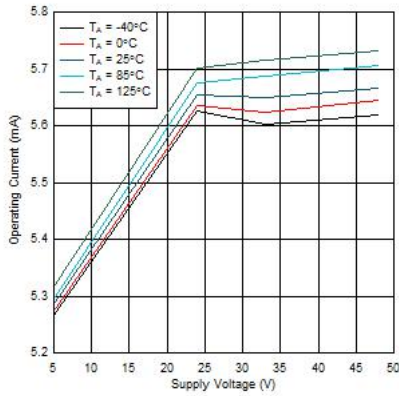


図 6-4. 動作電流と電源電圧

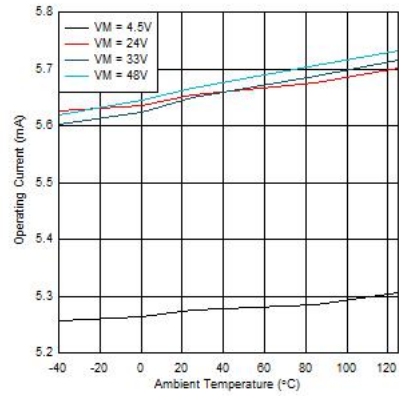


図 6-5. 動作電流温度特性

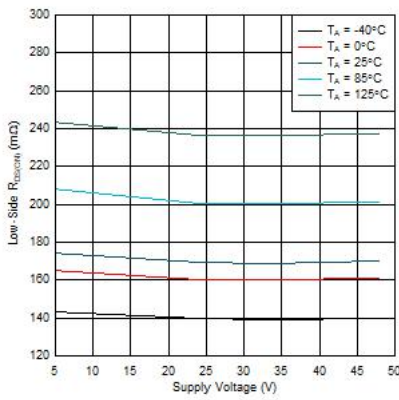


図 6-6. ローサイド $R_{DS(ON)}$ と電源電圧

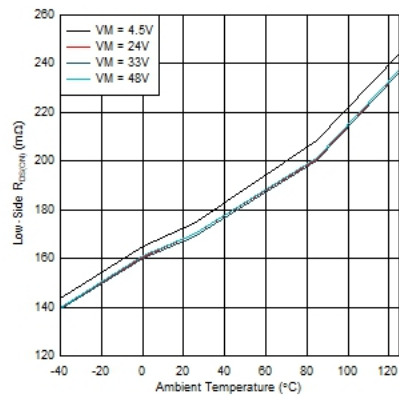


図 6-7. ローサイド $R_{DS(ON)}$ 温度特性

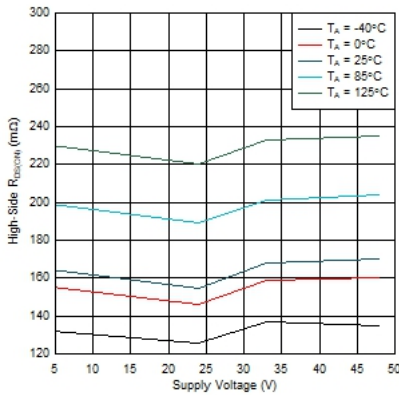


図 6-8. ハイサイド $R_{DS(ON)}$ と電源電圧

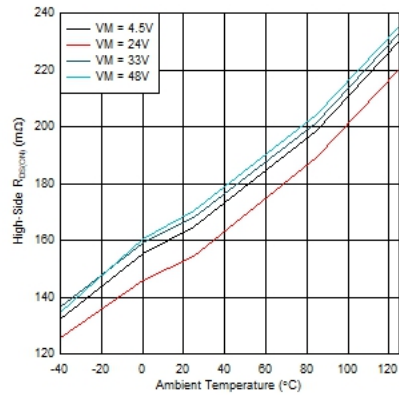


図 6-9. ハイサイド $R_{DS(ON)}$ 温度特性

7 詳細説明

7.1 概要

DRV8434A はバイポーラ・ステッピング・モータ用の高集積モータ・ドライバ・ソリューションです。このデバイスは、2 つの N チャネル・パワー MOSFET H ブリッジ、電流検出抵抗とレギュレーション回路、およびマイクロステッピング・インデクサを統合することで、性能を最大限に発揮します。DRV8434A は、4.5V~48V の広い電源電圧範囲をサポートできます。DRV8434A は、最大 4A のピーク、2.5A のフルスケール、1.8A の実効値 (RMS) の出力電流を供給します。実際のフルスケールおよび RMS 電流は、周囲温度、電源電圧、PCB の熱性能に依存します。

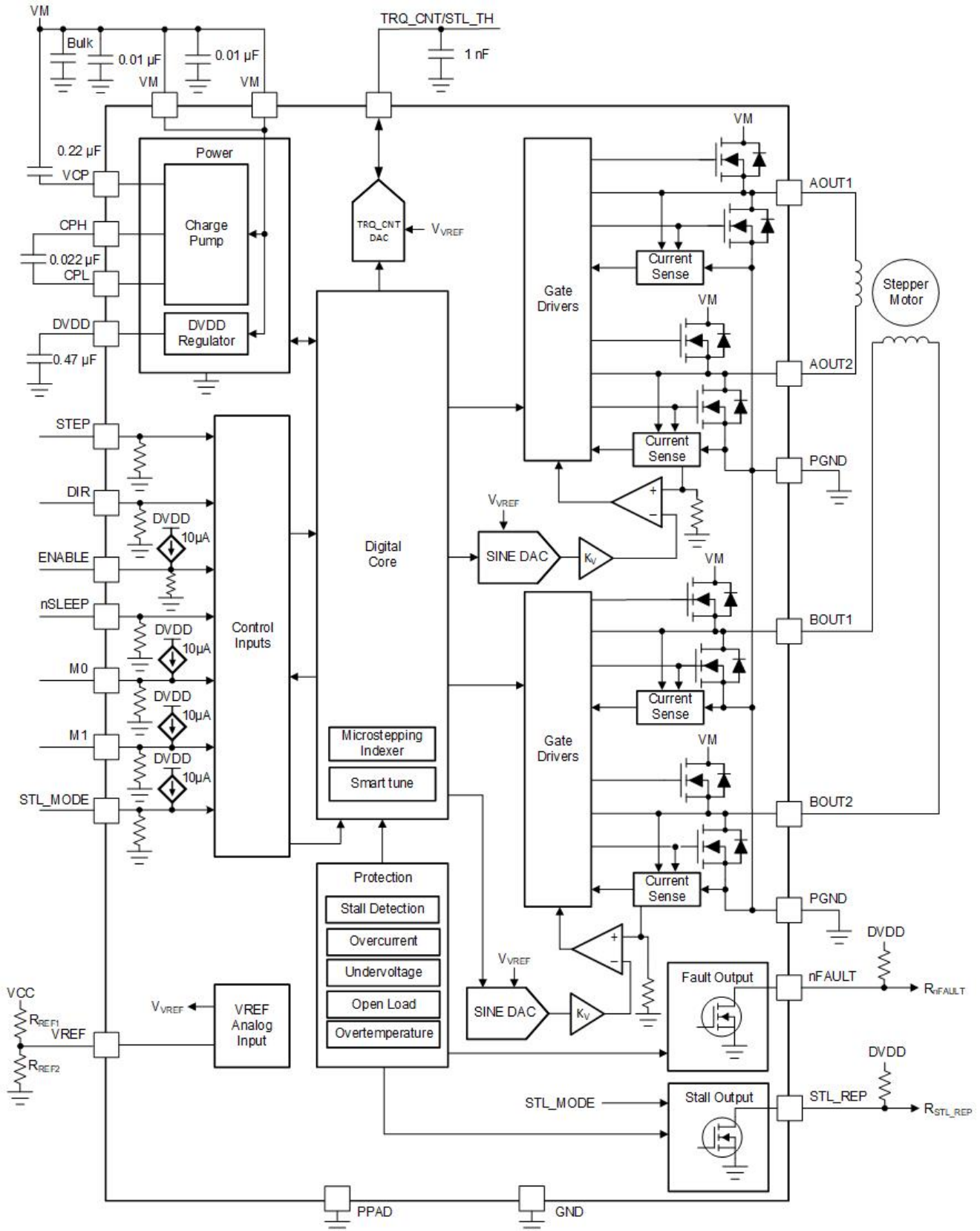
DRV8434A は電流検出アーキテクチャを内蔵しているため、2 つの外部電力検出抵抗が不要になり、基板面積、BOM コスト、設計作業が大幅に削減され、消費電力が大幅に低減されます。このアーキテクチャでは、電流検出に電流ミラー手法と内部パワー MOSFET を使うことで、検出抵抗での電力消費をなくしています。電流レギュレーションの設定点は VREF ピンの電圧で調整できます。

シンプルな STEP/DIR インターフェイスにより、外部コントローラからステッピング・モータの方向とステップ速度を制御できます。内部マイクロステッピング・インデクサを使うと、巻線電流レベルを制御する外部コントローラを使わなくても高精度のマイクロステッピングを実行できます。このステッピング制御ロジック (インデクサ) はフルステップ、ハーフステップ、1/4、1/8、1/16、1/32、1/64、1/128、1/256 マイクロステッピングを実行できます。高いマイクロステッピングにより、大きな可聴ノイズの低減とスムーズな動作が可能になります。標準のハーフステップ・モードに加えて、非真円ハーフステップ・モードを利用して、モータの RPM が高いときにトルク出力を増大させることもできます。

本デバイスはスマート・チューン・リップル・コントロール・ディケイ・モードで動作します。このモードでは、オフ時間可変型のリップル電流制御方式により、モータ巻線電流の歪みを最小限に抑えることができます。DRV8434A は、モータ電流の立ち上がり電流象限と立ち下がり電流象限の間の逆起電力の位相の変化を検出することで、モータ過負荷ストール条件またはエンドオブライン・トラベルを検出できます。SPI インターフェイスを必要とする従来型のストール検出アルゴリズムとは異なり、DRV8434A は 2 本のデジタル IO ピンと 1 本のアナログ IO ピンを使ってストールを検出します。

本デバイスは、内蔵デジタル発振器と内蔵チャージ・ポンプのための拡散スペクトラム・クロック処理機能を備えています。この機能により、本デバイスからの放射妨害波を最小限に抑えることができます。また、低消費電力スリープ・モードを内蔵しているため、モータをアクティブ駆動していないときにシステムの電力を節約できます。

7.2 機能ブロック図



7.3 機能説明

表 7-1 に、DRV8434A の推奨外付け部品を示します。

表 7-1. DRV8434A の外付け部品

部品	ピン 1	ピン 2	推奨する事項
C _{VM1}	VM	PGND	2 つの X7R、0.01μF、VM 定格セラミック・コンデンサ
C _{VM2}	VM	PGND	バルク、VM 定格コンデンサ
C _{VCP}	VCP	VM	X7R、0.22μF、16V セラミック・コンデンサ
C _{SW}	CPH	CPL	X7R、0.022μF、VM 定格セラミック・コンデンサ
C _{DVDD}	DVDD	GND	X7R、0.47μF～1μF、6.3V セラミック・コンデンサ
C _{TRQ_CNT}	TRQ_CNT/STL_TH	GND	X7R、1nF、6.3V セラミック・コンデンサ
R _{nFAULT}	VCC (1)	nFAULT	4.7kΩ 以上の抵抗
R _{STL_REP}	VCC (1)	STL_REP	4.7kΩ 以上の抵抗
R _{REF1}	VREF	VCC	チョッピング電流を制限するための抵抗。VREF ピンと GND の間には 500kΩ の内蔵抵抗が接続されているため、R _{REF1} と R _{REF2} の並列抵抗値を 50kΩ よりも小さくすることを推奨します。
R _{REF2} (オプション)	VREF	GND	

(1) VCC は本デバイスのピンではありませんが、オープンドレイン出力の nFAULT と STL_REP は VCC 電源電圧にプルアップする必要があります。両出力は DVDD にプルアップすることもできます。

7.3.1 ステッピング・モータ・ドライバの電流定格

ステッピング・モータ・ドライバは、出力電流を表す 3 種類の数値 (ピーク、RMS、フルスケール) を使用して分類できます。

7.3.1.1 ピーク電流定格

ステッピング・ドライバのピーク電流は、過電流保護閾値 I_{OC}P で制限されます。ピーク電流は、すべての過渡電流パルスを指します (例: 静電容量の充電時、デューティ・サイクルが極めて小さい場合)。一般に、I_{OC}P の最小値は、ステッピング・モータ・ドライバのピーク電流定格を規定します。DRV8434A の場合、ピーク電流定格はブリッジあたり 4A です。

7.3.1.2 RMS 電流定格

RMS (平均) 電流は、IC の熱性能を考慮して求めます。RMS 電流は、25°C の代表的なシステムでの R_{DS(ON)}、立ち上がりおよび立ち下がり時間、PWM 周波数、デバイスの静止電流、パッケージの熱的性能に基づいて計算されます。実動作時の RMS 電流は放熱と周囲温度に応じて上下する場合があります。DRV8434A の場合、RMS 電流定格はブリッジあたり 1.8A です。

7.3.1.3 フルスケール電流定格

フルスケール電流とは、マイクロステッピング時の正弦電流波形の最大値を指します。この正弦波振幅は RMS 電流に関係しているため、フルスケール電流もデバイスの熱性能を考慮して求めます。フルスケール電流定格は、正弦波電流波形の場合は約 $\sqrt{2} \times I_{RMS}$ 、方形波電流波形 (フルステップ) の場合は I_{RMS} です。

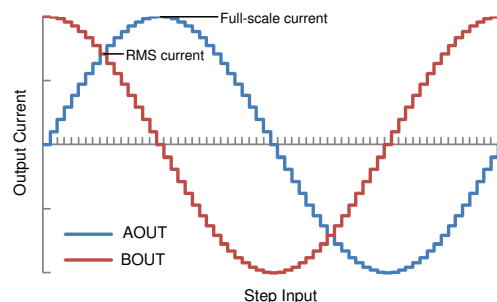


図 7-1. フルスケール電流と RMS 電流

7.3.2 PWM モータ・ドライバ

DRV8434A は、バイポーラ・ステッピング・モータの 2 つの巻線を駆動するために、2 つのフル H ブリッジ回路を駆動します。図 7-2 に、この回路のブロック図を示します。

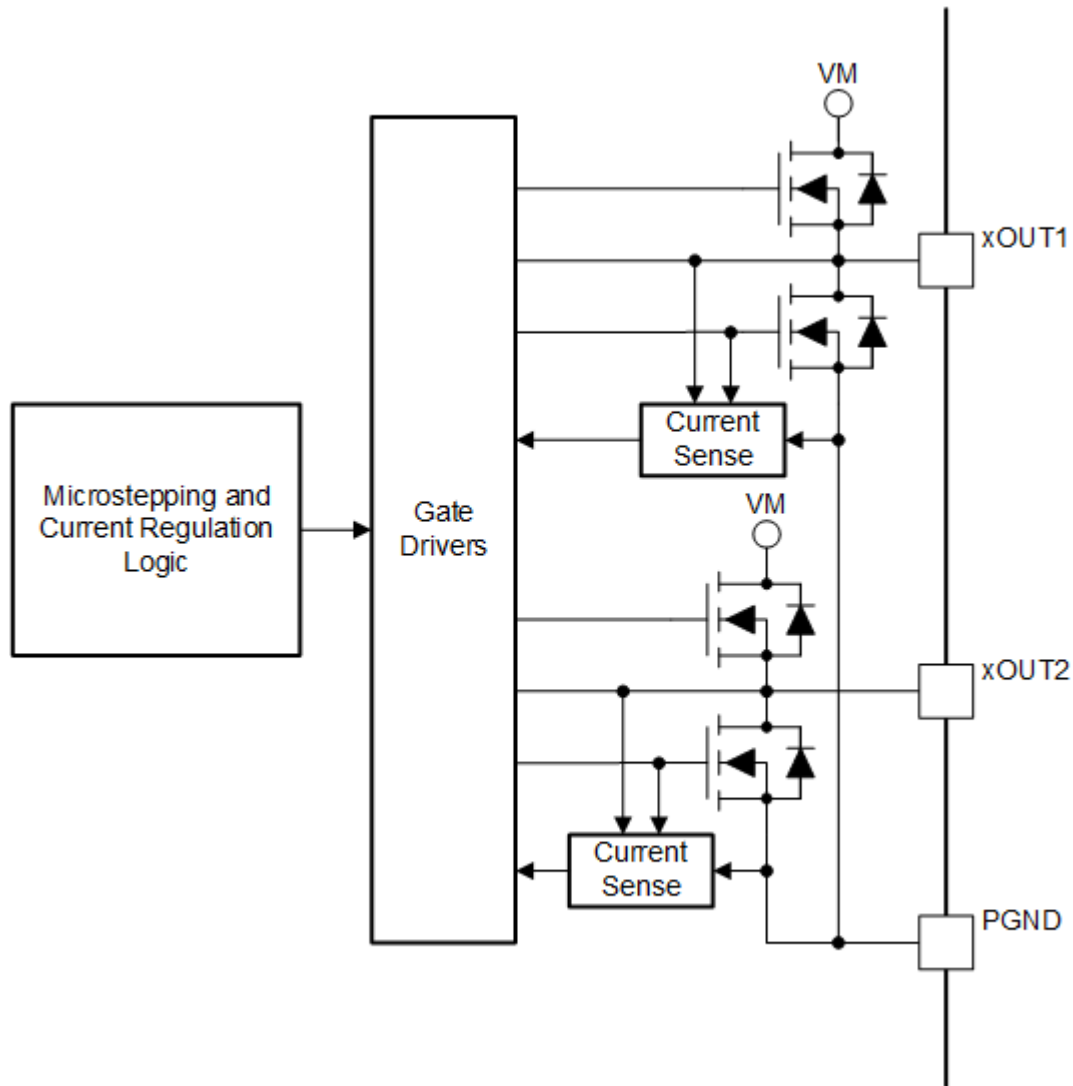


図 7-2. PWM モータ・ドライバのブロック図

7.3.3 マイクロステッピング・インデクサ

DRV8434A の内蔵インデックス状態制御 (インデクサ) ロジックを使用すると、各種ステップ・モードに対応できます。表 7-2 に示すとおり、M0 ピンと M1 ピンを使用してステップ・モードを設定します。この設定は、実行中に変更できます。

表 7-2. マイクロステッピング・インデクサの設定

M0	M1	ステップ・モード
0	0	100% 電流によるフルステップ (2 相励起)
0	330kΩ を GND との間に接続	71% 電流によるフルステップ (2 相励起)
1	0	非真円 1/2 ステップ
ハイ・インピーダンス	0	1/2 ステップ

表 7-2. マイクロステッピング・インデクサの設定
(continued)

M0	M1	ステップ・モード
0	1	1/4 ステップ
1	1	1/8 ステップ
ハイ・インピーダンス	1	1/16 ステップ
0	ハイ・インピーダンス	1/32 ステップ
ハイ・インピーダンス	330kΩ を GND との間に接続	1/64 ステップ
ハイ・インピーダンス	ハイ・インピーダンス	1/128 ステップ
1	ハイ・インピーダンス	1/256 ステップ

表 7-3 に、フルステップ (71% 電流)、1/2 ステップ、1/4 ステップ、1/8 ステップ動作の電流の相対値とステップ方向を示します。マイクロステッピングの分解能がより高い場合も同じパターンに従います。AOUT 電流は電気角の正弦、BOUT 電流は電気角の余弦です。正電流は、駆動時に xOUT1 ピンから xOUT2 ピンに流れる電流と定義します。

STEP 入力の各立ち上がりエッジで、インデックス状態は表内の次の状態に進みます。この方向は、DIR ピンが論理 High の場合です。DIR ピンが論理 Low の場合、表のシーケンスは反転します。

NOTE

ステップの実行中にステップ・モードが変更された場合、STEP の立ち上がりエッジで、インデクサは次の有効な状態に進み、新しいステップ・モード設定になります。

初期励起状態は 45° の電気角で、両方のコイルのフルスケール電流の 71% に対応します。この状態には、デバイス起動直後、ロジック・リセット解除直後、スリープ・モード解除直後のいずれかで移行します。

表 7-3. 電流の相対値とステップ方向

1/8 ステップ	1/4 ステップ	1/2 ステップ	フルステップ 71%	AOUT 電流 (フルスケールに対する %)	BOUT 電流 (フルスケールに対する %)	電気角 (度)
1	1	1		0%	100%	0.00
2				20%	98%	11.25
3	2			38%	92%	22.50
4				56%	83%	33.75
5	3	2	1	71%	71%	45.00
6				83%	56%	56.25
7	4			92%	38%	67.50
8				98%	20%	78.75
9	5	3		100%	0%	90.00
10				98%	-20%	101.25
11	6			92%	-38%	112.50
12				83%	-56%	123.75
13	7	4	2	71%	-71%	135.00
14				56%	-83%	146.25
15	8			38%	-92%	157.50
16				20%	-98%	168.75
17	9	5		0%	-100%	180.00

表 7-3. 電流の相対値とステップ方向 (continued)

1/8 ステップ	1/4 ステップ	1/2 ステップ	フルステップ 71%	AOUT 電流 (フルスケールに対する %)	BOUT 電流 (フルスケールに対する %)	電気角 (度)
18				-20%	-98%	191.25
19	10			-38%	-92%	202.50
20				-56%	-83%	213.75
21	11	6	3	-71%	-71%	225.00
22				-83%	-56%	236.25
23	12			-92%	-38%	247.50
24				-98%	-20%	258.75
25	13	7		-100%	0%	270.00
26				-98%	20%	281.25
27	14			-92%	38%	292.50
28				-83%	56%	303.75
29	15	8	4	-71%	71%	315.00
30				-56%	83%	326.25
31	16			-38%	92%	337.50
32				-20%	98%	348.75

表 7-4 に、100% のフルスケール電流によるフルステップ動作を示します。このステッピング・モードは、71% の電流によるフルステップ・モードよりも多くの電力を消費しますが、高いモータ RPM で高トルクを実現できます。

表 7-4. 100% 電流によるフルステップ

フルステップ 100%	AOUT 電流 (フルスケールに対する %)	BOUT 電流 (フルスケールに対する %)	電気角 (度)
1	100	100	45
2	-100	100	135
3	-100	-100	225
4	100	-100	315

表 7-5 に、非真円 1/2 ステップ動作を示します。このステッピング・モードは真円 1/2 ステップ動作よりも多くの電力を消費しますが、高いモータ RPM で高トルクを実現できます。

表 7-5. 非真円 1/2 ステッピング電流

非真円 1/2 ステップ	AOUT 電流 (フルスケールに対する %)	BOUT 電流 (フルスケールに対する %)	電気角 (度)
1	0	100	0
2	100	100	45
3	100	0	90
4	100	-100	135
5	0	-100	180
6	-100	-100	225
7	-100	0	270
8	-100	100	315

7.3.4 MCU DAC による VREF の制御

場合によっては、フルスケール出力電流を、モータの速度と負荷に応じて各種の値に変更する必要があります。VREF ピンの電圧をシステムで調整する事でフルスケール電流を変更できます。

この動作モードでは、DAC 電圧が増加するにつれて、フルスケール・レギュレーション電流も増加します。正常に動作させるには、DAC の出力が 3.3V を超えないようにする必要があります。

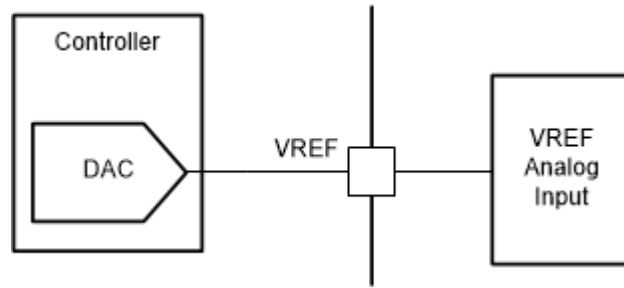


図 7-3. DAC 出力による VREF の制御

また、PWM 信号とローパス・フィルタを使用して VREF ピンを調整することもできます。

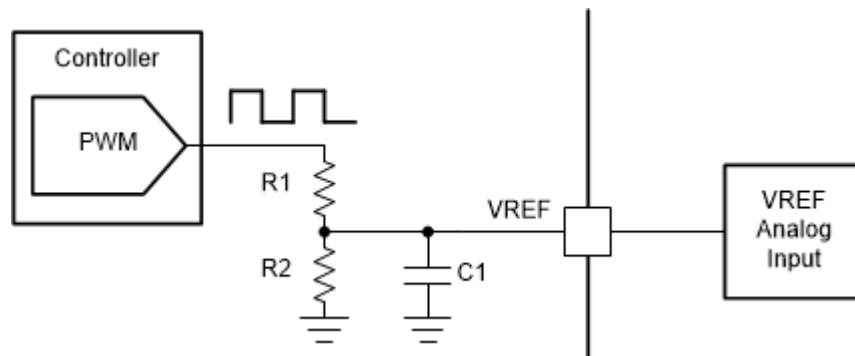


図 7-4. PWM 出力による VREF の制御

7.3.5 電流レギュレーションおよびディケイ・モード

DRV8434A はスマート・チューン・リップル・コントロール・ディケイ・モードで動作し、PWM 電流レギュレーション中はスロー・ディケイのみを使います。PWM レギュレーション電流は、ローサイド・パワー MOSFET と並列に接続した電流センス MOSFET の両端の電圧を監視するコンパレータによって設定されます。電流センス MOSFET は、正弦波で重み付けした電流モード DAC の出力であるリファレンス電流でバイアスされます。この DAC のフルスケール・リファレンス電流は VREF ピンの電圧で設定します。

このフルスケール・レギュレーション電流 (I_{FS}) は次の式で計算できます。 $I_{FS} (A) = V_{REF} (V) / K_V (V/A) = V_{REF} (V) / 1.32 (V/A)$

PWM 電流チョッピング中、PWM 電流チョッピング・スレッシュホールドに達するまで H ブリッジはモータ巻線電流を駆動します。その後、H ブリッジの両方のローサイド MOSFET をオンにすることで巻線電流を再循環させます。

7.3.5.1 スマート・チューン・リップル・コントロール

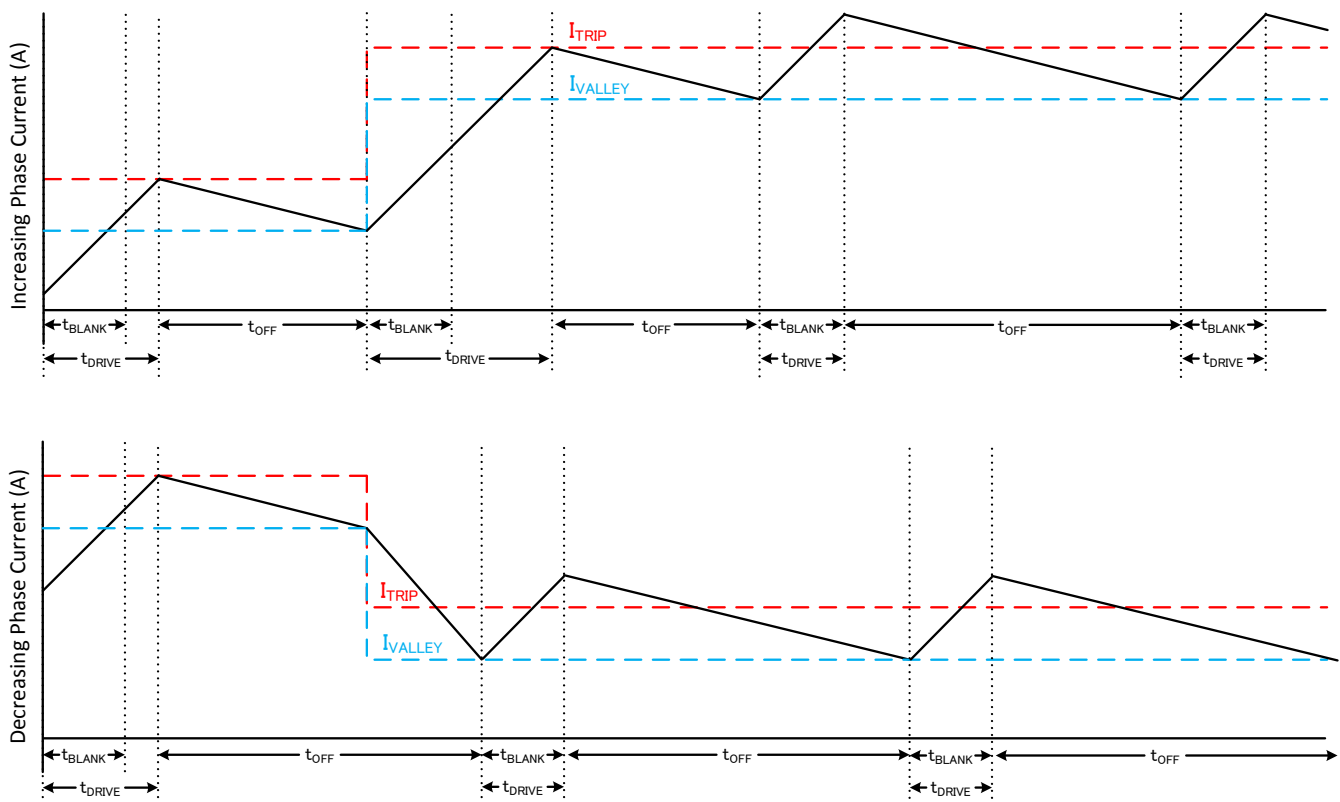


図 7-5. スマート・チューン・リップル・コントロール・ディケイ・モード

スマート・チューン・リップル・コントロールは、 I_{TRIP} レベルと I_{VALLEY} レベルを設定することで動作します。電流レベルが I_{TRIP} に達すると、本ドライバは I_{VALLEY} に達するまでの間スロー・ディケイに移行します。スロー・ディケイでは、両方のローサイド MOSFET がオンになり、電流を再循環させます。このモードでは、電流レベルと動作条件に応じてオフ時間が変化します。

このリップル制御方法によって、厳密な電流レベルのレギュレーションが可能になり、モータの効率とシステムの性能が向上します。

7.3.5.2 ブランキング時間

H ブリッジで電流が出力されると (駆動相の開始)、電流検出コンパレータ出力を一定時間 (t_{BLANK}) 無視した後、電流検出回路を有効にします。ブランキング時間は、PWM の最小駆動時間も設定します。ブランキング時間は約 $1\mu s$ です。

7.3.6 チャージ・ポンプ

ハイサイド N チャンネル MOSFET のゲート駆動電圧を供給するため、チャージ・ポンプが内蔵されています。このチャージ・ポンプには、VM ピンと VCP ピンの間に電荷保持のためのコンデンサを接続する必要があります。また、フライング・コンデンサの役割として、CPH ピンと CPL ピンの間にもセラミック・コンデンサを接続する必要があります。

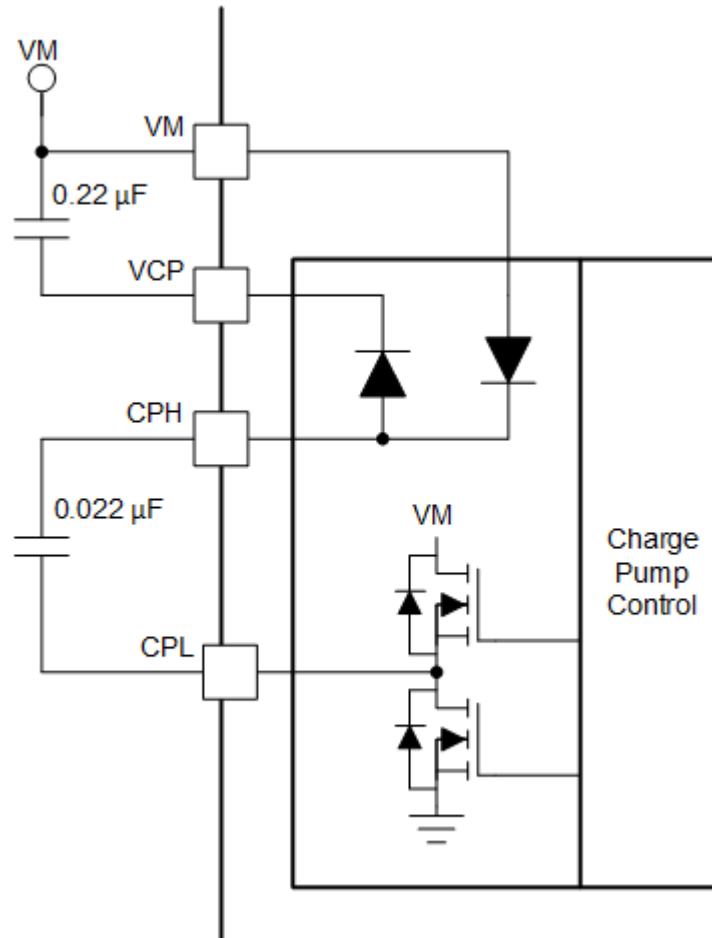


図 7-6. チャージ・ポンプのブロック図

7.3.7 リニア電圧レギュレータ

本デバイスには、DVDD 用にリニア電圧レギュレータが内蔵されています。DVDD レギュレータの出力は、VREF リファレンス電圧に使用することができます。DVDD は、最大 2mA の負荷電流を供給できます。正常に動作させるため、セラミック・コンデンサを使用して DVDD ピンを GND にバイパスします。

DVDD の出力は通常 5V です。DVDD LDO の電流負荷が 2mA を超えると、出力電圧は大きく低下します。

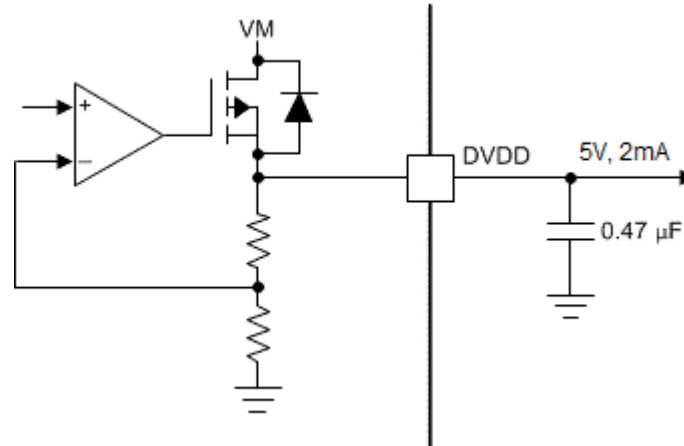


図 7-7. リニア電圧レギュレータのブロック図

デジタル入力 (すなわち M0、M1、STL_MODE) を永続的に High に固定する場合、入力を外部レギュレータではなく DVDD ピンに接続することを推奨します。これにより、VM 電源が接続されていないときやスリープ・モード時に電力を節約できます。DVDD のレギュレータがディセーブルされている間、電流が入力プルダウン抵抗に流れないためです。参考までに、論理レベル入力は 200kΩ (標準値) のプルダウンを備えています。

nSLEEP ピンを DVDD に接続しないでください。さもないと本デバイスはスリープ・モードから出ることができません。

7.3.8 論理レベル、トライレベル、クワッドレベルのピン構造図

図 7-8 に、M0、STL_MODE、ENABLE ピンの入力構造を示します。

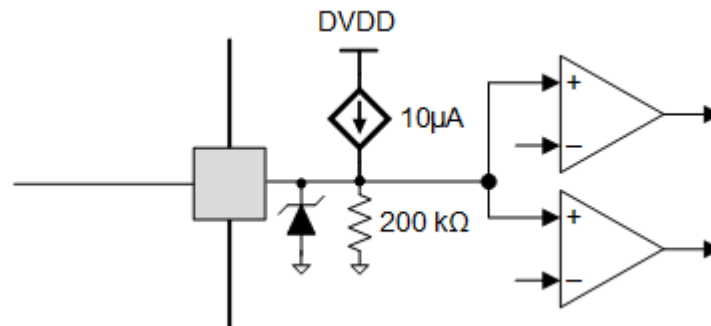


図 7-8. トライレベル入力ピン構造図

図 7-9 に、M1 ピンの入力構造を示します。

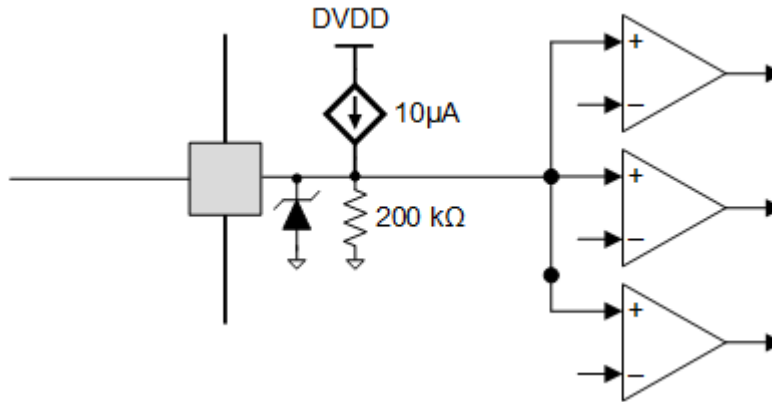


図 7-9. クワッドレベル入力ピン構造図

図 7-10 に、STEP、DIR、nSLEEP ピンの入力構造を示します。

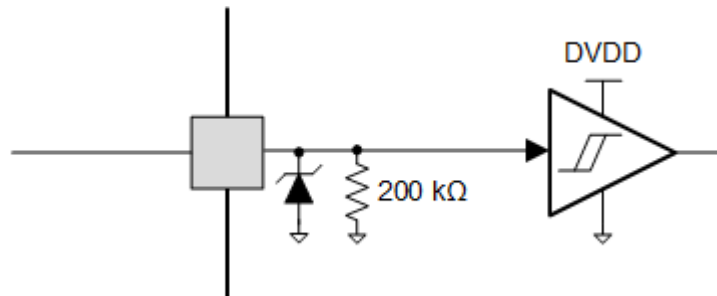


図 7-10. 論理レベル入力ピン構造図

7.3.8.1 nFAULT ピン

nFAULT ピンはオープンドレインの出力を持っているため、5V、3.3V または 1.8V 電源にプルアップする必要があります。フォルトが検出された場合、nFAULT ピンは論理 Low になります。起動後、nFAULT ピンは High になります。5V にプルアップする場合、nFAULT ピンを DVDD ピンに抵抗で接続できます。3.3V または 1.8V にプルアップする場合、外部電源を使う必要があります。

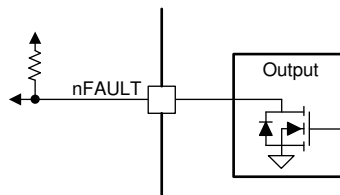


図 7-11. nFAULT ピン

- STL_REP ピンはオープンドレインの出力を持っているため、5V、3.3V または 1.8V 電源にプルアップする必要があります。ストール・フォルトが検出された場合、STL_REP ピンは論理 High になります。ストール・スレッシュホールドの学習が成功すると、STL_REP ピンは Low になります。STL_REP ピンは入力としても使えます。外部から Low にプルすると、ストール・フォルト通知が無効になります。5V にプルアップする場合、STL_REP ピンを DVDD ピンに抵抗で接続できます。3.3V または 1.8V にプルアップする場合、外部電源を使う必要があります。

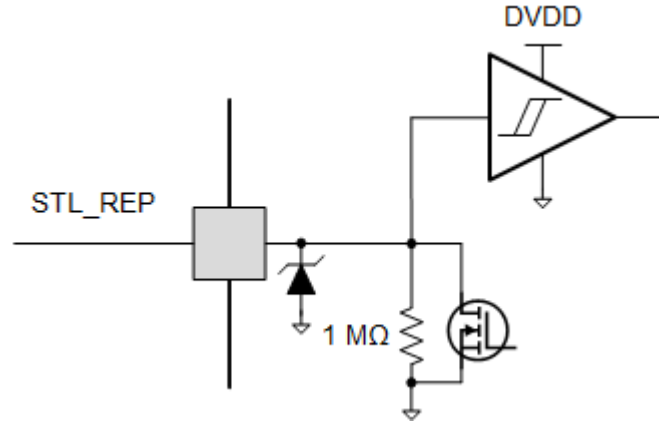


図 7-12. STL_REP ピン

7.3.9 保護回路

本デバイスは、電源低電圧、チャージ・ポンプ低電圧、出力過電流、開放負荷、デバイス過熱イベントからデバイスを保護します。また、過負荷またはエンドオブライン動作の場合も本デバイスはストール検出からデバイスを保護します。

7.3.9.1 VM 低電圧誤動作防止 (UVLO)

VM ピンの電圧が電圧源の UVLO スレッショルド電圧を下回ると常に、すべての出力がディセーブルされ、nFAULT ピンが Low に駆動されます。この条件では、チャージ・ポンプはディセーブルされます。VM 低電圧条件が解消すると、通常動作に復帰します (モータ・ドライバの動作と nFAULT の解放)。

7.3.9.2 VCP 低電圧誤動作防止 (CPUV)

VCP ピンの電圧が CPUV 電圧を下回ると常に、すべての出力がディセーブルされ、nFAULT ピンが Low に駆動されます。この条件の間、チャージ・ポンプはアクティブのまま維持されます。VCP 低電圧条件が解消すると、通常動作に復帰します (モータ・ドライバの動作と nFAULT の解放)。

7.3.9.3 過電流保護 (OCP)

各 FET のアナログ電流制限回路は、ゲート駆動を止めることで、FET に流れる電流を制限します。この電流制限が t_{OCP} 時間よりも長く続いた場合、両方の H ブリッジの FET がディセーブルされ、nFAULT ピンは Low に駆動されます。この条件の間、チャージ・ポンプはアクティブのまま維持されます。 t_{RETRY} 時間が経過し、フォルト条件が解消した後、自動的に通常動作に復帰します (モータ・ドライバの動作と nFAULT の解放)。

7.3.9.4 ストール検出

ステッピング・モータでは、モータの巻線電流、逆起電力、機械的トルク負荷の間に明確な関係があります (図 7-13 を参照)。与えられた巻線電流に対して、モータの負荷がモータの最大トルク能力に近づくと、逆起電力は巻線電流に対して位相が変化します。

DRV8434A は、モータ電流の立ち上がり電流象限と立ち下がり電流象限の間の逆起電力の位相の変化を検出することで、モータの過負荷ストール条件またはエンドオブライン・トラベルを検出できます。ストール検出機能を使わない場合、ドライバは障害物があっても駆動し続け、熱、可聴ノイズ、システムの損傷を引き起こすことがあります。

ストール検出機能は、高価なホール・センサを置き換えることができます。ホール・センサによるタイムアウト方式と比較して、内蔵センサレス・ストール検出機能を使うとモータ・ストール時に高速な応答が得られます。

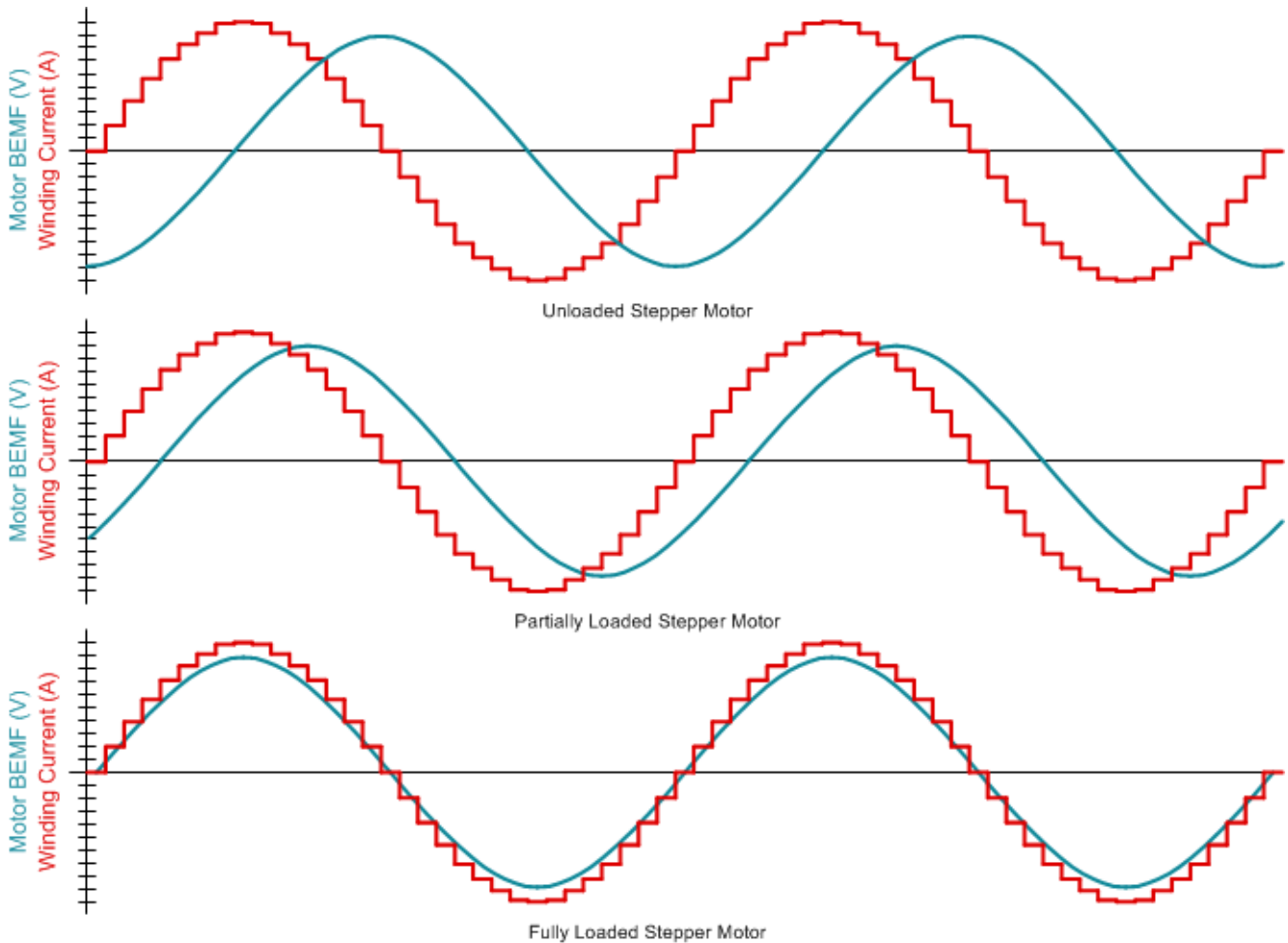


図 7-13. モータの逆起電力の監視によるストール検出

このストール検出アルゴリズムは、PWM オフ時間を監視することで立ち上がり電流象限と立ち下がり電流象限の逆起電力を比較し、トルク・カウントで表される値を生成します。この比較は、トルク・カウントがモータ電流、周囲温度、電源電圧に事実上依存しないような方法で行われます。

モータの負荷が軽い場合、トルク・カウントはゼロ以外の値になります。モータがストール条件に近づくにつれてトルク・カウントはゼロに近づくため、トルク・カウントを使ってストール条件を検出できます。トルク・カウントがストール・スレッシュホールドを少しでも下回ると、本デバイスはストールを検出します。ストール条件では、モータのシャフトは回転しません。ストール条件が解消すると、モータは再び回転を開始します。

モータのコイルの抵抗が大きいと、トルク・カウントが小さくなる場合があります。DRV8434A の ENABLE ピンを使うと、小さいトルク・カウント値を拡大し、その後の処理を簡単にできます。ENABLE ピンをハイ・インピーダンスにすると、トルク・カウントとストール・スレッシュホールドは 8 倍されます。ENABLE ピンを論理 High にすると、トルク・カウントとストール・スレッシュホールドはアルゴリズムによる当初の計算値を維持します。

DRV8434A のストール検出アルゴリズムは、2 本のデジタル I/O ピンと 1 本のアナログ I/O ピン (STL_MODE、STL_REP、TRQ_CNT/STL_TH) で設定されます。

STL_MODE はストール検出モードを設定します。このピンが論理 Low の場合、ストール・スレッシュホールドは本ドライバまたは外部マイクロコントローラ (MCU) によって計算されます。TRQ_CNT/STL_TH ピンはトルク・カウントをアナログ電圧として出力します。STL_MODE ピンが開放 (ハイ・インピーダンス) の場合、ストール・スレッシュホールド学習プロセスが有効になります。学習が成功した場合、TRQ_CNT/STL_TH ピンはストール・スレッシュホールドをアナログ電圧として出力します。STL_MODE が論理 High (DVDD に接続) の場合、ストール・スレッシュホールドは TRQ_CNT/STL_TH ピンに電圧を印加することで設定されます。TRQ_CNT/STL_TH ピンは、動作モードに応じて入力としても出力としても動作できます。

TRQ_CNT/STL_TH ピンと GND の間に 1nF のコンデンサを接続する必要があります。STL_MODE ピンと GND の間に 330kΩ の抵抗を接続すると、ストール検出が無効になります。また、何らかのフォルト条件 (例: UVLO、OCP、OL、OTSD) が存在する場合、ストール検出は無効になります。

STL_REP はオープンドレイン出力です。STL_MODE = GND または DVDD の場合、STL_REP はストール・フォルトがなければ本ドライバによって Low にプルされ、ストールが検出されると High になります。STL_MODE = GND または DVDD、かつ STL_REP ピンが外部から Low にプルされている場合、ストール・フォルト通知は無効になり、ストールが検出されても nFAULT は Low になりません。ストール・スレッシュホールド学習モード (STL_MODE = ハイ・インピーダンス) では、STL_REP が High から Low に遷移した場合、それはストール・スレッシュホールドの学習が成功したことを示します。STL_REP は、外付けプルアップ抵抗でプルアップする必要があります。

次の手順では、ストール・スレッシュホールドの学習動作について説明します。

- ストール・スレッシュホールド学習の前に、モータ速度が目標値に達していることを確認します。モータ速度が上昇または下降中はストール・スレッシュホールド学習を行わないでください。
- STL_MODE ピンをハイ・インピーダンスにして学習を開始します。
- 無負荷の状態でもモータを動作させます。
- 本ドライバが定常カウントを学習するように 32 電氣的サイクルの間待機します。
- モータをストールさせます。
- 本ドライバがストール・カウントを学習するように 16 電氣的サイクルの間待機します。
- 学習が成功すると、STL_REP が Low にプルされます。
- ストール・スレッシュホールドは、定常カウントとストール・カウントの平均として計算されます。
- 学習が成功すると、TRQ_CNT/STL_TH ピンはストール・スレッシュホールドをアナログ電圧として出力し、トルク・カウント・モードで使用するためにその値を内部に保存します。
- 学習が成功した後、STL_MODE の論理レベルを変更することで本デバイスがトルク・カウント・モードまたはストール・スレッシュホールド・モードに移行すると、STL_REP は High に遷移し、nFAULT はプルダウンされ、TRQ_CNT/STL_TH ピンの電圧はリセットされます。
- STL_REP をプルダウンさせ、nFAULT を再びプルアップさせるには、nSLEEP リセット・パルスを印加します。

モータ作動中または停止中のトルク・カウントが不安定なために、ストール学習プロセスが失敗する場合があります。例として、モータのコイルの抵抗が大きい場合、モータが非常に高速または低速で動作している場合、トルク・カウントが時間と共に大きく変化する場合、定常カウントとストール・カウントの差が小さい場合が挙げられます。このような場合、ストール学習手法を使用しないことを推奨します。代わりに、動作条件の範囲全体にわたって定常カウントとトルク・カウントを慎重に検討し、定常カウントの最小値とストール・カウントの最大値の中間にスレッシュホールドを設定します。

モータが最初に回転速度を増加させる際は、本ドライバをトルク・カウント・モードとストール・スレッシュホールド・モードのどちらかに設定することを推奨します。初期ランプ・アップ中にデバイスが学習モードに入っている場合、より小さいストール・スレッシュホールド値が学習されることがあります。定常状態の速度に達すると、学習プロセスを開始できます。

表 7-6 に、ストールを検出できる各種動作モードを示します。

表 7-6. ストール検出動作モード

動作モード	STL_MODE	TRQ_CNT/ STL_TH	STL_REP	nFAULT	説明
トルク・カウント・モード	GND	出力としてのトルク・カウント電圧	出力: High: ストール・フォルト 入力: Low: ストール通知は無効	STL_REP > 1.6V の場合、ストールが検出されると nFAULT は Low になります。	このモードは、次の 2 種類の動作をサポートしています。 1. スタンドアロン・ストール検出モード: ドライバはストール検出と通知を行います (このモードは学習モードの後に設定する必要があります)。 2. MCU を使ったストール検出モード: MCU は TRQ_CNT/STL_TH 電圧を入力として取り込み、2 次的な影響がある場合その電圧を補償し、独自のストール・スレッシュホールド値と比較してストールを検出します。これは外部動作モードであるため、本デバイスのストール通知を無効にする必要があります。MCU は、トルク・カウントに基づいて VREF を制御するためのアルゴリズムを実行することもできます。

表 7-6. ストール検出動作モード (continued)

動作モード	STL_MO DE	TRQ_CNT/ STL_TH	STL_REP	nFAULT	説明
学習モード	ハイ・インピーダンス	出力としてのストール・スレッシュリットド電圧	出力: High: 学習は未完了 Low: 学習は成功	該当なし	1. トルク・カウントの学習結果は TRQ_CNT/STL_TH ピン経由で得られます。 2. このモードでは、ストール検出アルゴリズムが内部ストール・スレッシュリットドを決定するために、モータは少なくとも 32 電氣的サイクルにわたって無負荷で回転し、その後少なくとも 16 電氣的サイクルの間ストールする必要があります。
ストール・スレッシュリットド・モード	DVDD	入力としてのストール・スレッシュリットド電圧	出力: High: ストール・フォルト 入力: Low: ストール通知は無効	STL_REP > 1.6V の場合、ストールが検出されると nFAULT は Low になります。	トルク・カウントはトルク・カウント・モードまたは学習モードから TRQ_CNT/STL_TH ピンに通知されます。また、目標ストール・スレッシュリットド電圧は外部から TRQ_CNT/STL_TH ピンに印加します。このストール・スレッシュリットド電圧は、トルク・カウント・モードから通知されたトルク・カウントに相当する電圧よりも小さい必要があります。モータがトルク・カウント・モードで回転している間、ストール・スレッシュリットド・モードが選択されている必要があります。
ストール検出無効	330kΩ を GND との間に接続		出力: Low		STL_MODE が 0 または 1 になるまで、モータのストールは無視されます。

図 7-14 に、DRV8434A ドライバによるストール検出のフローチャートを示します。

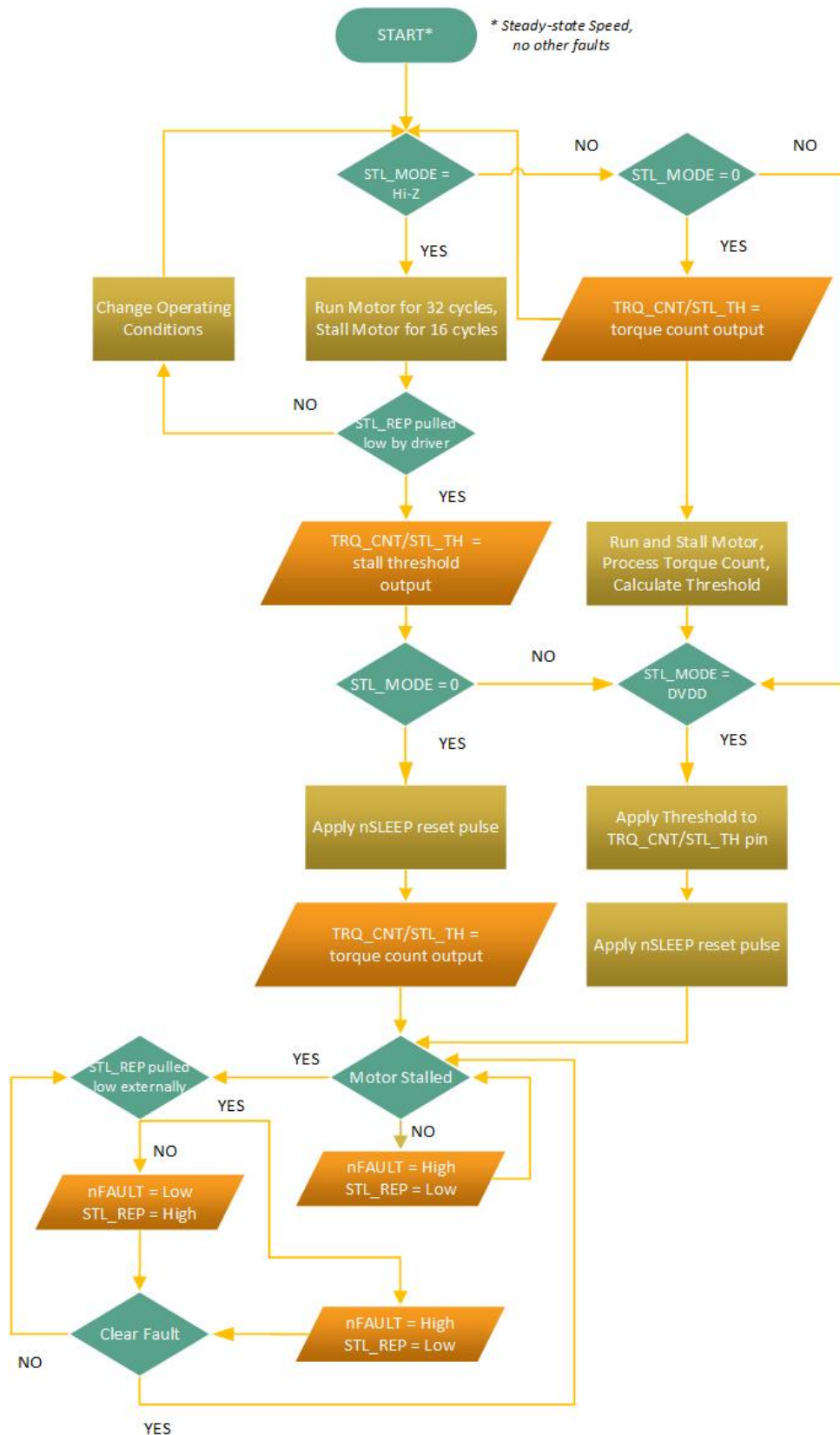


図 7-14. DRV8434A によるストール検出のフローチャート

7.3.9.5 開放負荷検出 (OL)

どちらかのコイルの巻線電流が、オープン負荷電流スレッショルド (I_{OL}) とインデクサによって設定された I_{TRIP} レベルを下回り、この条件が開放負荷検出時間 (t_{OL}) を超えて持続した場合、開放負荷条件が検出されます。開放負荷条件が解消すると、通常動作が再開されます。nSLEEP リセット・パルスが印加された場合、本デバイスの電源を切って再投入した場合、本デバイスがスリープ・モードから復帰した場合のいずれかで本フォルトはクリアされます。

7.3.9.6 サーマル・シャットダウン (OTSD)

デバイス温度がサーマル・シャットダウン限界値 (T_{OTSD}) を超えると、H ブリッジのすべての MOSFET がディセーブルされ、nFAULT ピンが Low に駆動されます。この条件の間、チャージ・ポンプはディセーブルされます。接合部温度が、過熱スレッショルド限界値からヒステリシスを引いた値 ($T_{OTSD} - T_{HYS_OTSD}$) を下回ると、通常動作に復帰します (モータ・ドライバの動作と nFAULT ラインの解放)。

フォルト条件のまとめ

表 7-7. フォルト条件のまとめ

フォルト	条件	構成	異常通知	H ブリッジ	チャージ・ポンプ	インデクサ	ロジック	復帰
VM 低電圧 (UVLO)	$VM < V_{UVLO}$	—	nFAULT	ディセーブル	ディセーブル	ディセーブル	リセット ($V_{DVDD} < 3.9V$)	自動: $VM > V_{UVLO}$
VCP 低電圧検出 (CPUV)	$VCP < V_{CPUV}$	—	nFAULT	ディセーブル	動作	動作	動作	自動: $VCP > V_{CPUV}$
過電流 (OCP)	$I_{OUT} > I_{OCP}$	—	nFAULT	ディセーブル	動作	動作	動作	自動リトライ: t_{RETRY}
開放負荷 (OL)	負荷が検出されない	—	nFAULT	動作	動作	動作	動作	通知のみ
ストール検出 (STALL)	モータのストール / 停止	—	STL_REP、nFAULT	動作	動作	動作	動作	通知のみ
サーマル・シャットダウン (OTSD)	$T_J > T_{TSD}$	—	nFAULT	ディセーブル	ディセーブル	動作	動作	自動: $T_J < T_{OTSD} - T_{HYS_OTSD}$

7.4 デバイスの機能モード

7.4.1 スリープ・モード (nSLEEP = 0)

DRV8434A の状態は nSLEEP ピンで制御されます。nSLEEP ピンが Low になると、DRV8434A デバイスは低消費電力のスリープ・モードに移行します。スリープ・モードでは、すべての内蔵 MOSFET がディセーブルされ、チャージ・ポンプがディセーブルされます。nSLEEP ピンでの立ち下がりエッジの後、 t_{SLEEP} 時間が経過すると、デバイスはスリープ・モードに移行します。nSLEEP ピンが High になると、DRV8434A は自動的にスリープから復帰します。 t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。

7.4.2 ディセーブル・モード (nSLEEP = 1、ENABLE = 0)

ENABLE ピンは、DRV8434A デバイスをイネーブルまたはディセーブルにするために使用されます。ENABLE ピンが Low になると、出力ドライバは無効化され、出力ピンはハイ・インピーダンス状態になります。

7.4.3 動作モード (nSLEEP = 1、ENABLE = ハイ・インピーダンス / 1)

nSLEEP ピンが High、ENABLE ピンがハイ・インピーダンスまたは High、 $VM > UVLO$ のすべてに該当する場合、本デバイスはアクティブ・モードに入ります。 t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。

7.4.4 nSLEEP リセット・パルス

ラッチされたフォルトは nSLEEP リセット・パルスでクリアできます。このパルス幅は $20\mu s$ より長く $40\mu s$ より短い必要があります。nSLEEP が $40\mu s$ より長く $120\mu s$ より短い間 Low である場合、フォルトはクリアされますが、本デバイスはシャットダウンする場合としない場合があります (図 7-15 を参照)。このリセット・パルスはチャージ・ポンプの状態にもその他の機能ブロックの状態にも影響を与えません。

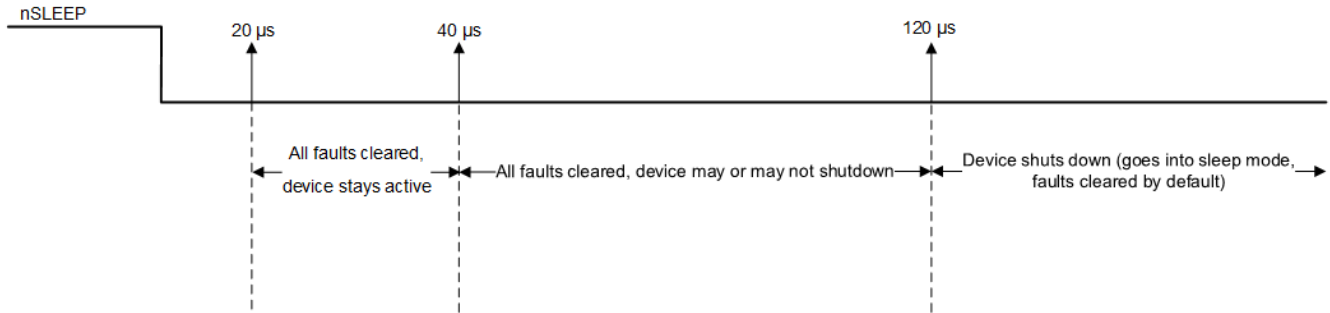


図 7-15. nSLEEP リセット・パルス

機能モードのまとめ

表 7-8 に、機能モードのまとめを示します。

表 7-8. 機能モードのまとめ

条件	構成	H ブリッジ	DVDD レギュレータ	チャージ・ポンプ	インデクサ	ロジック
スリープ・モード	4.5V < VM < 48V nSLEEP ピン = 0	ディセーブル	ディセーブル	ディセーブル	ディセーブル	ディセーブル
動作	4.5V < VM < 48V nSLEEP ピン = 1 ENABLE ピン = 1 またはハイ・インピーダンス	動作	動作	動作	動作	動作
ディセーブル	4.5V < VM < 48V nSLEEP ピン = 1 ENABLE ピン = 0	ディセーブル	動作	動作	動作	動作

8 アプリケーションと実装

NOTE

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

DRV8434A はバイポーラ・ステッピング制御で使用されます。

8.2 代表的なアプリケーション

次の設計手順で DRV8434A を構成できます。

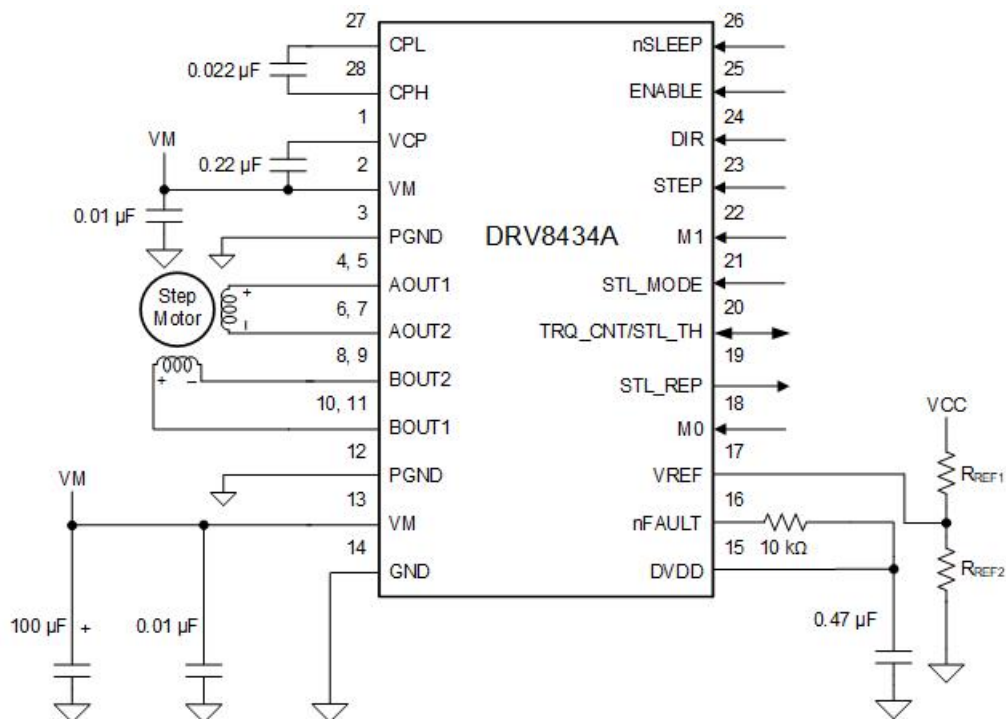


図 8-1. 代表的なアプリケーション回路図 (HTSSOP パッケージ)

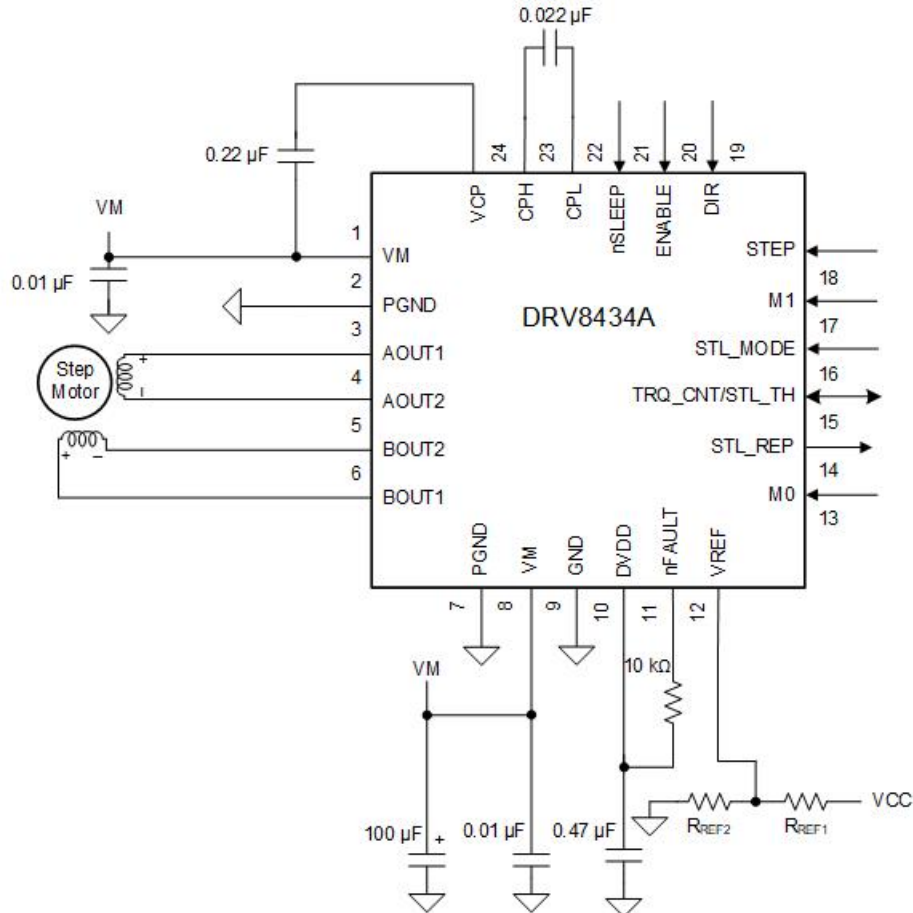


図 8-2. 代表的なアプリケーション回路図 (VQFN パッケージ)

8.2.1 設計要件

表 8-1 に、システム設計の設計入力パラメータを示します。

表 8-1. 設計パラメータ

設計パラメータ	略号	値の例
電源電圧	VM	24V
モータ巻線抵抗	R_L	0.9Ω/相
モータ巻線インダクタンス	L_L	1.4mH/相
モータ・フルステップ角	θ_{step}	1.8°/ステップ
目標マイクロステップ・レベル	n_m	1/8 ステップ
目標モータ速度	v	18.75rpm
目標フルスケール電流	I_{FS}	2A

8.2.2 詳細な設計手順

8.2.2.1 ステッピング・モータの速度

DRV8434A を構成するには、まず、モータ速度とマイクロステップ・レベルの目標値が必要です。対象とするアプリケーションで一定速度が必要な場合、周波数 f_{step} の矩形波を STEP ピンに印加する必要があります。目標モータ速度が高すぎる場合、モータは回転しません。モータが目標速度に対応できることを確認してください。モータ速度 (v)、マイクロステップ・レベル (n_m)、モータのフルステップ角 (θ_{step}) の目標値に対応する f_{step} を計算するには式 1 を使用します。

$$f_{\text{step}} \text{ (steps / s)} = \frac{v \text{ (rpm)} \times 360 \text{ (}^\circ \text{ / rot)}}{\theta_{\text{step}} \text{ (}^\circ \text{ / step)} \times n_m \text{ (steps / microstep)} \times 60 \text{ (s / min)}} \quad (1)$$

θ_{step} 値は、ステッピング・モータのデータシートまたはモータそのものに記載されています。たとえば、1/8 マイクロステップ・モードで 18.75rpm という目標に対して、このアプリケーションのモータは 1.8°/step の回転が必要となります。式 1 を使用すると、 f_{step} は 500Hz として計算できます。

マイクロステッピング・レベルは M0 および M1 ピンで設定され、表 8-2 に示す設定のいずれかにできます。マイクロステッピング・レベルが高いほどモータの動きは円滑になり、可聴ノイズは小さくなりますが、同じモータ速度を実現するのにより高い f_{step} を必要とします。

表 8-2. マイクロステッピング・インデクサの設定

M0	M1	ステップ・モード
0	0	100% 電流によるフルステップ (2 相励起)
0	330kΩ を GND との間に接続	71% 電流によるフルステップ (2 相励起)
1	0	非真円 1/2 ステップ
ハイ・インピーダンス	0	1/2 ステップ
0	1	1/4 ステップ
1	1	1/8 ステップ
ハイ・インピーダンス	1	1/16 ステップ
0	ハイ・インピーダンス	1/32 ステップ
ハイ・インピーダンス	330kΩ を GND との間に接続	1/64 ステップ
ハイ・インピーダンス	ハイ・インピーダンス	1/128 ステップ
1	ハイ・インピーダンス	1/256 ステップ

8.2.2.2 電流レギュレーション

ステッピング・モータでは、フルスケール電流 (I_{FS}) は、どちらかの巻線に駆動される最大電流です。この量は VREF 電圧と TRQ_DAC 設定で決まります (式 2 を参照)。

VREF ピンの最大許容電圧は 3.3V です。DVDD と抵抗分割器を使用して VREF を供給できます。

ステッピング時には、 I_{FS} により、最大電流ステップの電流チョッピング・スレッショルド (I_{TRIP}) が定義されます。

$$I_{\text{FS}} \text{ (A)} = \frac{V_{\text{REF}} \text{ (V)}}{K_v \text{ (V/A)}} \times \text{TRQ_DAC} \text{ (\%)} = \frac{V_{\text{REF}} \text{ (V)} \times \text{TRQ_DAC} \text{ (\%)}}{1.32 \text{ (V/A)}} \quad (2)$$

8.2.2.3 ディケイ・モード

DRV8434A はスマート・チューン・リップル・コントロール・ディケイ・モードで動作します。モータ巻線電流が電流チョッピング・スレッショルド (I_{TRIP}) に達すると、DRV8434A は巻線をスロー・ディケイに設定します。

8.2.2.4 アプリケーション曲線

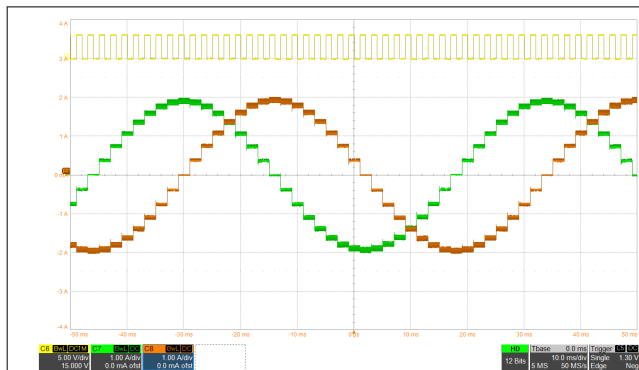


図 8-3. スマート・チューン・リップル・コントロール・ディケイによる 1/8 マイクロステッピング

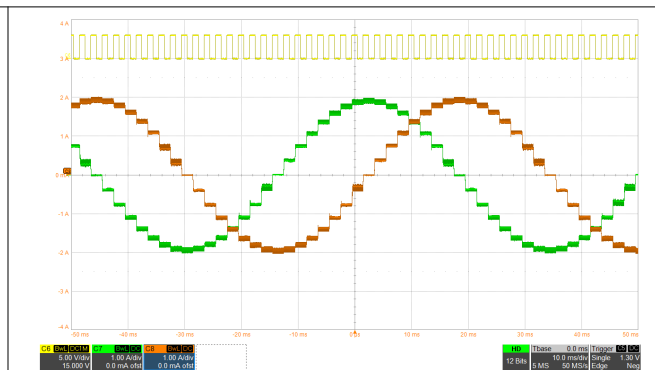


図 8-4. スマート・チューン・ダイナミック・ディケイによる 1/8 マイクロステッピング

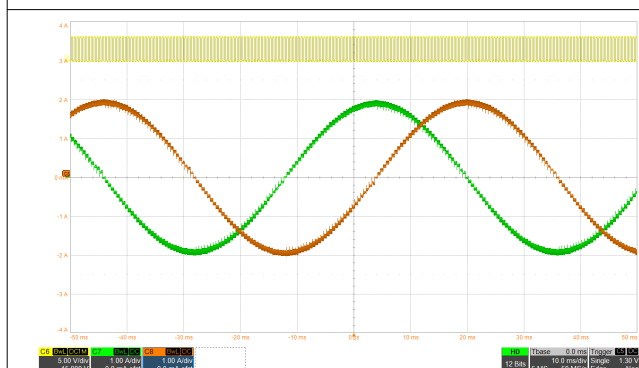


図 8-5. スマート・チューン・リップル・コントロール・ディケイによる 1/32 マイクロステッピング

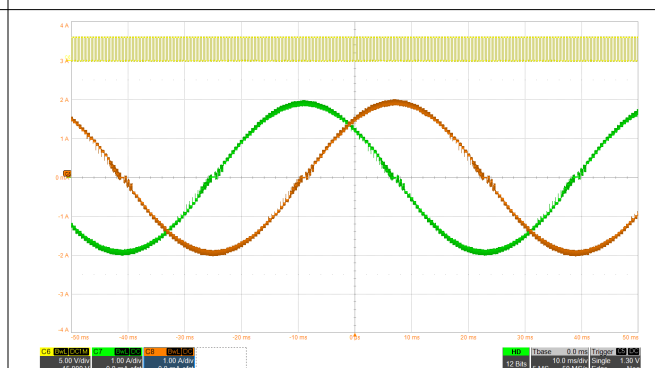


図 8-6. スマート・チューン・ダイナミック・ディケイによる 1/32 マイクロステッピング

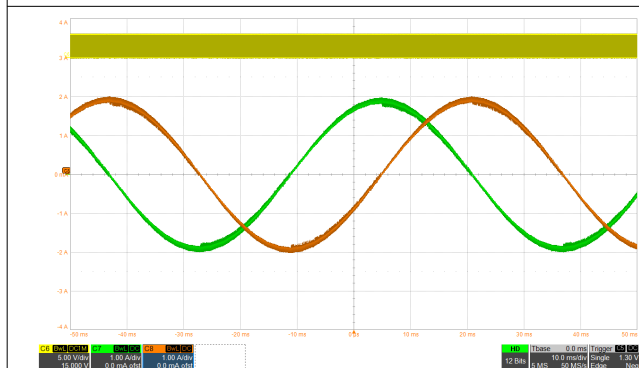


図 8-7. スマート・チューン・リップル・コントロール・ディケイによる 1/256 マイクロステッピング

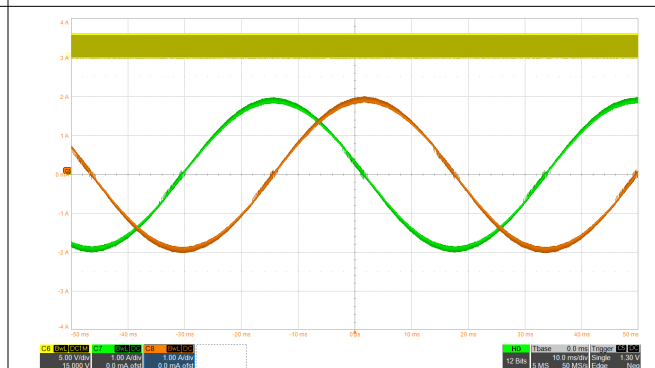


図 8-8. スマート・チューン・ダイナミック・ディケイによる 1/256 マイクロステッピング

8.2.2.5 熱に関連する計算

このセクションでは、デバイスの消費電力の計算と接合部温度の概算について説明します。

8.2.2.5.1 消費電力

全消費電力は主な 3 つの要素 (導通損失 (P_{COND})、スイッチング損失 (P_{SW})、静止消費電流による電力損失 (P_Q)) で構成されます。

8.2.2.5.2 導通損失

フル・ブリッジに接続されたモータの電流経路は一方のハーフ・ブリッジのハイサイド FET と他方のハーフ・ブリッジのローサイド FET を通ります。導通損失 (P_{COND}) は、式 3 のように、モータの RMS 電流 (I_{RMS})、ハイサイド・オン抵抗 ($R_{DS(ONH)}$)、ローサイド・オン抵抗 ($R_{DS(ONL)}$) で決まります。

$$P_{COND} = 2 \times (I_{RMS})^2 \times (R_{DS(ONH)} + R_{DS(ONL)}) \quad (3)$$

「代表的なアプリケーション」で説明する代表的なアプリケーションの導通損失は式 4 のように計算されます。

$$P_{COND} = 2 \times (I_{RMS})^2 \times (R_{DS(ONH)} + R_{DS(ONL)}) = 2 \times (2A / \sqrt{2})^2 \times (0.165\Omega + 0.165\Omega) = 1.32W \quad (4)$$

NOTE

この電力の計算値は、ハイサイド FET とローサイド FET のオン抵抗に大きな影響を与えるデバイス温度に大きく影響されます。より精密に計算するには、FET のオン抵抗の温度依存性を考慮します。

8.2.2.5.3 スイッチング損失

PWM スイッチング周波数に起因する電力損失はスルーレート (t_{SR})、電源電圧、モータの RMS 電流、PWM スイッチング周波数で決まります。各 H ブリッジの立ち上がり時間のスイッチング損失と立ち下がり時間のスイッチング損失は式 5 と式 6 のように計算されます。

$$P_{SW_RISE} = 0.5 \times V_{VM} \times I_{RMS} \times t_{RISE_PWM} \times f_{PWM} \quad (5)$$

$$P_{SW_FALL} = 0.5 \times V_{VM} \times I_{RMS} \times t_{FALL_PWM} \times f_{PWM} \quad (6)$$

t_{RISE_PWM} と t_{FALL_PWM} はどちらも V_{VM}/t_{SR} として近似されます。各種パラメータの値を代入した後、30kHz PWM 周波数を仮定すると、各 H ブリッジのスイッチング損失は以下のように計算されます。

$$P_{SW_RISE} = 0.5 \times 24V \times (2A / \sqrt{2}) \times (24V / 240V/\mu s) \times 30kHz = 0.05W \quad (7)$$

$$P_{SW_FALL} = 0.5 \times 24V \times (1A / \sqrt{1}) \times (24V / 240V/\mu s) \times 30kHz = 0.05W \quad (8)$$

ステップング・モータ・ドライバの全スイッチング損失 (P_{SW}) は立ち上がり時間のスイッチング損失 (P_{SW_RISE}) と立ち下がり時間のスイッチング損失 (P_{SW_FALL}) の合計の 2 倍として以下のように計算されます。

$$P_{SW} = 2 \times (P_{SW_RISE} + P_{SW_FALL}) = 2 \times (0.05W + 0.05W) = 0.2W \quad (9)$$

NOTE

立ち上がり時間 (t_{RISE}) と立ち下がり時間 (t_{FALL}) はスルーレート (t_{SR}) の標準値に基づいて計算されます。このパラメータは、電源電圧、温度、デバイス間のばらつきに基づいて変化することが予想されます。

スイッチング損失は PWM スイッチング周波数に正比例します。アプリケーションでの PWM 周波数は電源電圧、モータ・コイルのインダクタンス、逆起電圧、オフ時間 (スマート・チューン・リップル・コントロール・ディケイ・モードの場合はリップル電流) で決まります。

8.2.2.5.4 静止電流による消費電力

電源によって消費される静止電流による消費電力は以下のように計算されます。

$$P_Q = V_{VM} \times I_{VM} \quad (10)$$

値を代入すると、静止電力損失は以下のように計算されます。

$$P_Q = 24V \times 5mA = 0.12W \quad (11)$$

NOTE

静止電力損失は、動作電源電流 (I_{VM} 、標準値) を使用して計算されます。この動作電源電流は電源電圧、温度、デバイス間のばらつきによって決まります。

8.2.2.5.5 全消費電力

全消費電力 (P_{TOT}) は導通損失、スイッチング損失、静止電力損失の合計として式 12 のように計算されます。

$$P_{TOT} = P_{COND} + P_{SW} + P_Q = 1.32W + 0.2W + 0.12W = 1.64W \quad (12)$$

8.2.2.5.6 デバイスの接合部温度の概算

周囲温度が T_A 、総消費電力 (P_{TOT}) の場合、接合部温度 (T_J) は次のように計算されます。

$$T_J = T_A + (P_{TOT} \times R_{\theta JA})$$

JEDEC 規格の 4 層 PCB を考慮すれば、接合部から周囲への熱抵抗 ($R_{\theta JA}$) は、HTSSOP パッケージの場合 $29.7^\circ\text{C}/\text{W}$ 、VQFN パッケージの場合 $39^\circ\text{C}/\text{W}$ です。

25°C の周囲温度を仮定すると、HTSSOP パッケージの接合部温度は以下のように計算されます。

$$T_J = 25^\circ\text{C} + (1.64W \times 29.7^\circ\text{C}/\text{W}) = 73.71^\circ\text{C} \quad (13)$$

VQFN パッケージの接合部温度は以下のように計算されます。

$$T_J = 25^\circ\text{C} + (1.64W \times 39^\circ\text{C}/\text{W}) = 88.96^\circ\text{C} \quad (14)$$

9 電源に関する推奨事項

本デバイスは、4.5V～48V の入力電圧源 (VM) 範囲で動作するように設計されています。VM 定格の 0.01 μ F セラミック・コンデンサを、本デバイスにできるだけ近付けて各 VM ピンに配置する必要があります。また、バルク・コンデンサを VM に接続する必要があります。

9.1 バルク・コンデンサ

適切なローカル・バルク・コンデンサを使用することは、モータ駆動システムの設計で重要な要素の 1 つです。一般に、バルク容量が大きいほど利点がありますが、コストと物理的なサイズが増加します。

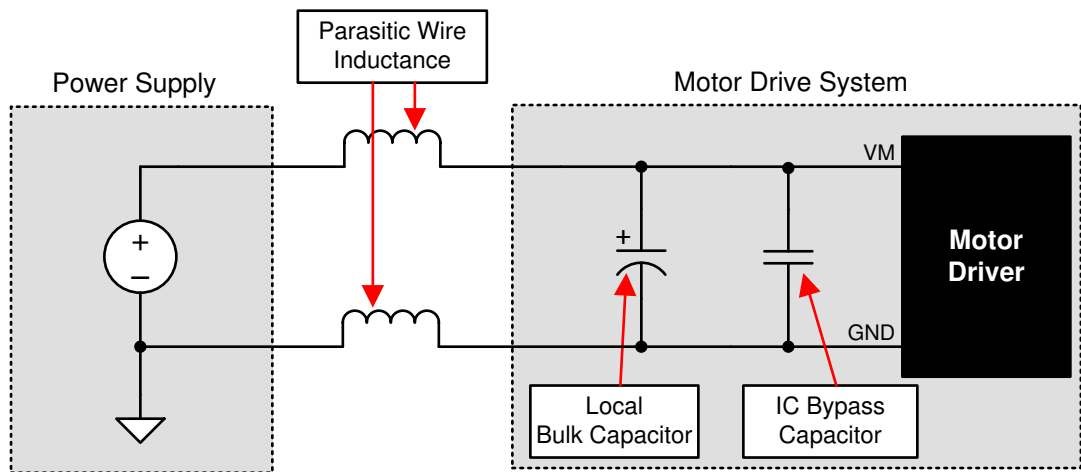
必要なローカル容量値は、次のようなさまざまな要因で決まります。

- モータ・システムが必要とする最大電流
- 電源容量 (電流供給能力)
- 電源とモータ・システムのための寄生インダクタンスの大きさ
- 許容される電圧リップル
- 使用するモータの種類 (ブラシ付き DC、ブラシレス DC、ステッピング)
- モータのブレーキ方式

電源とモータ駆動システムのためのインダクタンスにより、電源からの電流が変化できる割合が制限されます。ローカル・バルク容量が小さすぎる場合、システムはモータからの過剰な電流要求やダンプによる電圧変動の影響を受けます。十分なバルク容量を使うことで、モータの電圧は安定し、大電流を素早く供給できます。

データシートには一般に、推奨値が記載されていますが、バルク・コンデンサの容量が適切かどうかを判断するには、システム・レベルのテストが必要です。

モータが電源にエネルギーを伝達する場合のマーヅンを確保するため、バルク・コンデンサの定格電圧は動作電圧より高くする必要があります。



Copyright © 2016, Texas Instruments Incorporated

図 9-1. 外部電源を使用したモータ駆動システムの構成例

10 レイアウト

10.1 レイアウトの注意点

推奨する VM 定格で $0.01\mu\text{F}$ の低 ESR セラミック・バイパス・コンデンサを使用して、VM ピンを PGND にバイパスする必要があります。このコンデンサは VM ピンのできるだけ近くに配置し、太いトレースまたはグランド・プレーンでデバイスの PGND ピンに接続する必要があります。

VM 定格のバルク・コンデンサを使用して、VM ピンをグランドにバイパスする必要があります。この部品には電解コンデンサが使用できます。

低 ESR セラミック・コンデンサを CPL ピンと CPH ピンの間に配置する必要があります。VM 定格の $0.022\mu\text{F}$ を推奨します。この部品はピンにできるだけ近付けて配置します。

低 ESR セラミック・コンデンサを VM ピンと VCP ピンの間に配置する必要があります。16V 定格の $0.22\mu\text{F}$ を推奨します。この部品はピンにできるだけ近付けて配置します。

低 ESR セラミック・コンデンサを使用して DVDD ピンをグランドにバイパスします。6.3V 定格の $0.47\mu\text{F}$ を推奨します。このバイパス・コンデンサはピンにできるだけ近付けて配置します。

10.2 レイアウト例

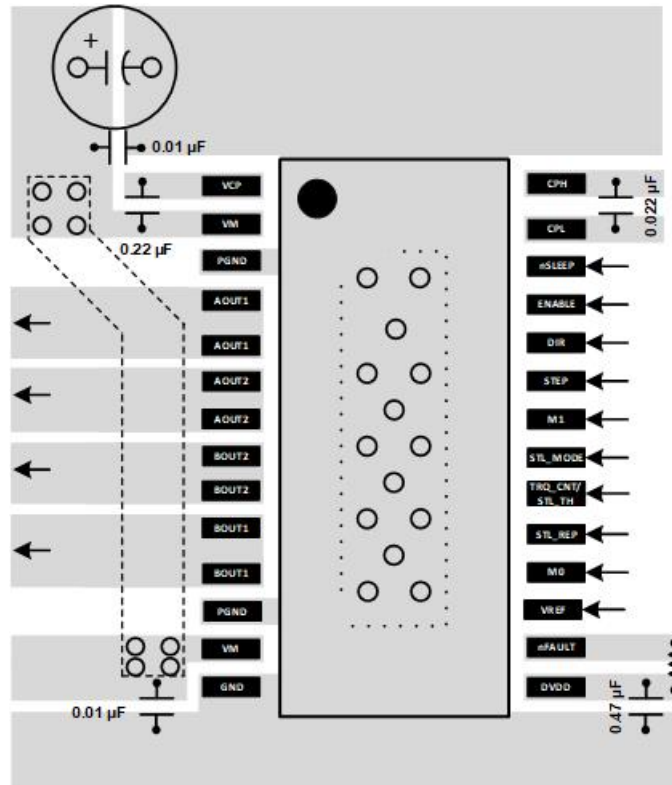


図 10-1. HTSSOP のレイアウト例

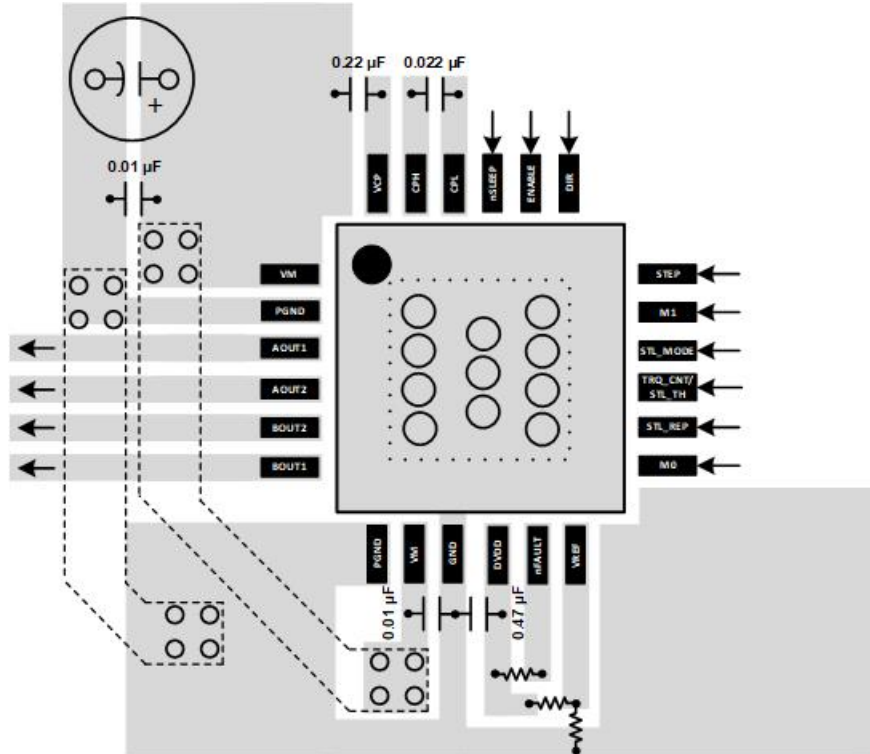


図 10-2. QFN のレイアウト例

11 デバイスおよびドキュメントのサポート

11.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

11.2 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

11.3 商標

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

11.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい ESD 対策をとらないと、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.5 用語集

TI 用語集 この用語集には、用語や略語の一覧および定義が記載されています。

12 メカニカル、パッケージ、および注文情報

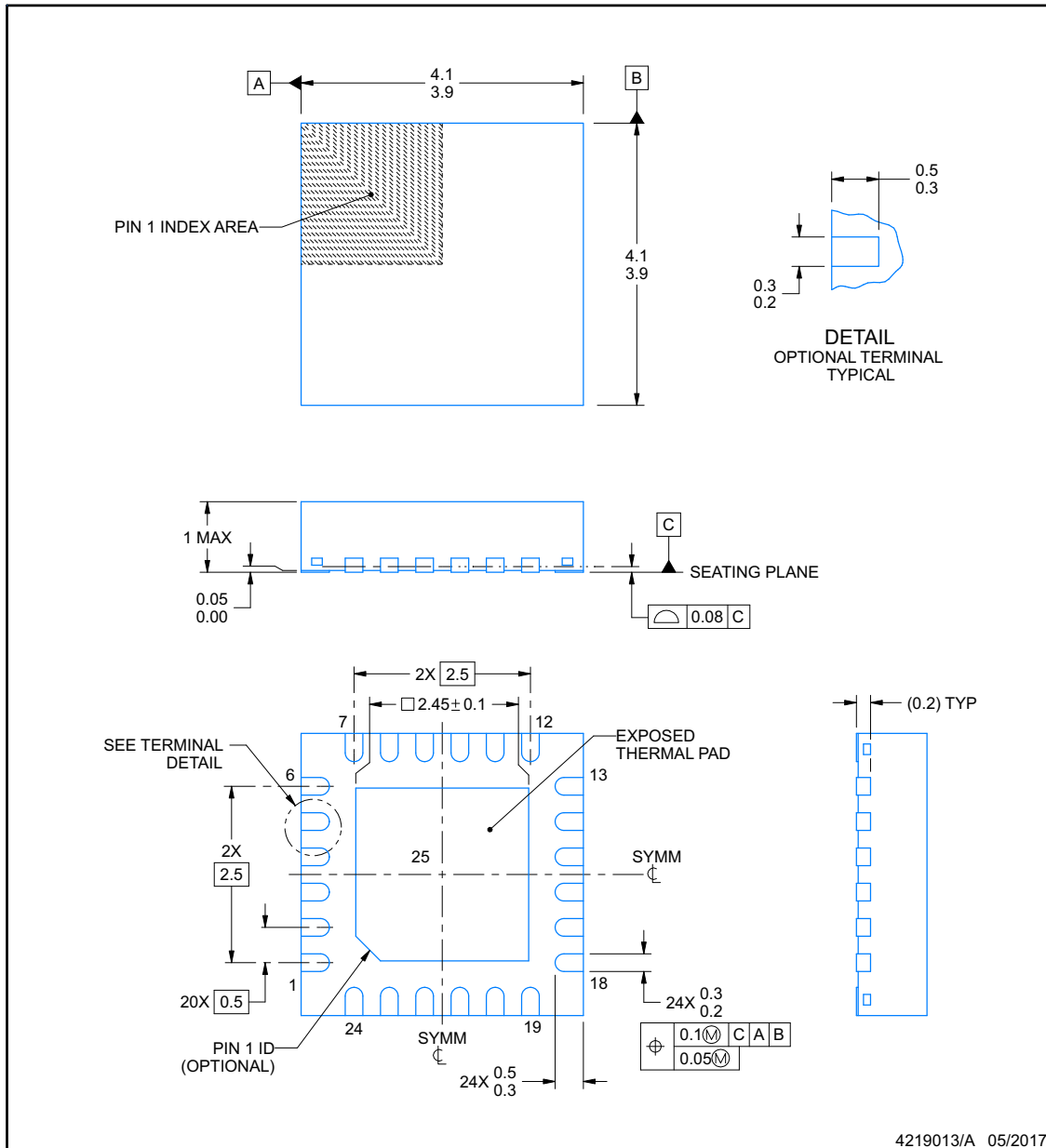
以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。



RGE0024B

PACKAGE OUTLINE
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4219013/A 05/2017

NOTES:

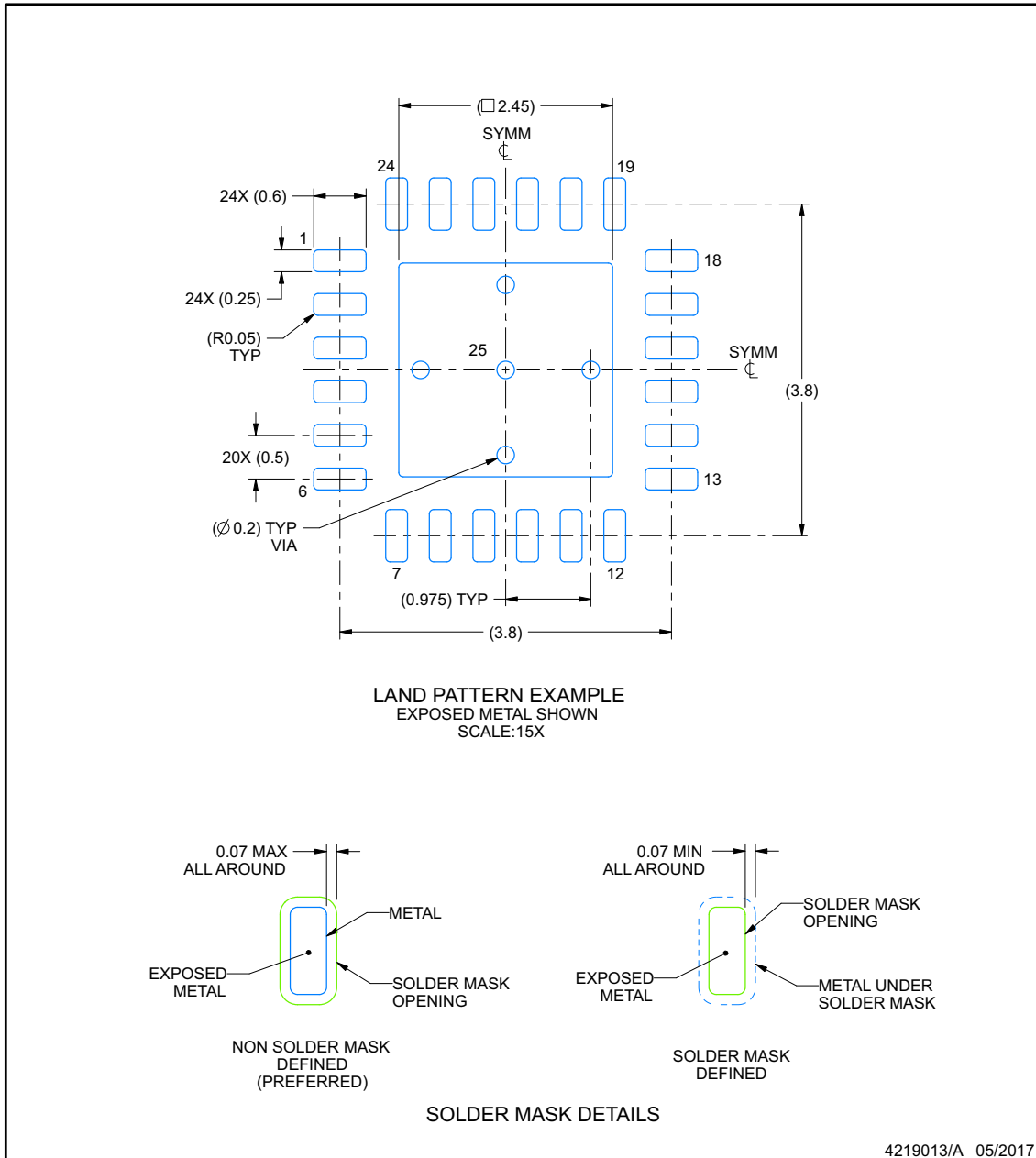
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RGE0024B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

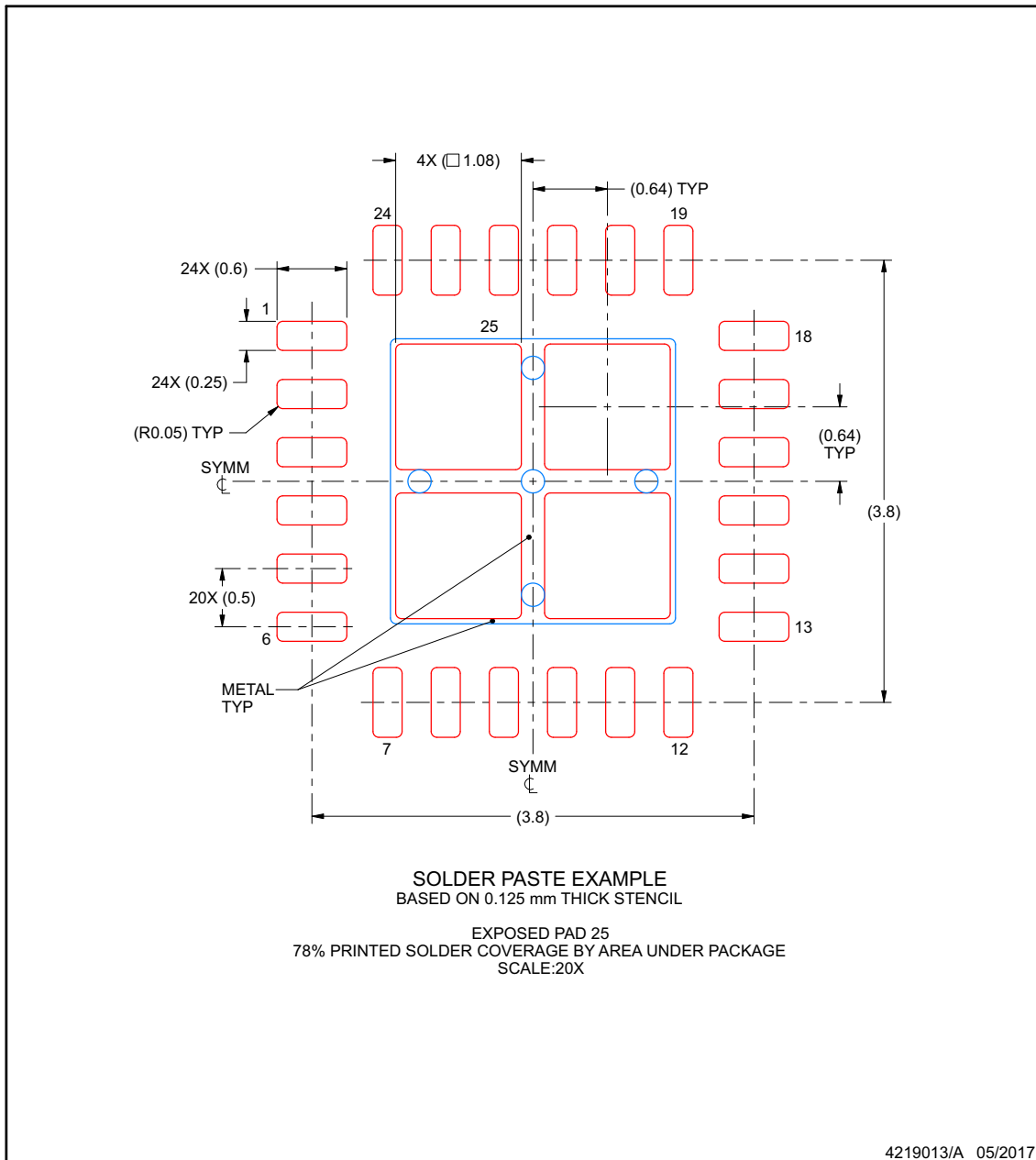
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGE0024B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

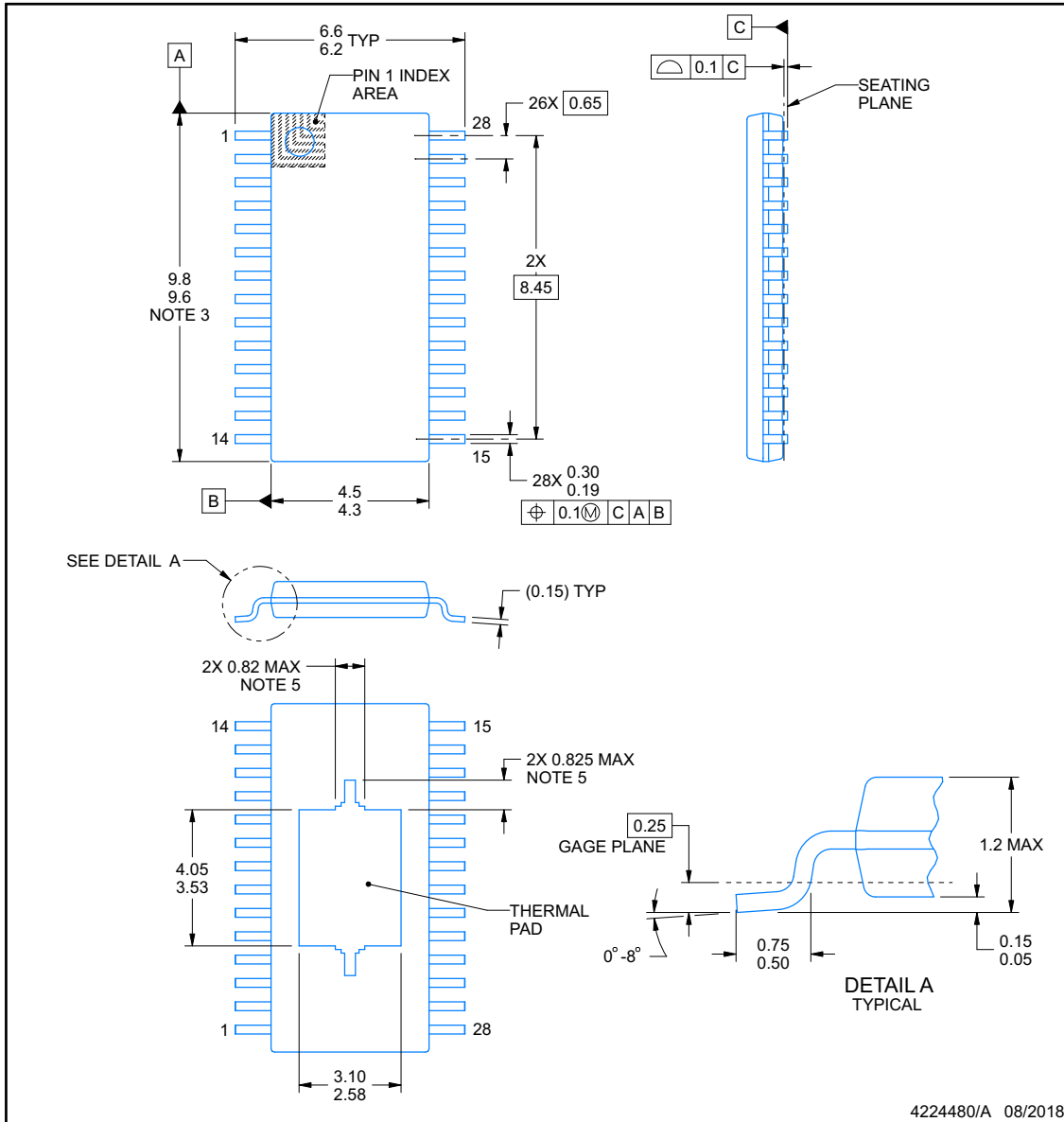


PACKAGE OUTLINE

PWP0028M

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4224480/A 08/2018

NOTES:

PowerPAD is a trademark of Texas Instruments.

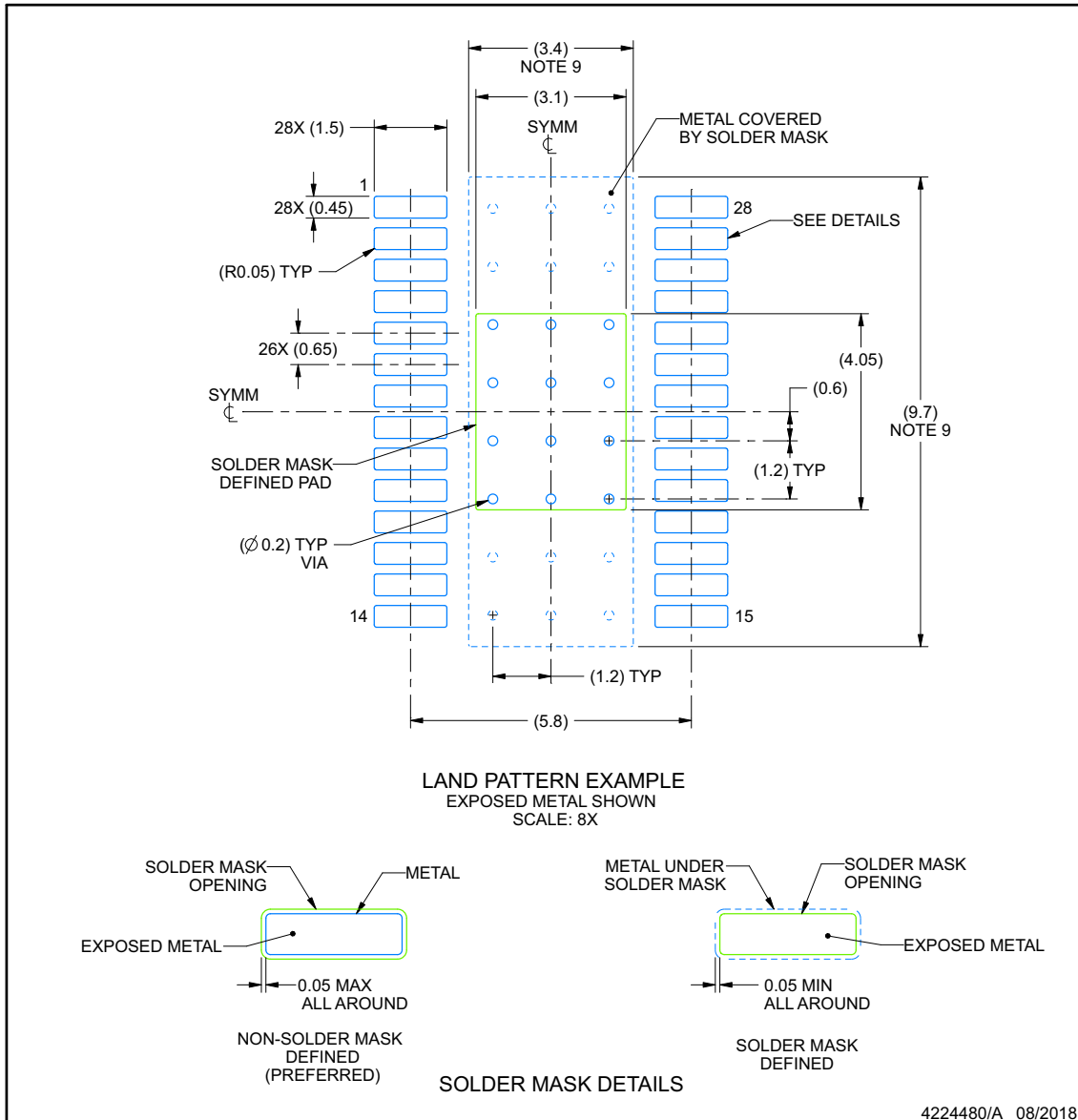
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

PWP0028M

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

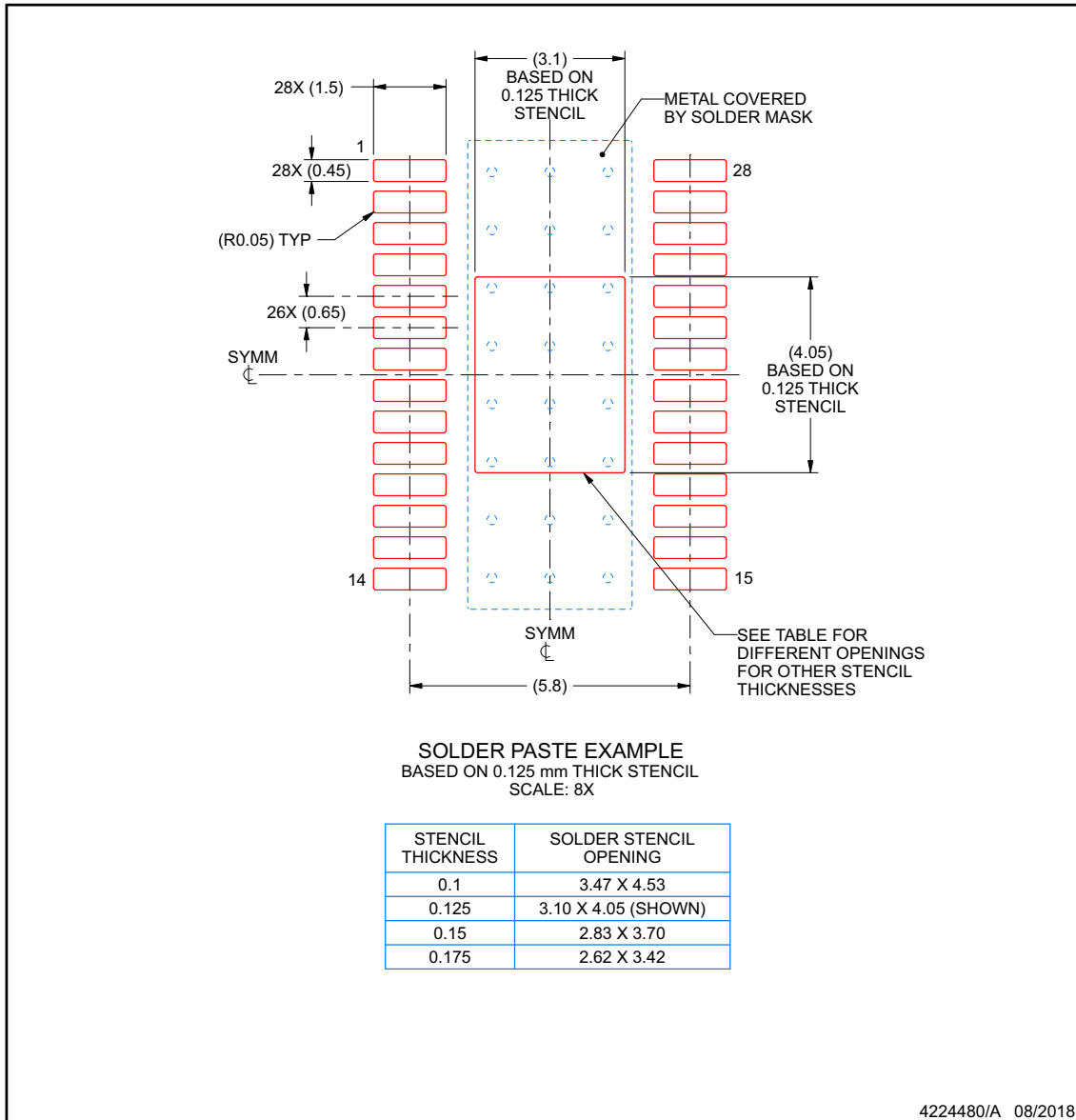
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

PWP0028M

PowerPAD™ TSSOP - 1.2 mm max height


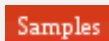
SMALL OUTLINE PACKAGE



NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
DRV8434APWPR	ACTIVE	HTSSOP	PWP	28	2500	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8434A	
DRV8434ARGER	ACTIVE	VQFN	RGE	24	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8434A	

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

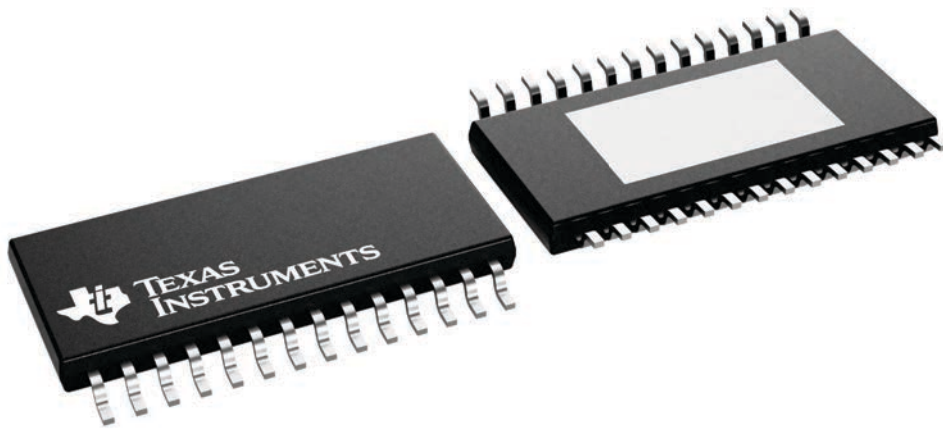
PWP 28

PowerPAD™ TSSOP - 1.2 mm max height

4.4 x 9.7, 0.65 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224765/B

RGE 24

GENERIC PACKAGE VIEW

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4204104/H



4219013/A 05/2017

NOTES:

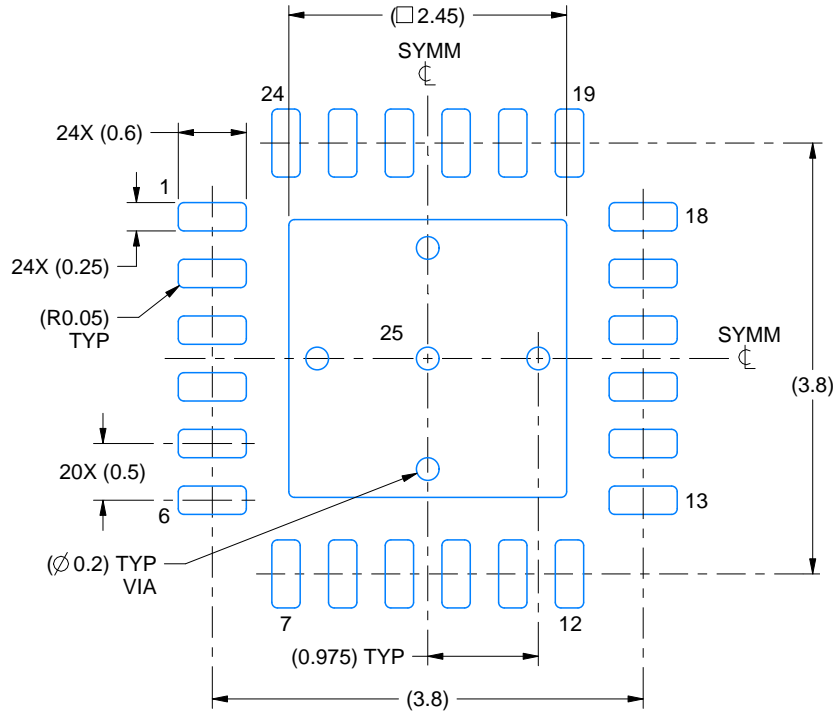
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RGE0024B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4219013/A 05/2017

NOTES: (continued)

- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGE0024B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 25
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4219013/A 05/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションが適用される各種規格や、その他のあらゆる安全性、セキュリティ、またはその他の要件を満たしていることを確実にする責任を、お客様のみが単独で負うものとします。上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売約款 (<https://www.tij.co.jp/ja-jp/legal/terms-of-sale.html>)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

日本語版 日本テキサス・インスツルメンツ合同会社
Copyright © 2021, Texas Instruments Incorporated