

DS25BR100,DS25BR101

*DS25BR100 / DS25BR101 3.125 Gbps LVDS Buffer with Transmit Pre-Emphasis
and Receive Equalization*



Literature Number: JAJSAI5

送信プリエンファシス / 受信イコライジング内蔵 3.125Gbps LVDS バッファ

概要

DS25BR100/DS25BR101 は、高損失の FR-4 プリント基板のバックプレーンや平衡差動ケーブルによる高速での信号伝送に最適な 1 チャネル 3.125Gbps の LVDS バッファです。完全な差動信号経路は非常に優れた信号品質と高いノイズ耐性を発揮します。

DS25BR100/DS25BR101 は送信プリエンファシス(PE)機能と受信イコライジング(EQ)機能を備えており、リピータとして理想的なデバイスです。同様の IO 特性を備えた LVDS には、この他にも次のような製品があります。DS25BR120 は、ドライバを最適化するために4レベルのプリエンファシス機能を備えたデバイスで、DS25BR110 は、レシーバを最適化するために4レベルのイコライジング機能を備えたデバイスです。また、DS25BR150 は消費電力が最も小さいバッファ/リピータで、送信プリエンファシスや受信イコライジングの機能は備えていません。

入力コモンモードの範囲が広いため、レシーバとして LVDS、CML、LVPECL レベルの信号を受信できます。出力レベルは LVDS 規格に準拠しています。パッケージが非常に小型のため基板上の実装面積が非常に小さく、ピン配列はフロースルー設計で、基板のレイアウトが容易です。DS25BR100 では、差動入力ピンと差動出力ピンがそれぞれ内部で 100Ω の抵抗により終端してあるため、リターン・ロスが小さく、部品数が少なく、基板の所要面積がさらに小さくなります。DS25BR101 では、設計上の柔軟性を高めるために 100Ω の入力終端が省かれています。このため設計者は、独自のインターコネクト・トポロジやレイアウトに合わせて終端を調整できます。

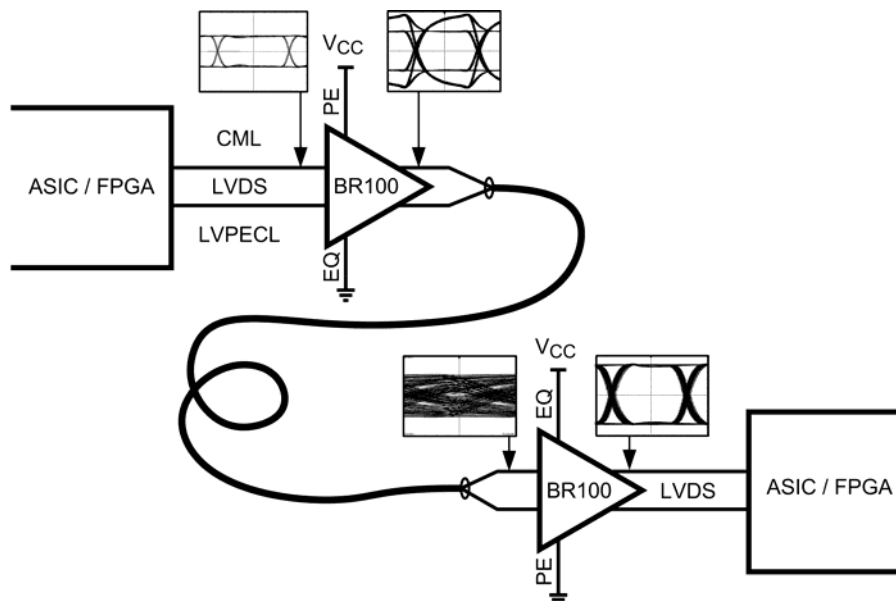
特長

- DC~3.125Gbpsまで、低ジッタ、高ノイズ耐性、低消費電力
- 受信イコライジング機能により、伝送路の損失により発生する ISI ジッタを低減
- 送信プリエンファシスが、高損失のバックプレーンやケーブルをドライブ
- 入力と出力は内蔵の 100Ω の抵抗により終端してあるため、挿入損失や帰還損失の最小化と、部品数と基板上の専有面積の低減を実現。DS25BR101 では、内蔵の入力終端を省くことにより設計上の柔軟性が向上
- LVDS I/O ピンの ESD 耐圧は 7kV で、隣接する部品を保護
- 占有面積 3mm × 3mm の LLP-8 の省スペース・パッケージ

アプリケーション

- クロックとデータのバッファリング
- 差動ケーブルのドライブとイコライジング
- FR-4 プリント基板配線のイコライジング

代表的なアプリケーション



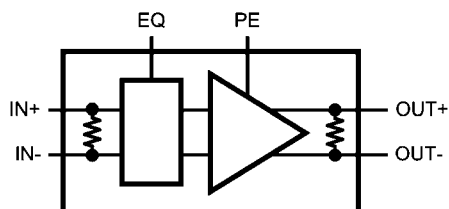
デバイス情報

Device	Function	Termination Option	Available Signal Conditioning
DS25BR100	Buffer / Repeater	Internal 100Ω for LVDS inputs	2 Levels: PE and EQ
DS25BR101	Buffer / Repeater	External termination required	2 Levels: PE and EQ
DS25BR110	Receiver	Internal 100Ω for LVDS inputs	4 Levels: EQ
DS25BR120	Driver	Internal 100Ω for LVDS inputs	4 Levels: PE
DS25BR150	Buffer / Repeater	Internal 100Ω for LVDS inputs	None

製品情報

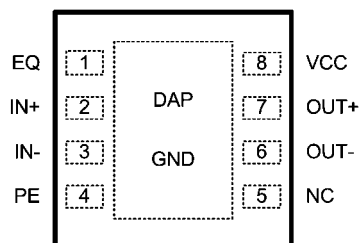
NSID	Package	Tape & Reel QTY	Package Number
DS25BR100TSD	8 Lead LLP Package	1000	SDA08A
DS25BR100TSDX	8 Lead LLP Package	4500	SDA08A
DS25BR101TSD	8 Lead LLP Package	1000	SDA08A
DS25BR101TSDX	8 Lead LLP Package	4500	SDA08A

ブロック図



Note: DS25BR101 では、100Ω の入力終端が省かれています。

ピン配置図



ピン説明

ピン名	ピン番号	種類	機能
EQ	1	入力	イコライザ選択ピン
IN +	2	入力	正の LVDS 入力ピン
IN -	3	入力	負の LVDS 入力ピン
PE	4	入力	プリエンファシス選択ピン
NC	5	なし	未使用ピン
OUT -	6	出力	負の LVDS 出力ピン
OUT +	7	出力	正の LVDS 出力ピン
VCC	8	電源	電源ピン
GND	DAP	電源	グラウンド用パッド (DAP: ダイ・アタッチ・パッド)

制御ピン (PE および EQ) の真理値表

EQ	PE	Equalization Level	Pre-emphasis Level
0	0	Low (Approx. 4 dB at 1.56 GHz)	Off
0	1	Low (Approx. 4 dB at 1.56 GHz)	Medium (Approx. 6 dB at 1.56 GHz)
1	0	Medium (Approx. 8 dB at 1.56 GHz)	Off
1	1	Medium (Approx. 8 dB at 1.56 GHz)	Medium (Approx. 6 dB at 1.56 GHz)

絶対最大定格 (Note 4)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電氣的信頼性試験方法の規格を参照ください。

電源電圧 (V_{CC})	- 0.3V ~ + 4V
LVC MOS 入力電圧 (EQ、PE)	- 0.3V ~ ($V_{CC} + 0.3V$)
LVDS 入力電圧 (IN +、IN -)	- 0.3V ~ + 4V
LVDS 差動入力電圧 (DS25BR100)	0V ~ 1V
LVDS 差動入力電圧 (DS25BR101)	$V_{CC} + 0.6V$
LVDS 出力電圧 (OUT +、OUT -)	- 0.3V ~ ($V_{CC} + 0.3V$)
LVDS 差動出力電圧 ((OUT +) - (OUT -))	0V ~ 1V
LVDS 出力短絡電流 継続許容時間	5ms
接合部温度	+ 150 °C
保存温度範囲	- 65 °C ~ + 150 °C
許容リード温度ハンダ付け (4 秒)	+ 260 °C
最大パッケージ消費電力 (25 °C)	
SDA パッケージ	2.08W
SDA パッケージの ディレーティング	16.7mW/°C (+ 25 °Cを超えた場合)

パッケージ熱抵抗

θ_{JA}	+ 60.0 °C /W
θ_{JC}	+ 12.3 °C /W

ESD 耐圧

人体モデル (Note 1)	$\geq 7kV$
マシン・モデル (Note 2)	$\geq 250V$
CDM (Note 3)	$\geq 1,250V$

Note 1: 人体モデル、適用規格 JESD22-A114C**Note 2:** マシン・モデル、適用規格 JESD22-A115-A**Note 3:** 電場誘起帯電試験モデル、適用規格 JESD22-C101-C**推奨動作条件**

	最小値	代表値	最大値	単位
電源電圧 (V_{CC})	3.0	3.3	3.6	V
レシーバ差動入力電圧 (V_{ID}) (DS25BR100 のみ)			1.0	V
動作温度範囲 (T_A)	- 40	+ 25	+ 85	°C

DC 電氣的特性

特記のない限り、推奨動作条件での電源電圧と温度範囲での値です (Note 5、6、7)。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
LVC MOS INPUT DC SPECIFICATIONS (EQ, PE)						
V_{IH}	High Level Input Voltage		2.0		V_{CC}	V
V_{IL}	Low Level Input Voltage		GND		0.8	V
I_{IH}	High Level Input Current	$V_{IN} = 3.6V$ $V_{CC} = 3.6V$		0	± 10	μA
I_{IL}	Low Level Input Current	$V_{IN} = GND$ $V_{CC} = 3.6V$		0	± 10	μA
V_{CL}	Input Clamp Voltage	$I_{CL} = -18 mA, V_{CC} = 0V$		-0.9	-1.5	V
LVDS OUTPUT DC SPECIFICATIONS (OUT+, OUT-)						
V_{OD}	Differential Output Voltage		250	350	450	mV
ΔV_{OD}	Change in Magnitude of V_{OD} for Complimentary Output States	$R_L = 100\Omega$	-35		35	mV
V_{OS}	Offset Voltage		1.05	1.2	1.375	V
ΔV_{OS}	Change in Magnitude of V_{OS} for Complimentary Output States	$R_L = 100\Omega$	-35		35	mV
I_{OS}	Output Short Circuit Current (Note 10)	OUT to GND, PE = 0		-35	-55	mA
		OUT to V_{CC} , PE = 0		7	55	mA
C_{OUT}	Output Capacitance	Any LVDS Output Pin to GND		1.2		pF
R_{OUT}	Output Termination Resistor	Between OUT+ and OUT-		100		Ω

DC 電気的特性 (つづき)

特記のない限り、推奨動作条件での電源電圧と温度範囲での値です (Note 5、6、7)。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
LVDS INPUT DC SPECIFICATIONS (IN+, IN-)						
V_{ID}	Input Differential Voltage (Note 8)	$V_{CM} = +0.05V$ or $V_{CC} - 0.05V$	0		1	V
V_{TH}	Differential Input High Threshold			0	+100	mV
V_{TL}	Differential Input Low Threshold		-100	0		mV
V_{CMR}	Common Mode Voltage Range	$V_{ID} = 100$ mV	0.05		$V_{CC} - 0.05$	V
I_{IN}	Input Current	$V_{IN} = GND$ or $3.6V$ $V_{CC} = 3.6V$ or $0.0V$		± 1	± 10	μA
C_{IN}	Input Capacitance	Any LVDS Input Pin to GND		1.7		pF
R_{IN}	Input Termination Resistor (Note 9)	Between IN+ and IN-		100		Ω
SUPPLY CURRENT						
I_{CC}	Supply Current	EQ = 0, PE = 0		35	43	mA

Note 4: 絶対最大定格は、ICに破壊が発生したり、使用不能になったり、信頼性や性能が低下する可能性のあるリミット値を示します。これは、絶対最大定格において、または推奨動作条件に示されている動作条件を越える条件でこのデバイスが有効に機能することや品質が劣化しないことは意味していません。推奨動作条件とは、このデバイスが有効に機能する条件を示しており、これを超えた条件ではこのデバイスを使用しないように注意してください。

Note 5: 電気的特性の表は、推奨動作条件で使用した場合に保証される特性を示しています。ただし、電気的特性や注記で特に変更または指定してある場合はその限りではありません。代表値は推定値であり、この値を保証しているものではありません。

Note 6: デバイスのピンに流れ込む電流を正と定義しています。デバイスのピンから流れ出す電流を負と定義しています。 V_{OD} 、 ΔV_{OD} 以外の電圧はすべてグラウンドを基準としています。

Note 7: 代表値は、 $V_{CC} = +3.3V$ 、 $T_A = +25^\circ C$ で、製品の特性を評価した時点における推奨動作条件下での最も可能性のあるパラメータの基準値を表しており、保証値ではありません。

Note 8: 入力差動電圧 (V_{ID}): DS25BR100 では、入力振幅が 1V に制限されています。DS25BR101 では、電源電圧から GND までの範囲内のあらゆる V_{ID} がサポートされています。

Note 9: 入力終端抵抗 (R_{IN}): DS25BR100 では、内蔵の 100 Ω 入力終端によって高速の LVDS ペアに対応しています。DS25BR101 では、この内蔵終端が省かれています。

Note 10: 出力短絡電流 (I_{OS}) は大きさのみを表し、マイナス符号は電流の流れる方向のみを表しています。

AC 電気的特性 (Note 13)

特記のない限り、推奨動作条件での電源電圧と温度範囲での値です (Note 11、12)。

Symbol	Parameter	Conditions	Min	Typ	Max	Units	
LVDS OUTPUT AC SPECIFICATIONS (OUT+, OUT-)							
t_{PHLD}	Differential Propagation Delay High to Low	$R_L = 100\Omega$		350	465	ps	
t_{PLHD}	Differential Propagation Delay Low to High			350	465	ps	
t_{SKD1}	Pulse Skew $ t_{PLHD} - t_{PHLD} $ (Note 14)			45	100	ps	
t_{SKD2}	Part to Part Skew (Note 15)			45	150	ps	
t_{LHT}	Rise Time	$R_L = 100\Omega$		80	150	ps	
t_{HLT}	Fall Time			80	150	ps	
JITTER PERFORMANCE WITH PE = OFF AND EQ = LOW (Figures 6, 7)							
t_{RJ1A}	Random Jitter (RMS Value) Input Test Channel D (Note 16)	$V_{ID} = 350\text{ mV}$ $V_{CM} = 1.2\text{V}$ Clock (RZ) PE = 0, EQ = 0	2.5 Gbps		0.5	1	ps
t_{RJ2A}		3.125 Gbps		0.5	1	ps	
t_{DJ1A}	Deterministic Jitter (Peak to Peak) Input Test Channel D (Note 17)	$V_{ID} = 350\text{ mV}$ $V_{CM} = 1.2\text{V}$ K28.5 (NRZ) PE = 0, EQ = 0	2.5 Gbps		1	16	ps
t_{DJ2A}		3.125 Gbps		11	31	ps	
t_{TJ1A}	Total Jitter (Peak to Peak) Input Test Channel D (Note 18)	$V_{ID} = 350\text{ mV}$ $V_{CM} = 1.2\text{V}$ PRBS-23 (NRZ) PE = 0, EQ = 0	2.5 Gbps		0.03	0.09	UI _{P-P}
t_{TJ2A}		3.125 Gbps		0.06	0.14	UI _{P-P}	
JITTER PERFORMANCE WITH PE = OFF AND EQ = MEDIUM (Figures 6, 7)							
t_{RJ1B}	Random Jitter (RMS Value) Input Test Channel E (Note 16)	$V_{ID} = 350\text{ mV}$ $V_{CM} = 1.2\text{V}$ Clock (RZ) PE = 0, EQ = 1	2.5 Gbps		0.5	1	ps
t_{RJ2B}		3.125 Gbps		0.5	1	ps	
t_{DJ1B}	Deterministic Jitter (Peak to Peak) Input Test Channel E (Note 17)	$V_{ID} = 350\text{ mV}$ $V_{CM} = 1.2\text{V}$ K28.5 (NRZ) PE = 0, EQ = 1	2.5 Gbps		10	29	ps
t_{DJ2B}		3.125 Gbps		27	43	ps	
t_{TJ1B}	Total Jitter (Peak to Peak) Input Test Channel E (Note 18)	$V_{ID} = 350\text{ mV}$ $V_{CM} = 1.2\text{V}$ PRBS-23 (NRZ) PE = 0, EQ = 1	2.5 Gbps		0.07	0.12	UI _{P-P}
t_{TJ2B}		3.125 Gbps		0.12	0.17	UI _{P-P}	
JITTER PERFORMANCE WITH PE = MEDIUM AND EQ = LOW (Figures 5, 7)							
t_{RJ1C}	Random Jitter (RMS Value) Input Test Channel D Output Test Channel B (Note 16)	$V_{ID} = 350\text{ mV}$ $V_{CM} = 1.2\text{V}$ Clock (RZ) PE = 1, EQ = 0	2.5 Gbps		0.5	1	ps
t_{RJ2C}		3.125 Gbps		0.5	1	ps	
t_{DJ1C}	Deterministic Jitter (Peak to Peak) Input Test Channel D Output Test Channel B (Note 17)	$V_{ID} = 350\text{ mV}$ $V_{CM} = 1.2\text{V}$ K28.5 (NRZ) PE = 1, EQ = 0	2.5 Gbps		29	57	ps
t_{DJ2C}		3.125 Gbps		29	51	ps	
t_{TJ1C}	Total Jitter (Peak to Peak) Input Test Channel D Output Test Channel B (Note 18)	$V_{ID} = 350\text{ mV}$ $V_{CM} = 1.2\text{V}$ PRBS-23 (NRZ) PE = 1, EQ = 0	2.5 Gbps		0.10	0.19	UI _{P-P}
t_{TJ2C}		3.125 Gbps		0.13	0.22	UI _{P-P}	

AC 電気的特性 (Note 13) (つづき)

特記のない限り、推奨動作条件での電源電圧と温度範囲での値です (Note 11、12)。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
JITTER PERFORMANCE WITH PE = MEDIUM AND EQ = MEDIUM (Figures 5, 7)						
t_{RJ1D}	Random Jitter (RMS Value)	$V_{ID} = 350 \text{ mV}$	2.5 Gbps	0.5	1.1	ps
t_{RJ2D}	Input Test Channel E Output Test Channel B (Note 16)	$V_{CM} = 1.2\text{V}$ Clock (RZ) PE = 1, EQ = 1	3.125 Gbps	0.5	1	ps
t_{DJ1D}	Deterministic Jitter (Peak to Peak)	$V_{ID} = 350 \text{ mV}$	2.5 Gbps	41	77	ps
t_{DJ2D}	Input Test Channel E Output Test Channel B (Note 17)	$V_{CM} = 1.2\text{V}$ K28.5 (NRZ) PE = 1, EQ = 1	3.125 Gbps	46	98	ps
t_{TJ1D}	Total Jitter (Peak to Peak)	$V_{ID} = 350 \text{ mV}$	2.5 Gbps	0.13	0.20	UI _{P,P}
t_{TJ2D}	Input Test Channel E Output Test Channel B (Note 18)	$V_{CM} = 1.2\text{V}$ PRBS-23 (NRZ) PE = 1, EQ = 1	3.125 Gbps	0.19	0.30	UI _{P,P}

Note 11: 電気的特性の表は、推奨動作条件で使用した場合に保証される特性を示しています。ただし、電気的特性や注記で特に変更または指定してある場合はその限りではありません。代表値は推定値であり、この値を保証しているものではありません。

Note 12: 代表値は、 $V_{CC} = +3.3\text{V}$ 、 $T_A = +25^\circ\text{C}$ で、製品の特性を評価した時点における推奨動作条件下での最も可能性のあるパラメータの基準値を表しており、保証値ではありません。

Note 13: 仕様値は特性の評価により保証されている値で、量産時における試験は行っていません。

Note 14: t_{SKD1} 、 $|t_{PLHD} - t_{PHLD}|$ は、同チャネルの立ち上がりエッジと立ち下がりエッジとの間の伝搬遅延時間の差の大きさを表しています。

Note 15: デバイス間スキュー t_{SKD2} は、規定されている差動伝搬遅延時間の最小値と最大値の差として定義されています。本仕様は、双方のデバイスに同じ V_{CC} が供給されていて、動作温度範囲内で温度差が 5°C 以内の場合に適用されます。

Note 16: ヒストグラムを使用してクロック信号のエッジで、1500 回分のヒストグラムの累積で測定。入力信号源に起因するジッタは幾何学的に減算されます。

Note 17: 110000101 (K28.5 + キャラクタ) と 0011111010 (K28.5 - キャラクタ) のパターンを組み合わせて試験。入力信号源に起因するジッタは算術的に減算されます。

Note 18: ヒストグラムを使用してアイパターンで、3500 回分のヒストグラムの累積で測定。入力信号源に起因するジッタは減算されます。

DC テスト回路

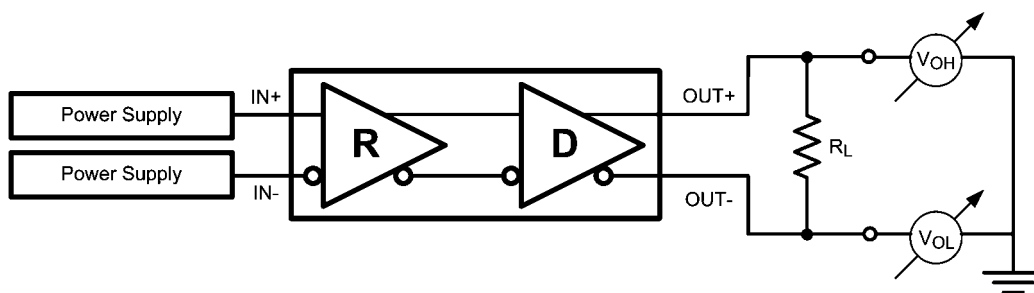


FIGURE 1. Differential Driver DC Test Circuit

AC テスト回路およびタイミング図

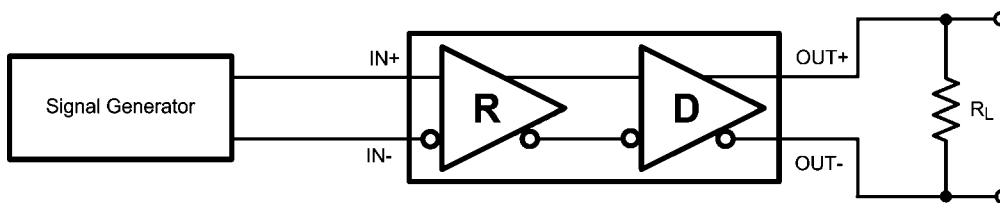


FIGURE 2. Differential Driver AC Test Circuit

Note: DS25BR101 では、外付けの 100Ω 入力終端が必要です。

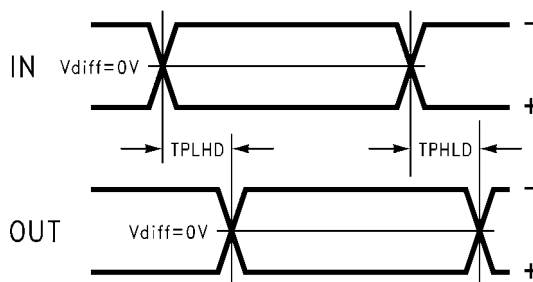


FIGURE 3. Propagation Delay Timing Diagram

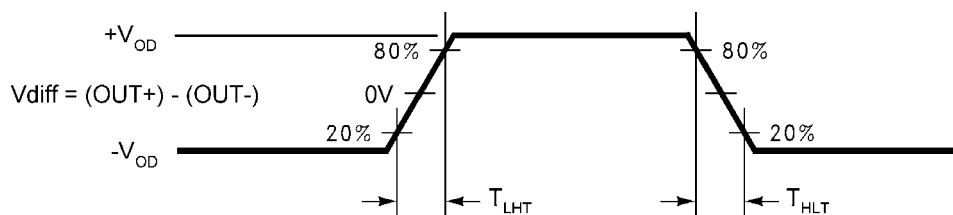


FIGURE 4. LVDS Output Transition Times

プリエンファシス機能およびイコライジング機能の試験回路

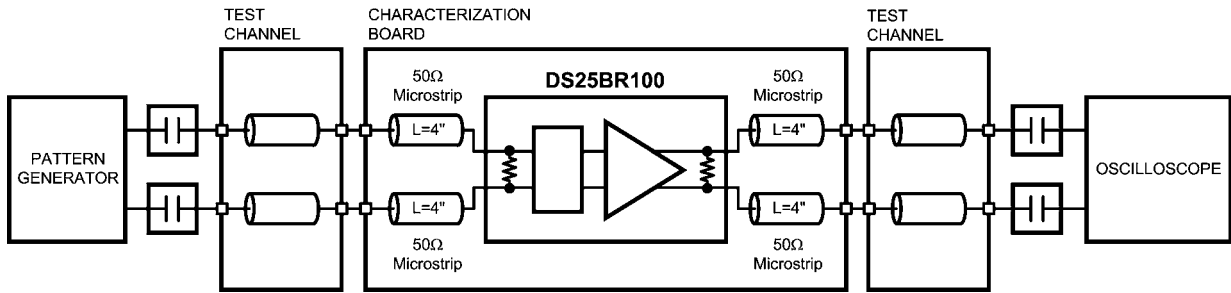


FIGURE 5. Pre-emphasis and Equalization Performance Test Circuit

Note: DS25BR101 では、外付けの 100Ω 入力終端が必要です。

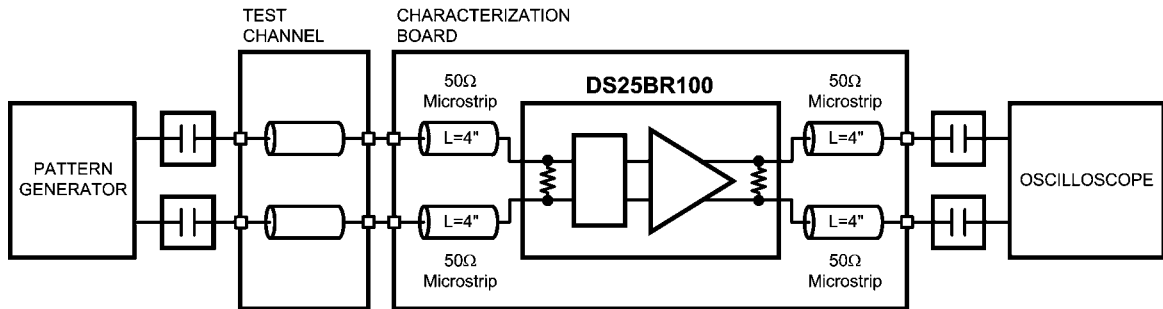


FIGURE 6. Equalization Performance Test Circuit

Note: DS25BR101 では、外付けの 100Ω 入力終端が必要です。

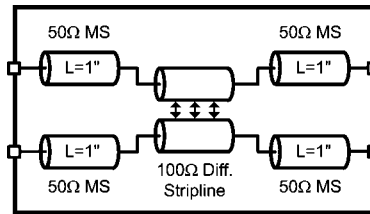


FIGURE 7. Test Channel Description

試験チャンネルの損失特性

試験チャンネルは、ポリクラッド PCL-FR-370 ラミネート / PCL-FRP-370 プリプレグ材料 (誘電率 3.7、誘電正接 0.02) を使用して製

造しました。エッジ結合型の差動ストリップラインの形状は次の通りです。トレース幅 (W) = 5 ミル、ギャップ (S) = 5 ミル、高さ (B) = 16 ミル。

Test Channel	Length (inches)	Insertion Loss (dB)					
		500 MHz	750 MHz	1000 MHz	1250 MHz	1500 MHz	1560 MHz
A	10	-1.2	-1.7	-2.0	-2.4	-2.7	-2.8
B	20	-2.6	-3.5	-4.1	-4.8	-5.5	-5.6
C	30	-4.3	-5.7	-7.0	-8.2	-9.4	-9.7
D	15	-1.6	-2.2	-2.7	-3.2	-3.7	-3.8
E	30	-3.4	-4.5	-5.6	-6.6	-7.7	-7.9
F	60	-7.8	-10.3	-12.4	-14.5	-16.6	-17.0

デバイスの動作

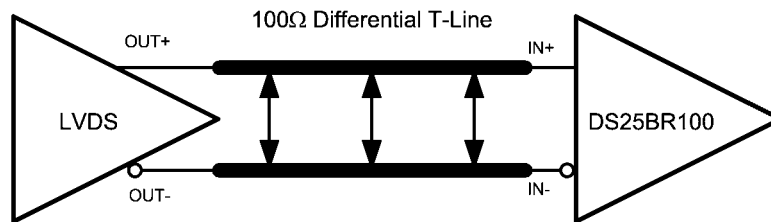
入カインタフェース

DS25BR100/101 は差動入力信号を使用でき、AC 結合または DC 結合が簡単です。DS25BR100/101 は入力コモンモードが広範囲で、あらゆる一般的な差動ドライバ (LVPECL、LVDS、CML) と DC 結合できます。次の 3 つの図は一般的な差動ドライバとの DC 結合の代表例を示しています。

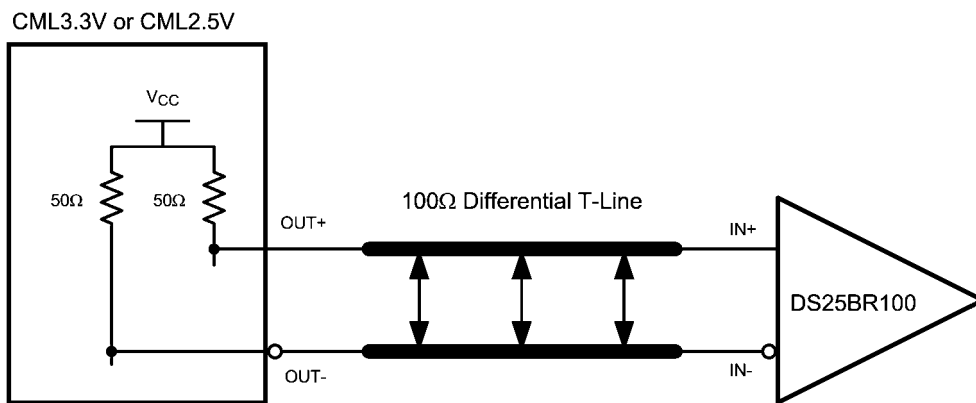
DS25BR100 の入力は 100Ω の抵抗により内部で終端されており、最適なデバイス性能、部品数の削減、基板上の専有面積の縮小を実現しています。DS25BR101 で同等の AC 性能を得るには、外付けの入力終端をデバイス入力の可能な限り近くに配置する必要があります。0402 またはそれ以下のサイズの SMT

抵抗を使用し、DS25BR101 のピンへの実装距離を 200mil 未満にすることを推奨します。

一部のマルチドロップ・トポロジで DS25BR101 を使用する場合は、伝送ライン・スタブをきわめて短くし、信号品質に対する悪影響を最小限に抑える必要があります。差動ライン・インピーダンスに一致する単一の終端抵抗または抵抗ネットワークを使用してください。2 つの DS25BR101 入力ペアをおのおのを単一の差動出力に接続する場合は、それぞれの DS25BR101 デバイスを互いのすぐ反対側に実装することを推奨します。つまり、プリント基板上面に 1 番目のデバイスを実装し、プリント基板底面の、1 番目のデバイスのすぐ下に 2 番目のデバイスを実装します。このようにすると、入力間の距離がプリント基板の厚みと等しくなり理想的です。

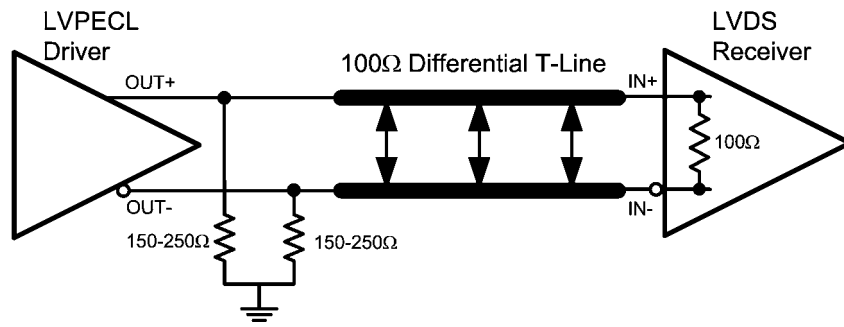


Typical LVDS Driver DC-Coupled Interface to DS25BR100 Input



Typical CML Driver DC-Coupled Interface to DS25BR100 Input

デバイスの動作 (つづき)



Typical LVPECL Driver DC-Coupled Interface to DS25BR100 Input

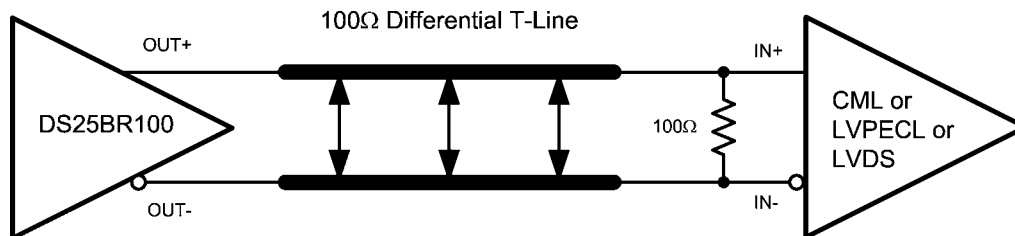
Note: DS25BR101 では、外付けの 100Ω 入力終端が必要です。

デバイスの動作 (つづき)

出力インターフェース

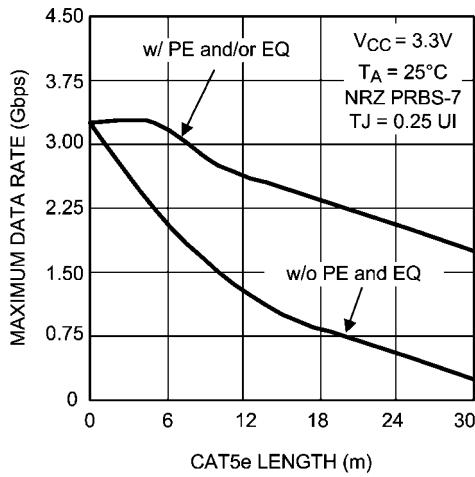
DS25BR100/101 は LVDS 規格に準拠した信号を出力します。このデバイスは一般的なほとんどの差動レシーバに DC 結合できます。次の 3 つの図は、一般的な差動ドライバとの DC 結合

の代表例を示しています。ここではレシーバの入力インピーダンスが大きいと想定しています。ほとんどの差動ドライバの共通モード入力範囲は LVDS 規格に準拠した入力信号に対応できるようになっていますが、推奨のインターフェースを導入する前に、個々のレシーバのデータシートをチェックするようにしてください。

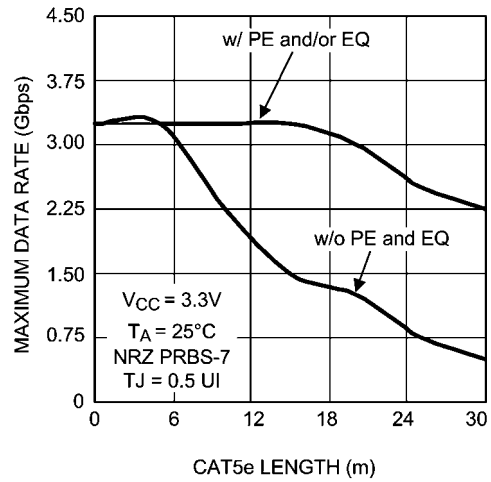


Typical Output DC-Coupled Interface to an LVDS, CML or LVPECL Receiver

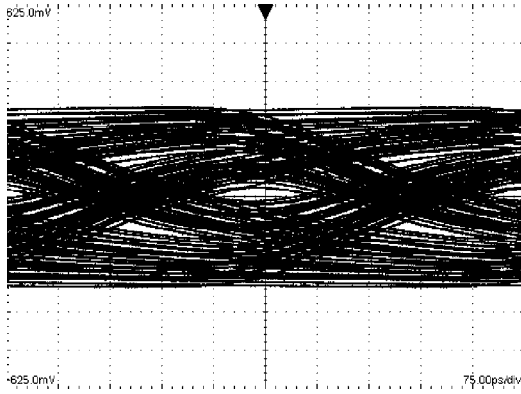
代表的な性能



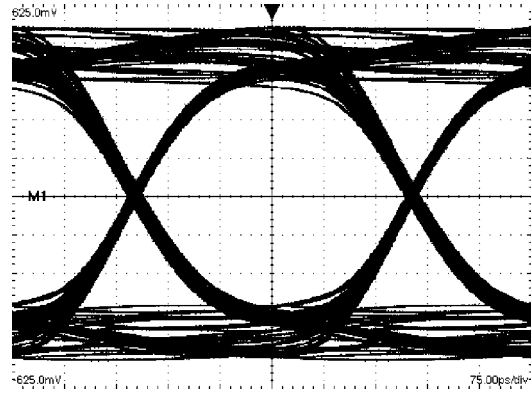
Maximum Data Rate as a Function of CAT5e (Belden 1700A) Length



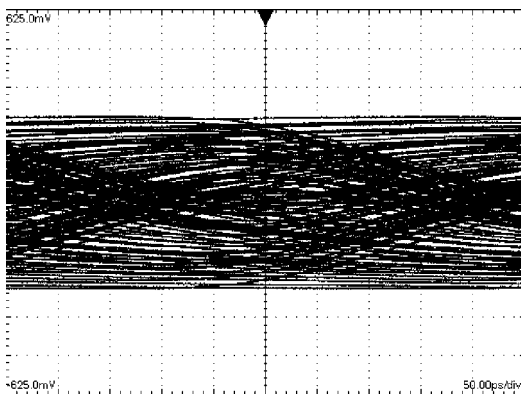
Maximum Data Rate as a Function of CAT5e (Belden 1700A) Length



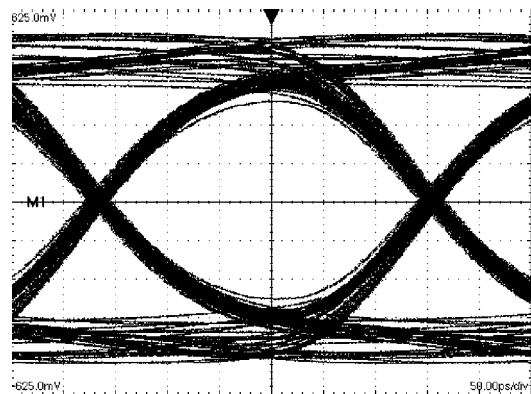
A 2.5 Gbps NRZ PRBS-7 After 60" Differential FR-4 Stripline
V:125 mV / DIV, H:75 ps / DIV



An Equalized (with PE and EQ) 2.5 Gbps NRZ PRBS-7 After The 40" Input and 20" Output Differential Stripline (FIGURE 5)
V:125 mV / DIV, H:75 ps / DIV

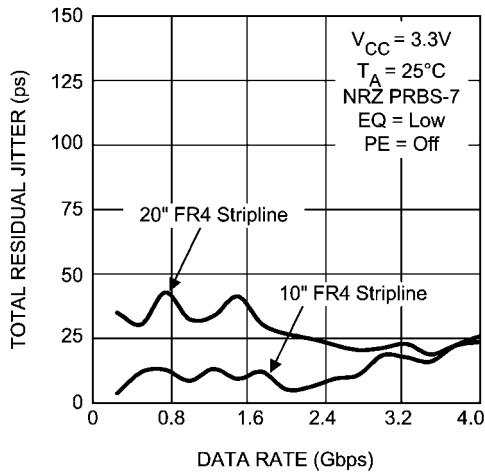


A 3.125 Gbps NRZ PRBS-7 After 60" Differential FR-4 Stripline
V:125 mV / DIV, H:50 ps / DIV

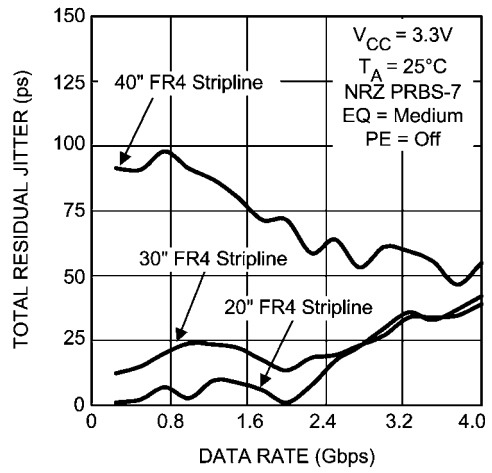


An Equalized (with PE and EQ) 3.125 Gbps NRZ PRBS-7 After The 40" Input and 20" Output Differential Stripline (FIGURE 5)
V:125 mV / DIV, H:50 ps / DIV

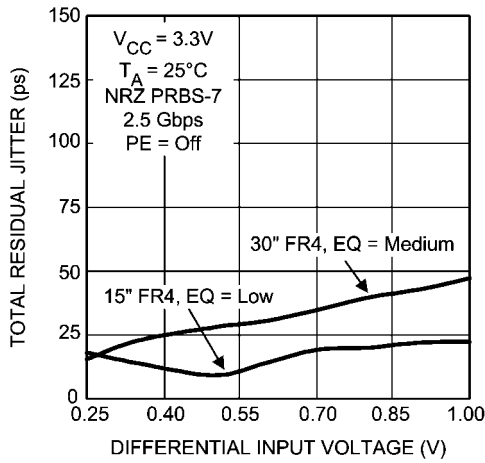
代表的な性能 (つづき)



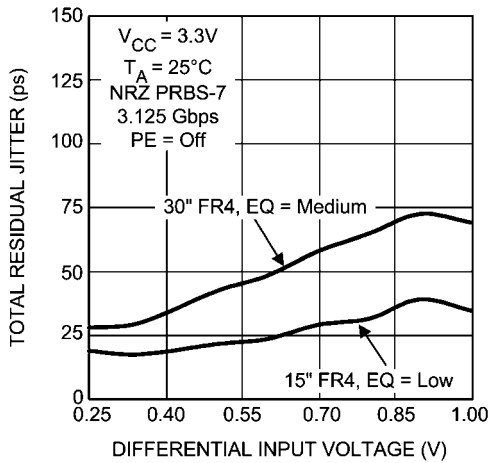
Total Jitter as a Function of Data Rate



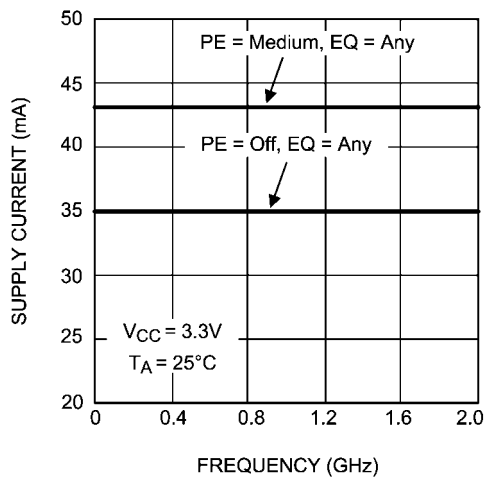
Total Jitter as a Function of Data Rate



Total Jitter as a Function of Input Amplitude

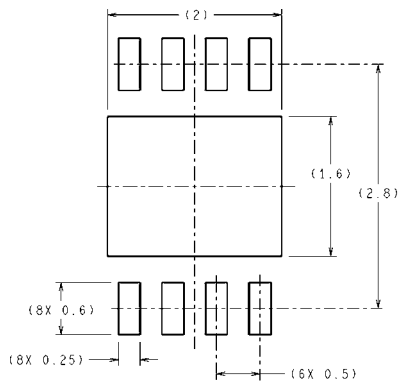


Total Jitter as a Function of Input Amplitude

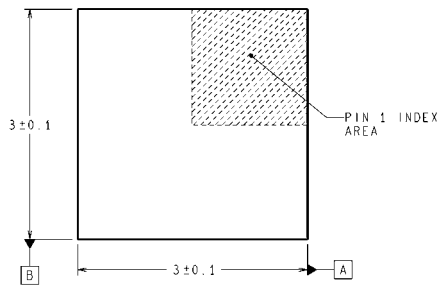


Power Supply Current as a Function of Frequency

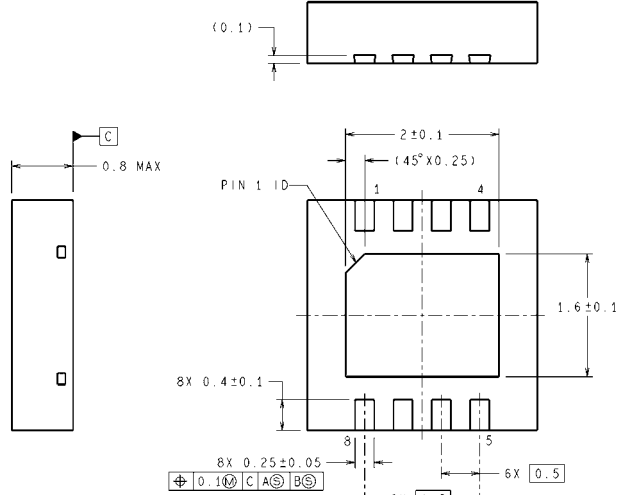
外形寸法図 特記のない限り inches (millimeters)



RECOMMENDED LAND PATTERN



DIMENSIONS ARE IN MILLIMETERS
DIMENSIONS IN () FOR REFERENCE ONLY



SDA08A (Rev A)

Order Number DS25BR100TSD
 Order Number DS25BR101TSD
 NS Package Number SDA08A
 (See AN-1187 for PCB Design and Assembly Recommendations)

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務を負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売か使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2010 National Semiconductor Corporation

製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上