

送信プリエンファシス / 受信イコライジング内蔵 3.125Gbps 4 × 4 LVDS クロスポイント・スイッチ

概要

DS25CP104A と DS25CP114 は、高損失の FR-4 プリント基板のバックプレーンや平衡ケーブルによる高速での信号のルーティングやスイッチングに最適な 3.125Gbps の 4 × 4 LVDS クロスポイント・スイッチです。完全な差動信号経路は非常に優れた信号品質と高いノイズ耐性を発揮します。ノン・ブロッキング・アーキテクチャ方式により、任意の入力から任意の出力 (単出力または複数の出力) パスへの接続が可能です。スイッチ構成は、外部ピンまたはシステム・マネジメント・バス (SMBus) インタフェースを介して実行できます。

DS25CP104A と DS25CP114 では、SMBus インタフェースを介して 4 段階 (オフ、低、中、高) の送信プリエンファシス (PE) と 4 段階 (オフ、低、中、高) の受信イコライジング (EQ) を設定できます。オフと中の PE 量やオフと低の EQ 量は、外部ピンでも設定可能です。また、SMBus 回路は、入力端の開放状態 (受信側入力端でケーブルが外れた場合など) の発生をシステムに通知する信号損失 (LOS) モニタをイネーブルにできます。

入力コモンモードの範囲が広いいため、スイッチとして LVDS、CML、LVPECL レベルの信号を受信できます。出力レベルは LVDS 規格に準拠しています。パッケージが非常に小型のため基板上の実装面積が非常に小さく、ピン配列はフロースルー設計で、基板のレイアウトが容易です。DS25CP104A では、差動入力ピンと差動出力ピンがそれぞれ内部で 100 Ω の抵抗により終端してあるため、帰還損失が小さく、部品数が少なく、基板の所要面積がさらに小さくなります。DS25CP114 では、設計上の柔軟性を高めるために 100 Ω の入力終端が省かれています。このため設計者は、特別なマルチドロップ・シグナリング・トポロジが必要な独自のクロスポイント構成や分配回路を開発できます。

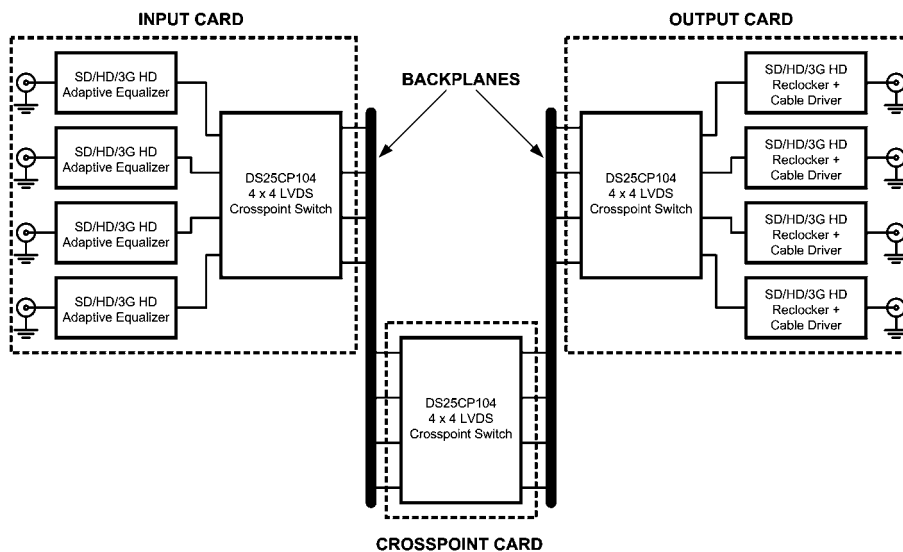
特長

- DC ~ 3.125Gbps まで、低ジッタ、低スキュー、低消費電力
- ピンと SMBus で設定可能、完全差動回路、ノン・ブロッキング・アーキテクチャ方式
- ピン (2 段階) と SMBus (4 段階) で選択可能なプリエンファシスやイコライジングにより ISI ジッタを除去
- 入力コモンモードの範囲が広いいため、CML と LVPECL ドライバのインタフェースが容易
- LOS 回路が入力端の開放障害状態を検出
- 入力と出力は内蔵の 100 Ω の抵抗により終端しているため、挿入損失や帰還損失の最小化と、部品数と基板上の専有面積の低減を実現。DS25CP114 では、内蔵の入力終端を省くことにより設計上の柔軟性が向上
- LVDS I/O ピンの ESD 耐圧は 8kV で、隣接する部品を保護
- 占有面積 6mm × 6mm の LLP-40 省スペース・パッケージ

アプリケーション

- SD/HD/3G HD SDI ルータ
- OC-48/STM-16
- InfiniBand と FireWire

代表的なアプリケーション



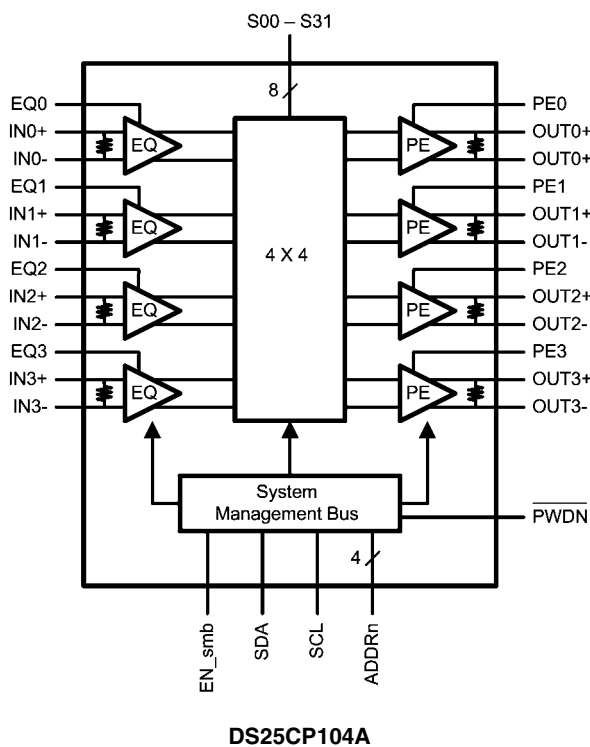
デバイス情報

Device	Function	Termination Option	Available Signal Conditioning
DS25CP104A	4x4 Crosspoint Switch	Internal 100Ω for LVDS inputs	4 Levels: PE and EQ
DS25CP114	4x4 Crosspoint Switch	None: Requires external termination	4 Levels : PE and EQ

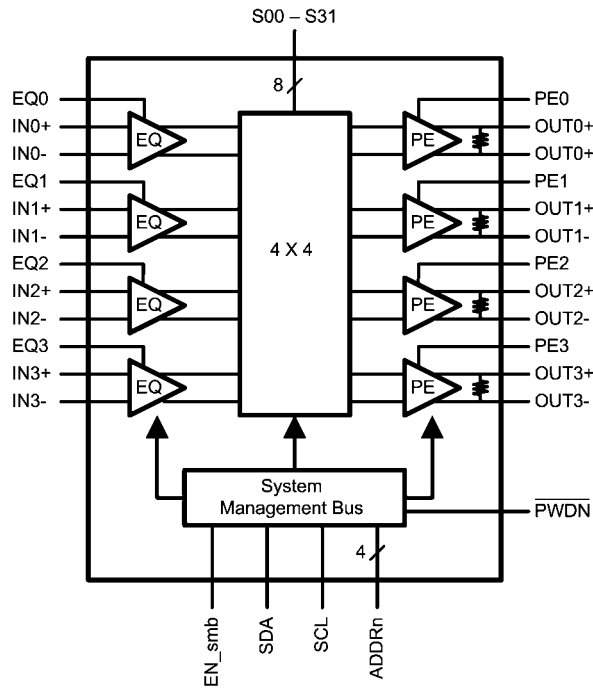
製品情報

NSID	Package	Tape & Reel QTY	Package Number
DS25CP104ATSQ	40 Lead LLP Package	250	SQA40A
DS25CP104ATSQX	40 Lead LLP Package	2500	SQA40A
DS25CP114TSQ	40 Lead LLP Package	250	SQA40A
DS25CP114TSQX	40 Lead LLP Package	2500	SQA40A

ブロック図

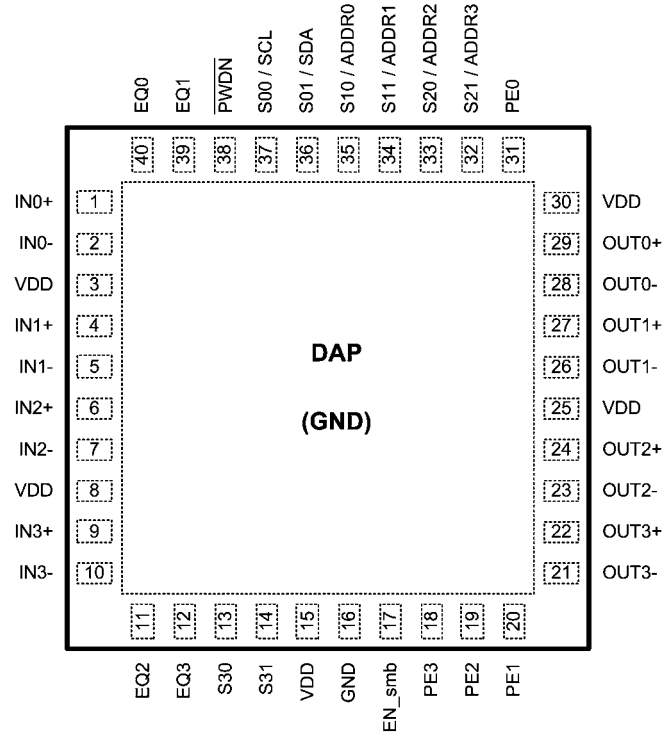


ブロック図 (つづき)



DS25CP114

ピン配置図



DS25CP104A / DS25CP114 Pin Diagram

ピン説明

ピン名	ピン番号	I/O、タイプ	ピン説明
IN0 +、IN0 -、 IN1 +、IN1 -、 IN2 +、IN2 -、 IN3 +、IN3 -	1, 2, 4, 5, 6, 7, 9, 10	I、LVDS	反転 / 非反転高速 LVDS 入力ピン。CP104A デバイスでは、4 つの入力ペアに 100 Ω の差動入力終端が接続されています。CP114 では、入力終端を省いて設計上の柔軟性を向上させています。
OUT0 +、OUT0 -、 OUT1 +、OUT1 -、 OUT2 +、OUT2 -、 OUT3 +、OUT3 -	29, 28, 27, 26, 24, 23, 22, 21	O、LVDS	反転 / 非反転高速 LVDS 出力ピン。各出力ペアに 100 Ω の終端を内蔵して、デバイスの帰還損失特性を改善しています。
EQ0、EQ1、 EQ2、EQ3	40, 39, 11, 12	I、LVCMOS	受信イコライジング量の選択ピン。これらのピンは、EN_smb ピンの状態にかかわらず機能します。
PE0、PE1、 PE2、PE3	31, 20, 19, 18	I、LVCMOS	送信プリアンプ量の選択ピン。これらのピンは、EN_smb ピンの状態にかかわらず機能します。
EN_smb	17	I、LVCMOS	システム・マネジメント・バス (SMBus) イネーブル・ピン。このピンにはプルダウンが内蔵されています。ピンを [1] に設定すると、デバイスが SMBus モードになります。ピンを切り替えると、すべての SMBus レジスタがリセットされます。このピンには 20k Ω のプルダウン・デバイスが接続されています。
S00/SCL	37	I、LVCMOS	EN_smb = [0] の場合、どの LVDS 入力が入力が OUT0 にルーティングされるかをこれらのピンによって選択します。
S01/SDA	36	入出力、 LVCMOS	SMBus モード (EN_smb = [1]) の場合、これらのピンはそれぞれ SMBus クロック入力ピンとデータ入力ピンになります。
S10/ADDR0、 S11/ADDR1	35, 34	I、LVCMOS	EN_smb = [0] の場合、どの LVDS 入力が入力が OUT1 にルーティングされるかをこれらのピンによって選択します。 SMBus モード (EN_smb = [1]) の場合、これらのピンはユーザー設定 SMBus スレーブ・アドレス入力になります。
S20/ADDR2、 S21/ADDR3	33, 32	I、LVCMOS	EN_smb = [0] の場合、どの LVDS 入力が入力が OUT2 にルーティングされるかをこれらのピンによって選択します。 SMBus モード (EN_smb = H) の場合、これらのピンはユーザー設定 SMBus スレーブ・アドレス入力になります。
S30、S31	13, 14	I、LVCMOS	EN_smb = [0] の場合、どの LVDS 入力が入力が OUT3 にルーティングされるかをこれらのピンによって選択します。 SMBus モード (EN_smb = [1]) の場合、これらのピンは機能せず、ロジック High またはロジック Low に接続する必要があります。
PWDN	38	I、LVCMOS	EN_smb = [0] の場合、これはパワーダウン・ピンとして使用されます。PWDN を [0] に設定すると、デバイスがパワーダウン・モードになります。EN_smb ピンが [1] に設定されている場合は、SMBus 回路へのアクセスが可能です。 SMBus モードの場合、PWDN ピンを [1] に設定するか、または制御レジスタの D[7] ビット (SoftPWDN) に [1] を書き込むと、デバイスがパワーアップ状態になります。PWDN ピンを [0] に設定し、かつ制御レジスタの D[7] ビット (SoftPWDN) に [0] を書き込むと、デバイスがパワーダウン状態になります。
VDD	3, 8, 15, 25, 30	電源	電源ピン
GND	16、DAP	電源	グラウンド・ピンとパッド (DAP: ダイ・アタッチ・パッド)

Note: 最適な電気的特性と熱特性を得られるように、中央の DAP を GND に接続する必要があります。

絶対最大定格 (Note 4)

本データシートには軍用・航空宇宙用の規格は記載されていません。関連する電氣的信頼性試験方法の規格を参照ください。

電源電圧	- 0.3V ~ + 4V
LVCOS 入力電圧	- 0.3V ~ (V _{CC} + 0.3V)
LVCOS 出力電圧	- 0.3V ~ (V _{CC} + 0.3V)
LVDS 入力電圧	- 0.3V ~ + 4V
差動入力電圧 VID (DS25CP104A)	1.0V
LVDS 差動入力電圧 (DS25CP114)	V _{CC} + 0.6V
LVDS 出力電圧	- 0.3V ~ (V _{CC} + 0.3V)
LVDS 差動出力電圧	0V ~ 1.0V
LVDS 出力短絡電流継続許容時間	5ms
接合部温度	+ 150 °C
保存温度範囲	- 65 °C ~ + 150 °C
リード許容温度	
ハンダ付け (4 秒)	+ 260 °C
25 °Cでのパッケージ最大消費電力	
SQA パッケージ	4.65W
ディレーティング	37.2mW/ °C
SQA パッケージ	(+ 25 °Cを超える場合)

パッケージ熱抵抗

 θ_{JA} + 26.9 °C /W θ_{JC} + 3.8 °C /W

ESD 耐圧

人体モデル (Note 1) $\geq 8kV$ マシン・モデル (Note 2) $\geq 250V$ デバイス帯電モデル (Note 3) $\geq 1,250V$

Note 1: 人体モデル、適用規格 JESD22-A114C

Note 2: マシン・モデル、適用規格 JESD22-A115-A

Note 3: 電場 (界) 誘導帯電モデル、適用規格 JESD22-C101-C

推奨動作条件

	Min	Typ	Max	Units
電源電圧 (V _{CC})	3.0	3.3	3.6	V
レシーバ差動入力電圧 (V _{ID}) (DS25CP104A のみ)	0		1	V
動作温度範囲 (T _A)	- 40	+ 25	+ 85	°C
SMBus (SDA、SCL)			3.6	V

DC 電氣的特性

特記のない限り、推奨動作条件の電源電圧および温度範囲に適用 (Note 5、Note 6、Note 8)。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
LVCOS DC SPECIFICATIONS						
V _{IH}	High Level Input Voltage		2.0		V _{CC}	V
V _{IL}	Low Level Input Voltage		GND		0.8	V
I _{IH}	High Level Input Current	V _{IN} = 3.6V V _{CC} = 3.6V		0	±10	μA
		EN_smb pin	40	175	250	μA
I _{IL}	Low Level Input Current	V _{IN} = GND V _{CC} = 3.6V		0	±10	μA
V _{CL}	Input Clamp Voltage	I _{CL} = -18 mA, V _{CC} = 0V		-0.9	-1.5	V
V _{OL}	Low Level Output Voltage	I _{OL} = 4 mA SDA pin			0.4	V
LVDS INPUT DC SPECIFICATIONS						
V _{ID}	Input Differential Voltage (Note 9)		0		1	V
V _{TH}	Differential Input High Threshold	V _{CM} = +0.05V or V _{CC} -0.05V		0	+100	mV
V _{TL}	Differential Input Low Threshold		-100	0		mV
V _{CMR}	Input Common Mode Voltage Range	V _{ID} = 100 mV	0.05		V _{CC} - 0.05	V
I _{IN}	Input Current (Note 7)	V _{IN} = +3.6V or 0V V _{CC} = 3.6V or 0V		±1	±10	μA
C _{IN}	Input Capacitance	Any LVDS Input Pin to GND		1.7		pF
R _{IN}	Input Termination Resistor (Note 10)	Between IN+ and IN-		100		Ω

DC 電気的特性 (つづき)

特記のない限り、推奨動作条件の電源電圧および温度範囲に適用 (Note 5、Note 6、Note 8)。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
LVDS OUTPUT DC SPECIFICATIONS						
V_{OD}	Differential Output Voltage	$R_L = 100\Omega$	250	350	450	mV
ΔV_{OD}	Change in Magnitude of V_{OD} for Complimentary Output States		-35		35	mV
V_{OS}	Offset Voltage	$R_L = 100\Omega$	1.05	1.2	1.375	V
ΔV_{OS}	Change in Magnitude of V_{OS} for Complimentary Output States		-35		35	mV
I_{OS}	Output Short Circuit Current (Note 11)	OUT to GND		-35	-55	mA
		OUT to V_{CC}		7	55	mA
C_{OUT}	Output Capacitance	Any LVDS Output Pin to GND		1.2		pF
R_{OUT}	Output Termination Resistor	Between OUT+ and OUT-		100		Ω
SUPPLY CURRENT						
I_{CC1}	Supply Current	PWDN = 0		40	50	mA
I_{CC2}	Supply Current	PWDN = 1 PE = Off, EQ = Off Broadcast (1:4) Mode		145	175	mA
I_{CC3}	Supply Current	PWDN = 1 PE = Off, EQ = Off Quad Buffer (4:4) Mode		157	190	mA

Note 4: 絶対最大定格は、IC に破壊が発生したり、使用不能になったり、信頼性や性能が低下する可能性のあるリミット値を示します。これは、絶対最大定格において、または推奨動作条件に示されている動作条件を越える条件でこのデバイスが有効に機能することや品質が劣化しないことは意味していません。推奨動作条件とは、このデバイスが有効に機能する条件を示しており、これらを超えた条件ではこのデバイスを使用しないように注意してください。

Note 5: 電気的特性の表は、推奨動作条件で使用した場合に保証される特性を示しています。ただし、電気的特性や注記で特に変更または指定している場合はその限りではありません。代表値は推定値であり、この値を保証しているものではありません。

Note 6: デバイスのピンに流れ込む電流は正と定義されます。デバイスのピンから流れ出る電流は負と定義されます。 V_{OD} 、 ΔV_{OD} 以外の電圧はすべてグラウンドを基準としています。

Note 7: I_{IN} は、LVDS 入力ペアの両方のピンへ同時に印加されます。

Note 8: 代表値は、 $V_{CC} = +3.3V$ 、 $T_A = +25^\circ C$ で、製品の特性を評価した時点における推奨動作条件下での最も可能性のあるパラメータの基準値を表しており、保証値ではありません。

Note 9: 入力差動電圧 (V_{ID}): DS25CP104A では、入力振幅が 1V に制限されています。DS25CP114 では、電源電圧から GND までの範囲内のあらゆる V_{ID} がサポートされています。

Note 10: 入力終端抵抗 (R_{IN}): DS25CP104A では、内蔵の 100 Ω 入力終端によって高速の各 LVDS ペアに対応しています。DS25CP114 では、この内蔵終端が省かれています。

Note 11: 出力短絡電流 (I_{OS}) は大きさのみを表し、マイナス符号は電流の流れる方向のみを表しています。

AC 電氣的特性

特記のない限り、推奨動作条件の電源電圧および温度範囲に適用 (Note 12、Note 13)。

Symbol	Parameter	Conditions	Min	Typ	Max	Units	
LVDS OUTPUT AC SPECIFICATIONS (Note 14)							
t_{PLHD}	Differential Propagation Delay Low to High	$R_L = 100\Omega$		480	650	ps	
t_{PHLD}	Differential Propagation Delay High to Low			460	650	ps	
t_{SKD1}	Pulse Skew $ t_{PLHD} - t_{PHLD} $, (Note 15)			20	100	ps	
t_{SKD2}	Channel to Channel Skew, (Note 16)			40	125	ps	
t_{SKD3}	Part to Part Skew, (Note 17)			50	200	ps	
t_{LHT}	Rise Time	$R_L = 100\Omega$		80	150	ps	
t_{HLT}	Fall Time			80	150	ps	
t_{ON}	Power Up Time	Time from $\overline{PWDN} = LH$ to $OUTn$ active		6	20	μs	
t_{OFF}	Power Down Time	Time from $\overline{PWDN} = HL$ to $OUTn$ inactive		8	25	ns	
t_{SEL}	Select Time	Time from $S_n = LH$ or HL to new signal at $OUTn$		8	12	ns	
JITTER PERFORMANCE WITH EQ = Off, PE = Off (Note 14)(Figure 5)							
t_{RJ1}	Random Jitter (RMS Value)	$V_{ID} = 350\text{ mV}$ $V_{CM} = 1.2\text{V}$ Clock (RZ)	1.25 GHz		0.5	1.1	ps
t_{RJ2}	No Test Channels (Note 18)		1.5625 GHz		0.5	1.1	ps
t_{DJ1}	Deterministic Jitter (Peak to Peak)	$V_{ID} = 350\text{ mV}$ $V_{CM} = 1.2\text{V}$ K28.5 (NRZ)	2.5 Gbps		10	22	ps
t_{DJ2}	No Test Channels (Note 19)		3.125 Gbps		10	27	ps
t_{TJ1}	Total Jitter (Peak to Peak)	$V_{ID} = 350\text{ mV}$ $V_{CM} = 1.2\text{V}$ PRBS-23 (NRZ)	2.5 Gbps		0.07	0.11	$UI_{p,p}$
t_{TJ2}	No Test Channels (Note 20)		3.125 Gbps		0.13	0.16	$UI_{p,p}$

AC 電気的特性

特記のない限り、推奨動作条件の電源電圧および温度範囲に適用 (Note 12、Note 13)。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
JITTER PERFORMANCE WITH EQ = Off, PE = Low (Note 14) (Figure 6 Figure 9)						
t_{RJ1A}	Random Jitter (RMS Value)	$V_{ID} = 350\text{ mV}$	1.25 GHz		0.5	1.1 ps
t_{RJ2A}	Test Channels A (Note 18)	$V_{CM} = 1.2\text{V}$ Clock (RZ)	1.5625 GHz		0.5	1.1 ps
t_{DJ1A}	Deterministic Jitter (Peak to Peak)	$V_{ID} = 350\text{ mV}$	2.5 Gbps		10	22 ps
t_{DJ2A}	Test Channels A (Note 19)	$V_{CM} = 1.2\text{V}$ K28.5 (NRZ)	3.125 Gbps		10	27 ps
JITTER PERFORMANCE WITH EQ = Off, PE = Medium (Note 14) (Figure 6 Figure 9)						
t_{RJ1B}	Random Jitter (RMS Value)	$V_{ID} = 350\text{ mV}$	1.25 GHz		0.5	1.1 ps
t_{RJ2B}	Test Channels B (Note 18)	$V_{CM} = 1.2\text{V}$ Clock (RZ)	1.5625 GHz		0.5	1.1 ps
t_{DJ1B}	Deterministic Jitter (Peak to Peak)	$V_{ID} = 350\text{ mV}$	2.5 Gbps		12	30 ps
t_{DJ2B}	Test Channels B (Note 19)	$V_{CM} = 1.2\text{V}$ K28.5 (NRZ)	3.125 Gbps		12	30 ps
t_{TJ1B}	Total Jitter (Peak to Peak)	$V_{ID} = 350\text{ mV}$	2.5 Gbps		0.08	0.10 $UI_{p,p}$
t_{TJ2B}	Test Channels B (Note 20)	$V_{CM} = 1.2\text{V}$ PRBS-23 (NRZ)	3.125 Gbps		0.10	0.15 $UI_{p,p}$
JITTER PERFORMANCE WITH EQ = Off, PE = High (Note 14) (Figures 6, 9)						
t_{RJ1C}	Random Jitter (RMS Value)	$V_{ID} = 350\text{ mV}$	1.25 GHz		0.5	1.1 ps
t_{RJ2C}	Test Channels C (Note 18)	$V_{CM} = 1.2\text{V}$ Clock (RZ)	1.5625 GHz		0.5	1.1 ps
t_{DJ1C}	Deterministic Jitter (Peak to Peak)	$V_{ID} = 350\text{ mV}$	2.5 Gbps		30	60 ps
t_{DJ2C}	Test Channels C (Note 19)	$V_{CM} = 1.2\text{V}$ K28.5 (NRZ)	3.125 Gbps		30	65 ps

AC 電気的特性

特記のない限り、推奨動作条件の電源電圧および温度範囲に適用 (Note 12、Note 13)。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
JITTER PERFORMANCE WITH PE = Off, EQ = Low (Note 14) (Figure 7 Figure 9)						
t_{RJ1D}	Random Jitter (RMS Value)	$V_{ID} = 350\text{ mV}$	1.25 GHz		0.5	1.1 ps
t_{RJ2D}	Test Channels D (Note 18)	$V_{CM} = 1.2\text{V}$ Clock (RZ)	1.5625 GHz		0.5	1.1 ps
t_{DJ1D}	Deterministic Jitter (Peak to Peak)	$V_{ID} = 350\text{ mV}$	2.5 Gbps		20	40 ps
t_{DJ2D}	Test Channels D (Note 19)	$V_{CM} = 1.2\text{V}$ K28.5 (NRZ)	3.125 Gbps		20	40 ps
t_{TJ1D}	Total Jitter (Peak to Peak)	$V_{ID} = 350\text{ mV}$	2.5 Gbps		0.08	0.15 $UI_{p,p}$
t_{TJ2D}	Test Channels D (Note 20)	$V_{CM} = 1.2\text{V}$ PRBS-23 (NRZ)	3.125 Gbps		0.09	0.20 $UI_{p,p}$
JITTER PERFORMANCE WITH PE = Off, EQ = Medium (Note 14) (Figures 7, 9)						
t_{RJ1E}	Random Jitter (RMS Value)	$V_{ID} = 350\text{ mV}$	1.25 GHz		0.5	1.1 ps
t_{RJ2E}	Test Channels E (Note 18)	$V_{CM} = 1.2\text{V}$ Clock (RZ)	1.5625 GHz		0.5	1.1 ps
t_{DJ1E}	Residual Deterministic Jitter (Peak to Peak)	$V_{ID} = 350\text{ mV}$	2.5 Gbps		35	60 ps
t_{DJ2E}	Test Channels E (Note 19)	$V_{CM} = 1.2\text{V}$ K28.5 (NRZ)	3.125 Gbps		28	55 ps
JITTER PERFORMANCE WITH PE = Off, EQ = High (Note 14) (Figures 7, 9)						
t_{RJ1F}	Random Jitter (RMS Value)	$V_{ID} = 350\text{ mV}$	1.25 GHz		1.3	1.8 ps
t_{RJ2F}	Test Channels F (Note 18)	$V_{CM} = 1.2\text{V}$ Clock (RZ)	1.5625 GHz		1.4	2.4 ps
t_{DJ1F}	Residual Deterministic Jitter (Peak to Peak)	$V_{ID} = 350\text{ mV}$	2.5 Gbps		30	75 ps
t_{DJ2F}	Test Channels F (Note 19)	$V_{CM} = 1.2\text{V}$ K28.5 (NRZ)	3.125 Gbps		35	90 ps
JITTER PERFORMANCE WITH PE = Medium, EQ = Low (Note 14) (Figures 7, 9)						
t_{RJ1G}	Random Jitter (RMS Value)	$V_{ID} = 350\text{ mV}$	1.25 GHz		0.5	1.1 ps
t_{RJ2G}	Input Test Channels D Output Test Channels B (Note 18)	$V_{CM} = 1.2\text{V}$ Clock (RZ)	1.5625 GHz		0.5	1.1 ps
t_{DJ1G}	Deterministic Jitter (Peak to Peak)	$V_{ID} = 350\text{ mV}$	2.5 Gbps		25	ps
t_{DJ2G}	Input Test Channels D Output Test Channels B (Note 19)	$V_{CM} = 1.2\text{V}$ K28.5 (NRZ)	3.125 Gbps		20	ps

AC 電気的特性

特記のない限り、推奨動作条件の電源電圧および温度範囲に適用 (Note 12、Note 13)。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
SMBus AC SPECIFICATIONS						
t_{SMB}	SMBus Operating Frequency		10		100	kHz
t_{BUF}	Bus free time between Stop and Start Conditions		4.7			μ s
$t_{HD:SDA}$	Hold time after (Repeated) Start Condition. After this period, the first clock is generated.		4.0			μ s
$t_{SU:SDA}$	Repeated Start Condition setup time.		4.7			μ s
$t_{SU:SDO}$	Stop Condition setup time		4.0			μ s
$t_{HD:DAT}$	Data hold time		300			ns
$t_{SU:DAT}$	Data setup time		250			ns
$t_{TIMEOUT}$	Detect clock low timeout		25		35	ms
t_{LOW}	Clock low period		4.7			μ s
t_{HIGH}	Clock high period		4.0		50	μ s
t_{POR}	Time in which a device must be operational after power-on reset				500	ms

Note 12: 電気的特性の表は、推奨動作条件で使用した場合に保証される特性を示しています。ただし、電気的特性や注記で特に変更または指定している場合はその限りではありません。代表値は推定値であり、この値を保証しているものではありません。

Note 13: 代表値は、 $V_{CC} = +3.3V$ 、 $T_A = +25^\circ C$ で、製品の特性を評価した時点における推奨動作条件下での最も可能性のあるパラメータの基準値を表しており、保証値ではありません。

Note 14: 仕様値は特性の評価により保証されている値で、量産時における試験は行っていません。

Note 15: t_{SKD1} 、 t_{PLHD} 、 t_{PHLD} 、パルス・スキューは、同チャンネルの立ち上がりエッジと立ち下がりエッジとの間の伝搬遅延時間の差の大きさを表しています。

Note 16: チャンネル間スキュー t_{SKD2} は、ブロードキャスト・モードの全出力チャンネルの間 (いずれか1つの入力から全出力へ) の伝搬遅延時間の差を表しています (t_{PLHD} または t_{PHLD})。

Note 17: デバイス間スキュー t_{SKD3} は、同じ V_{CC} で動作し、動作温度の差が $5^\circ C$ 以内である2つのデバイスの同じ信号経路間の差を表しています。

Note 18: ヒストグラムを使用してクロック信号のエッジで、1,500回分のヒストグラムの累積で測定。入力信号源に起因するジッタは幾何学的に減算されます。

Note 19: 1100000101 (K28.5 + キャラクタ) と 0011111010 (K28.5 - キャラクタ) のパターンを組み合わせて試験。入力信号源に起因するジッタは算術的に減算されます。

Note 20: ヒストグラムを使用してアイパターンで、3,500回分のヒストグラムの累積で測定。入力信号源に起因するジッタは減算されます。

DC テスト回路

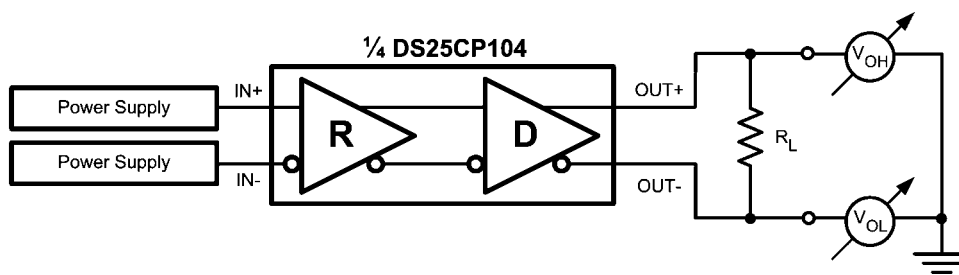


FIGURE 1. Differential Driver DC Test Circuit

AC テスト回路とタイミング図

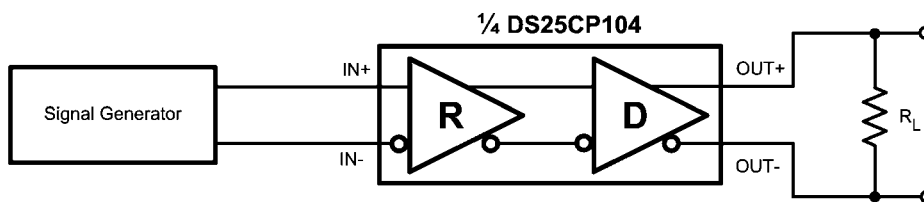


FIGURE 2. Differential Driver AC Test Circuit

Note: DS25CP114 では、外付けの 100Ω 入力終端が必要です。

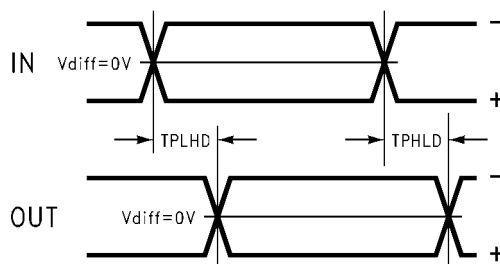


FIGURE 3. Propagation Delay Timing Diagram

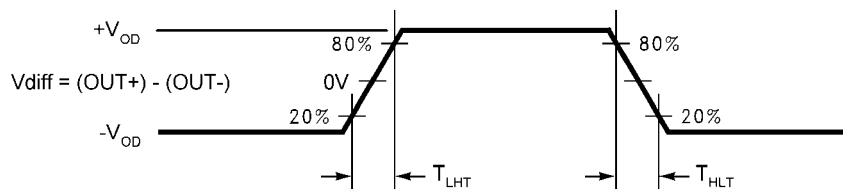


FIGURE 4. LVDS Output Transition Times

プリエンファシスとイコライジングの試験回路

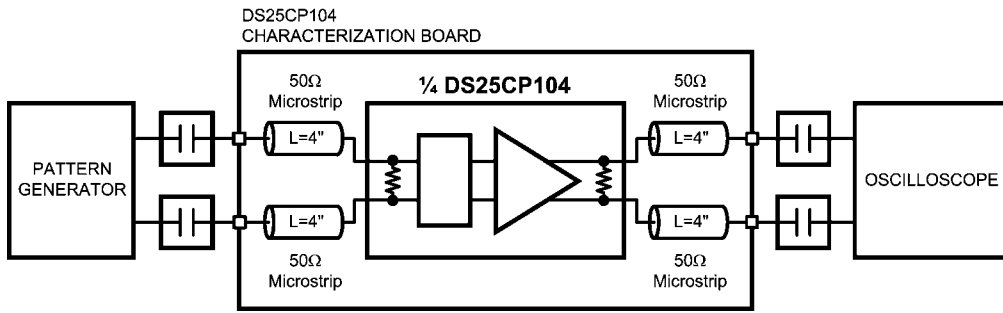


FIGURE 5. Jitter Performance Test Circuit

Note: DS25CP114 では、外付けの 100Ω 入力終端が必要です。

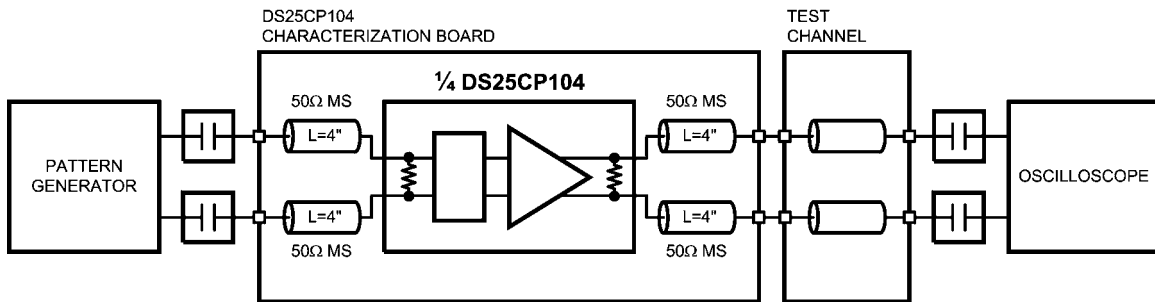


FIGURE 6. Pre-Emphasis Performance Test Circuit

Note: DS25CP114 では、外付けの 100Ω 入力終端が必要です。

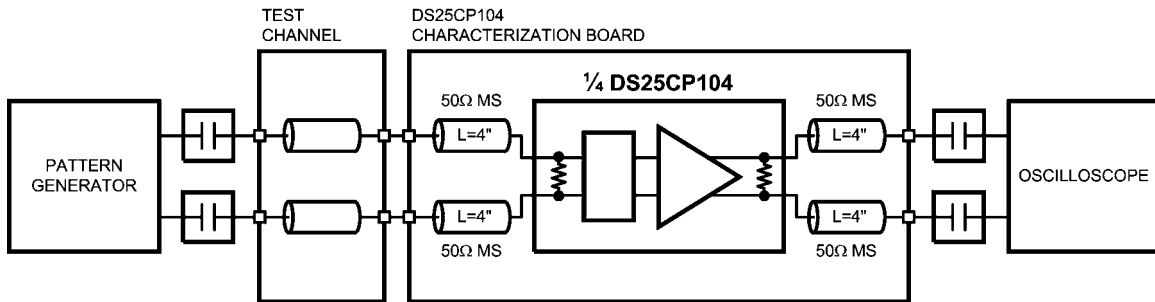


FIGURE 7. Equalization Performance Test Circuit

Note: DS25CP114 では、外付けの 100Ω 入力終端が必要です。

プリエンファシスとイコライジングの試験回路

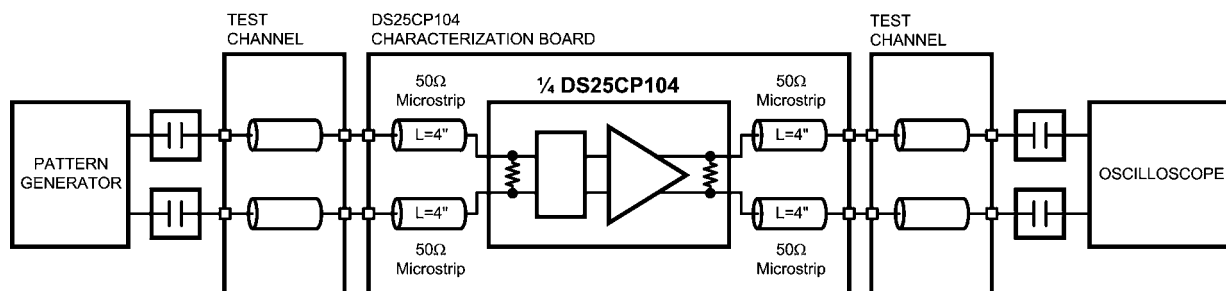


FIGURE 8. Pre-Emphasis and Equalization Performance Test Circuit

Note: DS25CP114 では、外付けの 100Ω 入力終端が必要です。

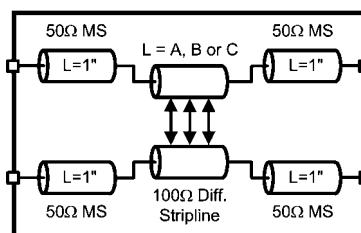


FIGURE 9. Test Channel Block Diagram

試験チャネルの損失特性

試験チャネルは、ポリクラッド PCL-FR-370 ラミネート/PCL-FRP-370 プリプレグ材料 (誘電率 3.7、誘電正接 0.02) を使用して製造しました。エッジ結合型の差動ストリップラインの形状は次のとおりです。トレース幅 (W) = 5mil、ギャップ (S) = 5mil、高さ (B) = 16mil

Test Channel	Length (inches)	Insertion Loss (dB)					
		500 MHz	750 MHz	1000 MHz	1250 MHz	1500 MHz	1560 MHz
A	10	-1.2	-1.7	-2.0	-2.4	-2.7	-2.8
B	20	-2.6	-3.5	-4.1	-4.8	-5.5	-5.6
C	30	-4.3	-5.7	-7.0	-8.2	-9.4	-9.7
D	15	-1.6	-2.2	-2.7	-3.2	-3.7	-3.8
E	30	-3.4	-4.5	-5.6	-6.6	-7.7	-7.9
F	60	-7.8	-10.3	-12.4	-14.5	-16.6	-17.0

機能説明

DS25CP104A と DS25CP114 は、高損失の FR-4 プリント基板のバックプレーンや平衡ケーブルによる高速での信号のルーティングとスイッチングに最適な 3.125Gbps の 4 × 4 LVDS デジタル・クロスポイント・スイッチです。DS25CP104A と DS25CP114 は、ピン・モード (EN_smb = 0) と SMBus モード (EN_smb = 1) の 2 つのモードで動作します。

ピン・モードの場合、スイッチは外部ピンで完全に構成できます。これは、出力ごとに 2 つの入力選択ピンを使って行われます (例: OUT0 の場合は S00 ピンと S01 ピン)。また、出力ごとに 1 つの送信プリエンファシス (PE) 量選択ピンがあり、PE 量を中とオフの間で切り替えられるほか、入力ごとに 1 つの受信イコライジング (EQ) 量選択ピンがあり、EQ 量を低とオフの間で切り替えられます。

ピン・モードでは、LOS (Loss Of Signal: 信号損失) モニタ回路からの帰還を得られません (LOS 出力ピンは存在しません)。

SMBus モードでは、SMBus インタフェースを介してフル・スイッチ構成、4 段階 (オフ、低、中、高) の送信プリエンファシス、4 段階 (オフ、低、中、高) の受信イコライジング、SoftPWDN を設定できます。さらに、SMBus インタフェースの利用により、入力端の開放障害状態を検出する内蔵 LOS 回路から帰還を取得できます。

SMBus モードの場合、S00 ピンと S01 ピンはそれぞれ、SMBus クロック (SCL) 入力ピンとデータ (SDA) 入力ピンになります。S10

ピン、S11 ピン、S20 ピン、S21 ピンは、ユーザー設定 SMBus スレープ・アドレス入力ピン (ADDR0、1、2、3) になります。S30 ピンと S31 ピンは、機能しなくなります (デバイスが SMBus モードでのみ動作する場合は、この 2 つのピンを High または Low に接続することを推奨します)。

SMBus モードの場合、PE 選択ピン、EQ 選択ピン、PWDN ピンは機能が維持されます。各モードにおけるこれらのピンの機能については、以降のセクションで説明します。

ピン・モードでの動作

パワーアップ

ピン・モードの場合、PWDN ピンがロジック High に設定されている状態で電源をデバイスの電源ピンに印加すると、DS25CP104A/DS25CP114 がパワーアップ・モードに移行します。パワーダウン・モードでは (PWDN ピンをロジック Low に設定)、LOS や SMBus スレープの動作に最小限必要な回路を除いて、すべての回路がシャットダウンされます。

スイッチ構成

ピン・モードの場合、DS25CP104A/DS25CP114 は、完全にピン設定可能なクロスポイント・スイッチとして動作します。以下の真理値表に、外部ピンによるスイッチの構成方法を示します。

スイッチ構成真理値表

TABLE 1. Input Select Pins Configuration for the Output OUT0

S01	S00	INPUT SELECTED
0	0	IN0
0	1	IN1
1	0	IN2
1	1	IN3

TABLE 2. Input Select Pins Configuration for the Output OUT1

S11	S10	INPUT SELECTED
0	0	IN0
0	1	IN1
1	0	IN2
1	1	IN3

機能説明 (つづき)

TABLE 3. Input Select Pins Configuration for the Output OUT2

S21	S20	INPUT SELECTED
0	0	IN0
0	1	IN1
1	0	IN2
1	1	IN3

TABLE 4. Input Select Pins Configuration for the Output OUT3

S31	S30	INPUT SELECTED
0	0	IN0
0	1	IN1
1	0	IN2
1	1	IN3

プリアンフィシス量の設定

DS25CP104A/DS25CP114 には、出力ごとに 1 つの PE 量選択ピンがあり、送信プリアンフィシスを中レベルまたはオフ・レベル

のいずれかに設定できます。次の表は、送信プリアンフィシスを設定するための真理値表です。

TABLE 5. Transmit Pre-Emphasis Truth Table

OUTPUT OUTn, n = {0, 1, 2, 3}	
Pre-Emphasis Control Pin (PEn) State	Pre-Emphasis Level
0	Off
1	Medium

出力 OUTn に対する送信プリアンフィシス量の選択

イコライジング量の設定

DS25CP104A/DS25CP114 には、入力ごとに 1 つの EQ 量選択ピンがあり、受信イコライジングを低レベルまたはオフ・レベル

のいずれかに設定できます。次表は、受信イコライジングを設定するための真理値表です。

TABLE 6. Receive Equalization Truth Table

INPUT INn, n = {0, 1, 2, 3}	
Equalization Control Pin (EQn) State	Equalization Level
0	Off
1	Low

入力 INn に対する受信イコライジング量の選択

機能説明 (つづき)

SMBus モードでの動作

EN_smb ピンを High (1) に設定すると、DS25CP104A/DS25CP114 はシステム・マネジメント・バス (SMBus) 上でスレーブとして動作します。この状態では、SCL ピンがクロック入力ピンになり、SDA ピンがシリアル・データ入力ピンになります。

デバイス・アドレス

SMBus 2.0 仕様に基づき、DS25CP104A/DS25CP114 は 7 ビットのスレーブ・アドレスを持っています。スレーブ・アドレスの上位 3 ビットは、DS25CP104A/DS25CP114 内部でアドレス 101 としてハードウェア配線されています。残りの下位 4 ビットは、ADDR3 ~ ADDR0 ピンに割り当てられており、これらのピンは Low (0) の場合には GND に、High (1) の場合には VCC に接続して設定します。次表にスレーブ・アドレスの詳細を示します。

TABLE 7. Slave Address

1	0	1	ADDR3	ADDR2	ADDR1	ADDR0
MSB						LSB

このスレーブ・アドレス構成のもとでは、単一の SMBus バス上に最大で 16 台の DS25CP104A/DS25CP114 デバイスを接続できます。

SMBus を介したデータ転送

通常動作では、SCK が High の間、SDA 上のデータは安定していなければなりません。

SMBus には 3 つの固有な状態があります。

START: SCK が High のとき SDA の High から Low への遷移は、START 状態のメッセージを示します。

STOP: SCK が High のとき SDA の Low から High への遷移は、STOP 状態のメッセージを示します。

IDLE: 最後に検出された STOP 状態から時間 tBUF を超えて SCK と SDA の両方が High 状態である場合、または High 状態の合計時間が仕様に定められた最大値 tHIGH を超えた場合、バスは IDLE 状態に移行します。

SMBus トランザクション

トランザクションは、ホストが DS25CP104A の SMBus を START 状態にしたときに開始され、MSB を先頭にして 1 バイト (8 ビット) が転送され、9 ビット目に ACK ビットが続きます。ACK ビットは、ACK を示す "0" または NACK を示す "1" です。この後、ホストは SCL ラインを Low に保持して、レシーバがバイトを受信したことを示す確認応答 (ACK) として SDA ラインを駆動するまで待ちます。

レジスタへの書き込み

レジスタへの書き込みには、以下の手順が使用されます (SMBus 2.0 仕様を参照)。

1) ホストが START 状態、7 ビットの SMBus アドレス、書き込みを示す "0" を送信します。

2) デバイス (スレーブ) が ACK ビット ("0") を送信します。

3) ホストが 8 ビットのレジスタ・アドレスを送信します。

4) デバイスが ACK ビット ("0") を送信します。

5) ホストが 8 ビットのデータ・バイトを送信します。

6) デバイスが ACK ビット ("0") を送信します。

7) ホストが STOP 状態を送信します。

書き込みトランザクションが完了すると、バスが IDLE 状態になり、ほかの SMBus デバイスとの通信が可能になります。

レジスタからの読み出し

レジスタからの読み出しには、以下の手順が使用されます (SMBus 2.0 仕様を参照)。

1) ホストが START 状態、7 ビットの SMBus アドレス、書き込みを示す "0" を送信します。

2) デバイス (スレーブ) が ACK ビット ("0") を送信します。

3) ホストが 8 ビットのレジスタ・アドレスを送信します。

4) デバイスが ACK ビット ("0") を送信します。

5) ホストが START 状態を送信します。

6) ホストが 7 ビットの SMBus アドレスと、読み出しを示す "1" を送信します。

7) デバイスが ACK ビット ("0") を送信します。

8) デバイスが 8 ビットのデータ値 (レジスタ内容) を送信します。

9) ホストが読み出し転送の終了を示す NACK ビット ("1") を送信します。

10) ホストが STOP 状態を送信します。

読み出しトランザクションが完了すると、バスが IDLE 状態になり、ほかの SMBus デバイスとの通信が可能になります。

レジスタの説明

DS25CP104A/DS25CP114 には、SMBus インタフェースを介してアクセス可能なデータ・レジスタが 5 つ存在します。

TABLE 8. SMBus Data Registers

アドレス (16 進)	名称	アクセス	説明
0	スイッチ構成	R/W	スイッチ構成レジスタ
1	PE 量選択	R/W	送信プリエンファシス量選択レジスタ
2	EQ 量選択	R/W	受信イコライジング量選択レジスタ
3	Control	R/W	パワーダウン、 $\overline{\text{LOS}}$ イネーブル、ピン制御レジスタ
4	$\overline{\text{LOS}}$	RO	Loss Of Signal ($\overline{\text{LOS}}$: 信号損失) レポート・レジスタ

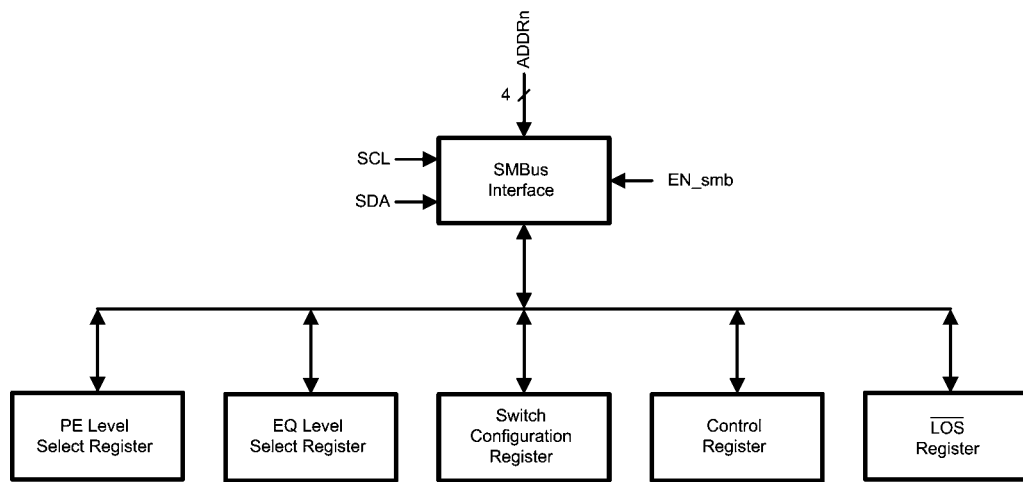


FIGURE 10. Registers Block Diagram

スイッチ構成レジスタ

スイッチ構成レジスタはスイッチの構成に利用されます。以下の 2 つの表は、スイッチ構成レジスタの割り当て表と、関連する真理値表です。

ビット	デフォルト	ビット名称	アクセス	説明
D[1:0]	00	入力選択 0	R/W	どの入力が入力 OUT0 にルーティングされるかを選択します。
D[3:2]	00	入力選択 1	R/W	どの入力が入力 OUT1 にルーティングされるかを選択します。
D[5:4]	00	入力選択 2	R/W	どの入力が入力 OUT2 にルーティングされるかを選択します。
D[7:6]	00	入力選択 3	R/W	どの入力が入力 OUT3 にルーティングされるかを選択します。

TABLE 9. Switch Configuration Register Truth Table

D1	D0	Input Routed to the OUT0
0	0	IN0
0	1	IN1
1	0	IN2
1	1	IN3

OUT1、OUT2、OUT3 の各出力の真理値表はこの表と同じです。

スイッチ構成ロジックには SmartPWDN 回路が存在し、スイッチ構成に基づいてデバイスの消費電力を自動的に最適化します (すなわち、未使用の I/O ブロックやその他の未使用回路をパワーダウン状態に移行させます)。

レジスタの説明 (つづき)

PE 量選択レジスタ

PE 量選択レジスタは、各出力のプリエンファシス量を選択します。以下の 2 つの表は、レジスタの割り当て表と、関連する真理値表です。

ビット	デフォルト	ビット名称	アクセス	説明
D[1:0]	00	PE 量選択 0	R/W	OUT0 のプリエンファシス量を設定します。
D[3:2]	00	PE 量選択 1	R/W	OUT1 のプリエンファシス量を設定します。
D[5:4]	00	PE 量選択 2	R/W	OUT2 のプリエンファシス量を設定します。
D[7:6]	00	PE 量選択 3	R/W	OUT3 のプリエンファシス量を設定します。

TABLE 10. PE Level Select Register Truth Table

D1	D0	Pre-Emphasis Level for the OUT0
0	0	Off
0	1	Low
1	0	Medium
1	1	High

Note : OUT1、OUT2、OUT3 の各出力の真理値表はこの表と同じです。

EQ 量選択レジスタ

EQ 量選択レジスタは、各入力のコライジング量を選択します。以下の 2 つの表は、レジスタの割り当て表と、関連する真理値表です。

ビット	デフォルト	ビット名称	アクセス	説明
D[1:0]	00	EQ 量選択 0	R/W	IN0 のイコライジング量を設定します。
D[3:2]	00	EQ 量選択 1	R/W	IN1 のイコライジング量を設定します。
D[5:4]	00	EQ 量選択 2	R/W	IN2 のイコライジング量を設定します。
D[7:6]	00	EQ 量選択 3	R/W	IN3 のイコライジング量を設定します。

TABLE 11. EQ Level Select Register Truth Table

D1	D0	Equalization Level for the IN0
0	0	Off
0	1	Low
1	0	Medium
1	1	High

Note : IN1、IN2、IN3 の各入力の真理値表はこの表と同じです。

レジスタの説明 (つづき)

制御レジスタ

制御レジスタは SMBus を介して、 $\overline{\text{SoftPwDn}}$ の制御、各出力のパワーダウン ($\overline{\text{PwDnN}}$) の制御、 $\overline{\text{LOS}}$ 回路イネーブルの制御、PE 量選択イネーブルの制御、EQ 量選択イネーブルの制御をイネーブルにします。次の表にレジスタの割り当てを示します。

ビット	デフォルト	ビット名称	アクセス	説明
D[3:0]	1111	$\overline{\text{PwDnN}}$	R/W	$\overline{\text{PwDnN}}$ ビンまたは制御レジスタのビット D[7] ($\overline{\text{SoftPwDn}}$) を High [1] に設定している場合、ビット D[n] に [0] を書き込むと、出力 OUTn がパワーダウン状態になります。
D[4]	0	Ignore_External_EQ	R/W	ビット D[4] に [1] を書き込むと、外部 EQ ピンの状態が無視され、SMBus インタフェースを介して EQ 量を設定できるようになります。
D[5]	0	Ignore_External_PE	R/W	ビット D[5] に [1] を書き込むと、外部 PE ピンの状態が無視され、SMBus インタフェースを介して PE 量を設定できるようになります。
D[6]	0	$\overline{\text{EN_LOS}}$	R/W	ビット D[6] に [1] を書き込むと、4つの入力のすべてで LOS 回路とレシーバがイネーブルになります。スイッチ構成によっては、SmartPwDn 回路はいずれの入力もサポート $\overline{\text{LOS}}$ 回路もディスエーブルにしません。
D[7]	0	$\overline{\text{SoftPwDn}}$	R/W	ビット D[7] に [0] を書き込むと、デバイスがパワーダウン・モードに移行します。このピンと $\overline{\text{PwDnN}}$ ビンで OR 演算が行われます。

TABLE 12. Power Modes Truth Table

$\overline{\text{PwDn}}$	$\overline{\text{SoftPwDn}}$	$\overline{\text{PwDnN}}$	パワー・モード
0	0	x	パワーダウン・モード。このモードでは、 $\overline{\text{LOS}}$ や SMBus スレーブの動作に最小限必要な回路を除いて、すべての回路がシャットダウンされます。SMBus 回路ではこのモードの場合、 $\overline{\text{EN_LOS}}$ ビットを [1] に設定すれば、すべての入力で LOS 回路とレシーバをイネーブルにできます。
0	1	x	パワーアップ・モード。このモードでは、SmartPwDn 回路がスイッチ構成に応じて未使用の I/O ブロック、ロジック・ブロック、その他のサポート回路を自動的にパワーダウン状態へ移行させます。 特定のスイッチ構成に特定の出力が必要であると SmartPwDn 回路が示しており、かつそれぞれの $\overline{\text{PwDnN}}$ ビットがロジック High [1] の場合のみ、出力がイネーブルになります。 特定のスイッチ構成に特定の入力が必要であると SmartPwDn 回路が示しているか、または $\overline{\text{EN_LOS}}$ ビットが [1] に設定されている場合、入力がイネーブルになります。
1	0	x	
1	1	x	

LOS レジスタ

LOS レジスタは、各入力の入力端の開放障害状態を報告します。次表にレジスタの割り当てを示します。

ビット	デフォルト	ビット名称	アクセス	説明
D[0]	0	$\overline{\text{LOS0}}$	RO	ビット D[0] から [0] が読み出された場合は、IN0 の入力端開放障害状態を示します。[1] が読み出された場合は、有効な信号の存在を示します。
D[1]	0	$\overline{\text{LOS1}}$	RO	ビット D[1] から [0] が読み出された場合は、IN1 の入力端開放障害状態を示します。[1] が読み出された場合は、有効な信号の存在を示します。
D[2]	0	$\overline{\text{LOS2}}$	RO	ビット D[2] から [0] が読み出された場合は、IN2 の入力端開放障害状態を示します。[1] が読み出された場合は、有効な信号の存在を示します。
D[3]	0	$\overline{\text{LOS3}}$	RO	ビット D[3] から [0] が読み出された場合は、IN3 の入力端開放障害状態を示します。[1] が読み出された場合は、有効な信号の存在を示します。
D[7:4]	0000	リザーブ	RO	将来のための予備です。読み出された場合は、未定義の値を返します。

レジスタの説明 (つづき)

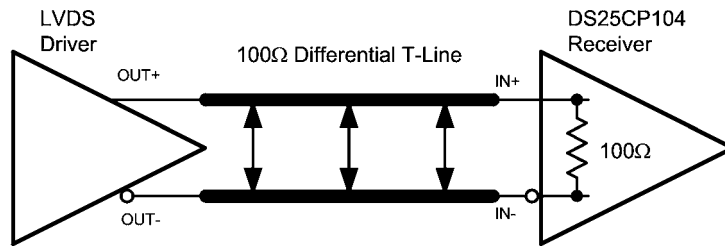
入カインタフェース

DS25CP104A/DS25CP114 は差動入力信号を使用でき、AC 結合またはDC 結合が簡単です。DS25CP104A/DS25CP114 は入力コモンモードが広範囲で、あらゆる一般的な差動ドライバ (LVPECL、LVDS、CML) と DC 結合できます。次の 3 つの図は一般的な差動ドライバとの DC 結合の代表例を示しています。

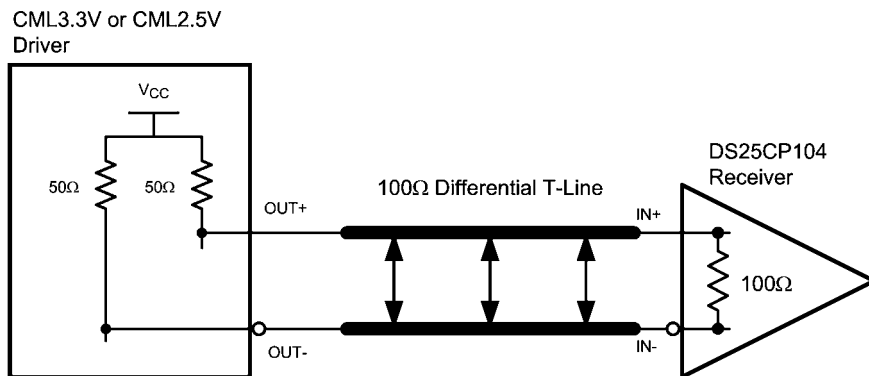
DS25CP104A の入力は $100\ \Omega$ の抵抗により内部で終端されており、最適なデバイス性能、部品数の削減、基板上の専有面積の縮小を実現しています。DS25CP114 で同等の AC 性能を得るには、外付けの入力終端をデバイス入力の可能な限り近くに配置する必要があります。4 つの入力をすべて利用する場合、デ

バイス入力から終端までの距離を最小限に抑えられるように、上層と下層を交互に使用する必要があるかもしれません。0402 またはそれ以下のサイズの SMT 抵抗を使用し、DS25CP114 のピンへの実装距離を 200mil 未満にすることを推奨します。

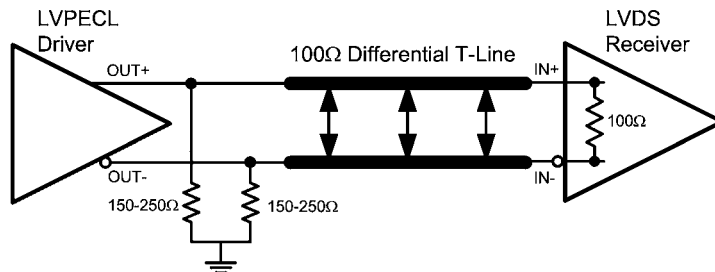
一部のマルチドロップ・トポロジで DS25CP114 を使用する場合は、伝送ライン・スタブをきわめて短くし、信号品質に対する悪影響を最小限に抑える必要があります。差動ライン・インピーダンスに一致する単一の終端抵抗または抵抗ネットワークを使用してください。2 つのデバイスからの DS25CP114 入力ペアをおのおのを単一の差動出力に接続する場合は、それぞれの DS25CP114 デバイスを互いのすぐ反対側に実装することを推奨します。つまり、プリント基板上面に 1 番目のデバイスを実装し、プリント基板底面の、1 番目のデバイスのすぐ下に 2 番目のデバイスを実装します。このようにすると、入力間の距離がプリント基板の厚みと等しくなり理想的です。



Typical LVDS Driver DC-Coupled Interface to DS25CP104A Input



Typical CML Driver DC-Coupled Interface to DS25CP104A Input



Typical LVPECL Driver DC-Coupled Interface to DS25CP104A Input

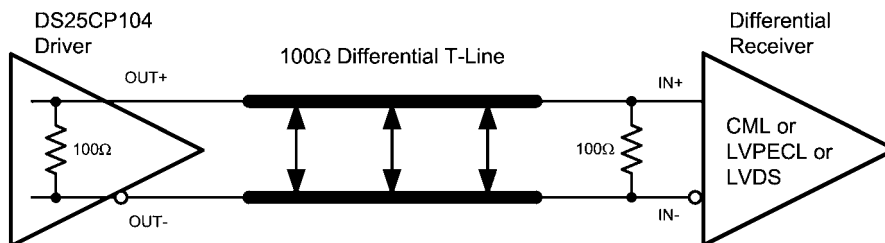
Note: DS25CP114 では、外付けの $100\ \Omega$ 入力終端が必要です。

レジスタの説明 (つづき)

出カインタフェース

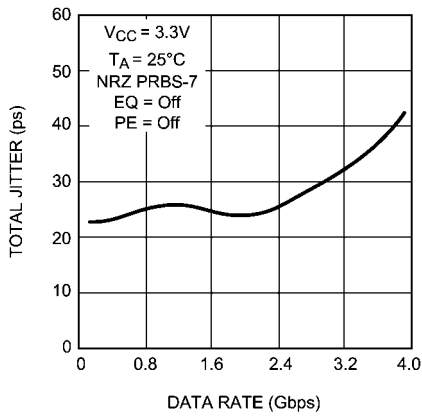
DS25CP104A/DS25CP114 は LVDS 規格に準拠した信号を出します。この出力は一般的なほとんどの差動レシーバに DC

結合できます。次の図は、一般的な差動レシーバとの DC 結合の代表例を示しています。ここではレシーバの入力インピーダンスが大きいと想定しています。ほとんどの差動レシーバの共通モード入力範囲は LVDS 規格に準拠した入力信号に対応できますが、推奨のインタフェースを導入する前に、個々のレシーバのデータシートをチェックするようにしてください。

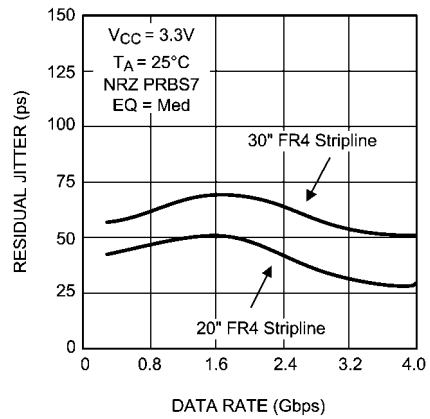


Typical Output DC-Coupled Interface to an LVDS, CML or LVPECL Receiver

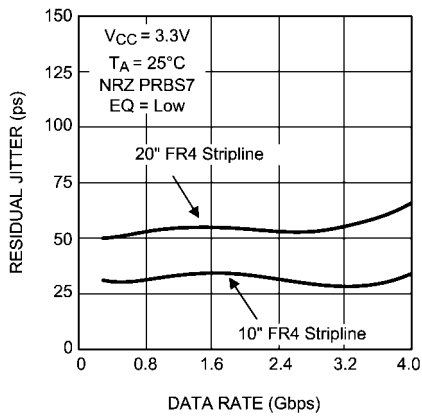
代表的な性能特性



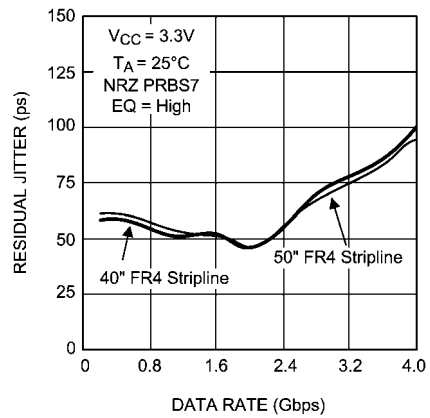
Total Jitter as a Function of Data Rate



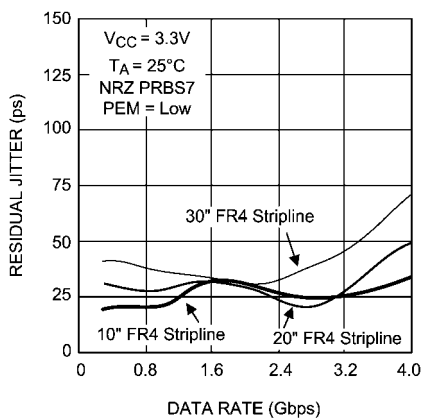
Residual Jitter as a Function of Data Rate, FR4 Stripline Length and EQ Level



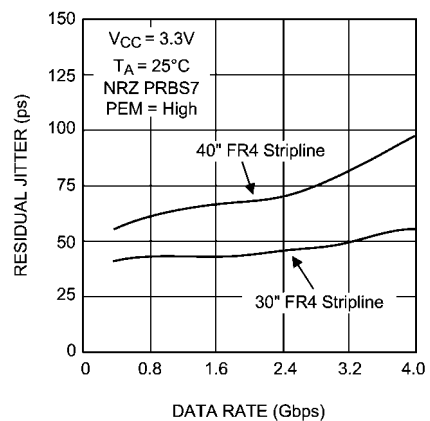
Residual Jitter as a Function of Data Rate, FR4 Stripline Length and EQ Level



Residual Jitter as a Function of Data Rate, FR4 Stripline Length and EQ Level

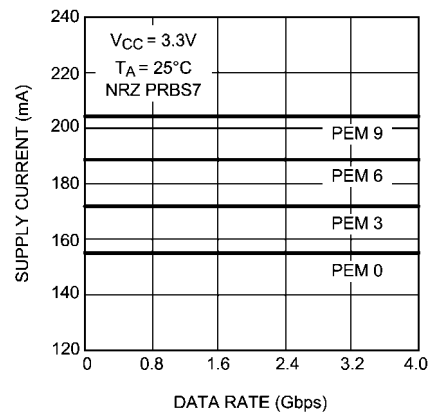
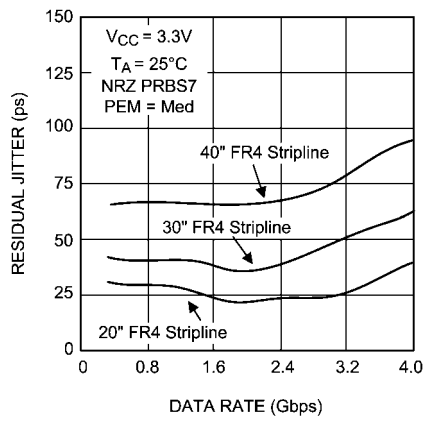


Residual Jitter as a Function of Data Rate, FR4 Stripline Length and PE Level



Residual Jitter as a Function of Data Rate, FR4 Stripline Length and PE Level

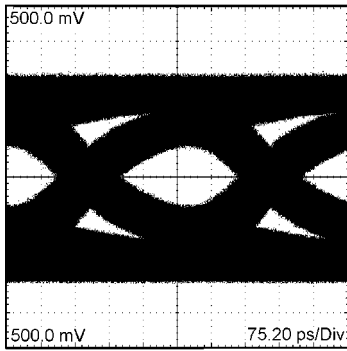
代表的な性能特性 (つづき)



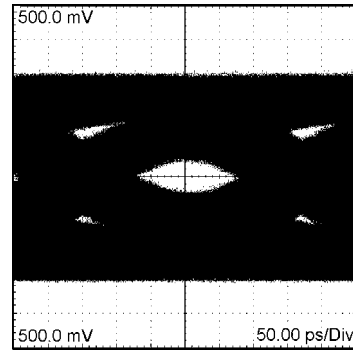
Residual Jitter as a Function of Data Rate, FR4 Stripline Length and PE Level

Supply Current as a Function of Data Rate and PE Level

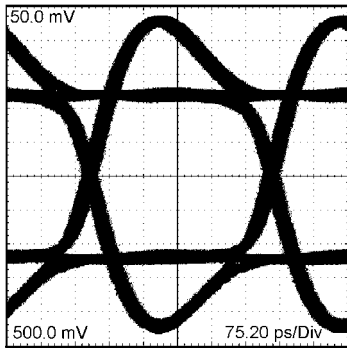
代表的性能



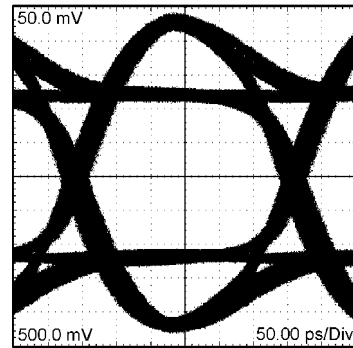
**A 2.5 Gbps NRZ PRBS-23 without PE
After 30" Differential FR-4 Stripline
H: 75 ps / DIV, V: 100 mV / DIV**



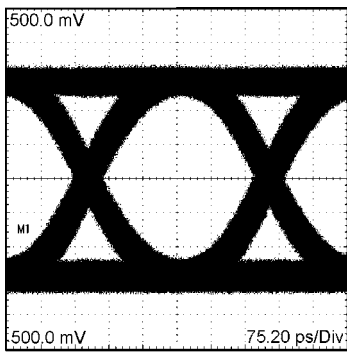
**A 3.125 Gbps NRZ PRBS-23 without PE
After 30" Differential FR-4 Stripline
H: 50 ps / DIV, V: 100 mV / DIV**



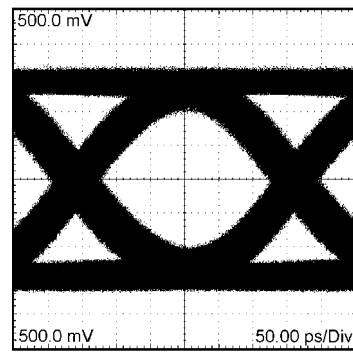
**A 2.5 Gbps NRZ PRBS-23 with High PE
After 2" Differential FR-4 Microstrip
H: 75 ps / DIV, V: 100 mV / DIV**



**A 3.125 Gbps NRZ PRBS-23 with High PE
After 2" Differential FR-4 Microstrip
H: 50 ps / DIV, V: 100 mV / DIV**

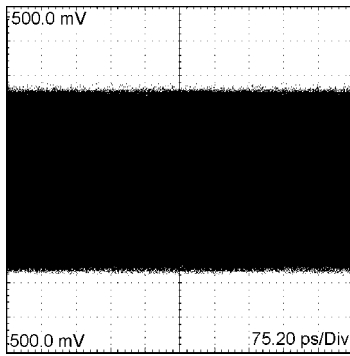


**A 2.5 Gbps NRZ PRBS-23 with High PE
After 30" Differential FR-4 Stripline
H: 75 ps / DIV, V: 100 mV / DIV**

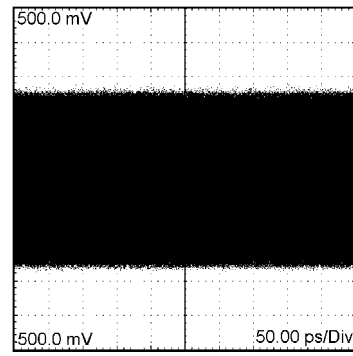


**A 3.125 Gbps NRZ PRBS-23 with High PE
After 30" Differential FR-4 Stripline
H: 50 ps / DIV, V: 100 mV / DIV**

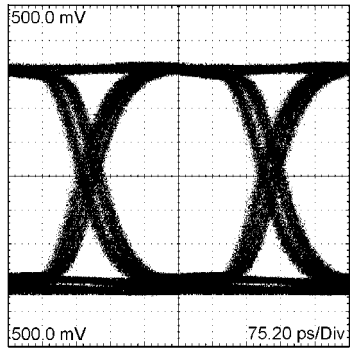
代表的性能 (つづき)



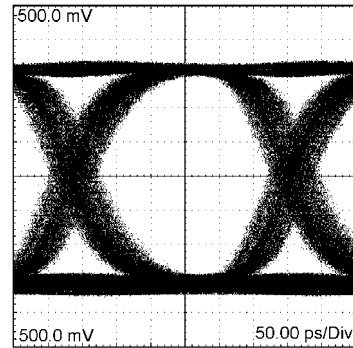
**A 2.5 Gbps NRZ PRBS-23 without EQ
After 60" Differential FR-4 Stripline
H: 75 ps / DIV, V: 100 mV / DIV**



**A 3.125 Gbps NRZ PRBS-23 without EQ
After 60" Differential FR-4 Stripline
H: 50 ps / DIV, V: 100 mV / DIV**

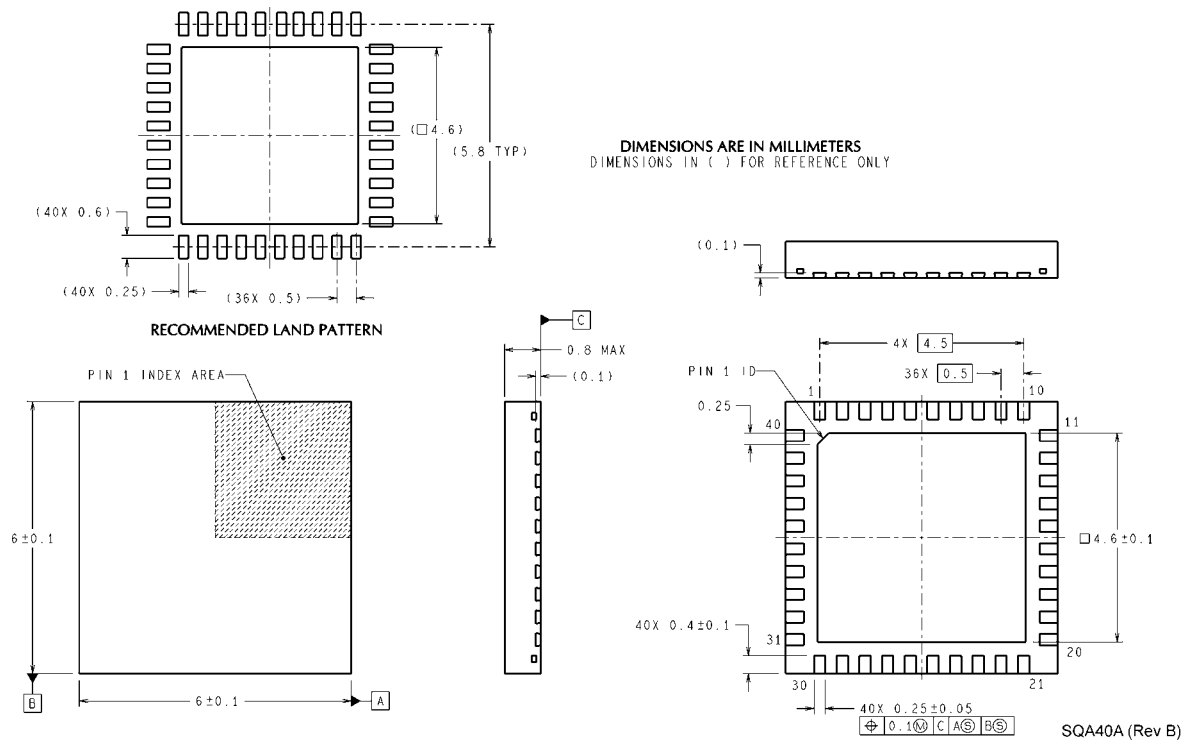


**A 2.5 Gbps NRZ PRBS-23 with High EQ
After 60" Differential FR-4 Stripline
H: 75 ps / DIV, V: 100 mV / DIV**



**A 3.125 Gbps NRZ PRBS-23 with High EQ
After 60" Differential FR-4 Stripline
H: 50 ps / DIV, V: 100 mV / DIV**

外形寸法図 特記のない限り inches (millimeters)



Order Number DS25CP104TSQ
Order Number DS25CP114TSQ
NS Package Number SQA40A
 (See AN-1187 for PCB Design and Assembly Recommendations)

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務を負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売か使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2011 National Semiconductor Corporation

製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上