

# DS25MB100

*DS25MB100 2.5 Gbps 2:1/1:2 CML Mux/Buffer with Transmit Pre-Emphasis and Receive Equalization*



Literature Number: JAJSAN4



2008年4月

## DS25MB100

### 送信プリアンプ / 受信イコライジング内蔵、 2.5Gbps 2:1/1:2 CML マルチプレクサ / バッファ

#### 概要

DS25MB100 は、バックプレーンの冗長ポートやケーブル駆動などの用途向けに開発された、シグナル・コンディショニング (信号調整機能) を持つ 2:1 マルチプレクサ / 1:2 ファンアウト・バッファです。シグナル・コンディショニングには、入力のイコライズ機能とプログラマブルな出力プリアンプ機能があり、最大 2.5Gbps の FR4 バックプレーンでのデータ通信を可能にします。各入力段には、基板配線による ISI 歪みを低減する固定イコライザを搭載しています。また、すべての出力ドライバは、4 段階の選択が可能なプリアンプ機能を備えており、長い FR4 バックプレーンやケーブル減衰による伝送損失を補償し、データミニステック・シッタ (確定的ジッタ) を低減します。プリアンプ・レベルはライン側、スイッチ側ドライバのそれぞれで独立に制御できます。スイッチ側入力からスイッチ側出力には内部ループバック・パスがあり、システムの At-Speed テストを行うことができます。レシーバ入力は、すべてチップ内で 100 の差動終端抵抗により終端されています。ドライバ出力は、すべて  $V_{CC}$  への 50 内部抵抗により終端されています。

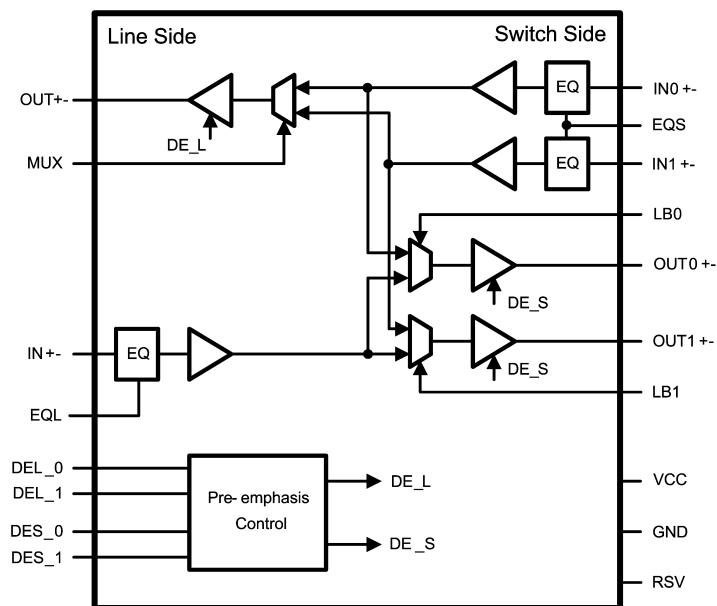
#### 特長

- 2:1 マルチプレクサおよび 1:2 バッファ
- 0.25 ~ 2.5Gbps の完全差動データ・パス
- 固定入力イコライズ機能
- プログラマブルな出力プリアンプ
- プリアンプ独立制御
- プログラマブルなループバック・モード
- オンチップ終端
- ESD 耐圧 人体モデル 6kV
- + 3.3V 電源
- 0.45W (typ) の低消費電力
- リードレス LLP-36 パッケージ
- 動作温度範囲 - 40 ~ + 85

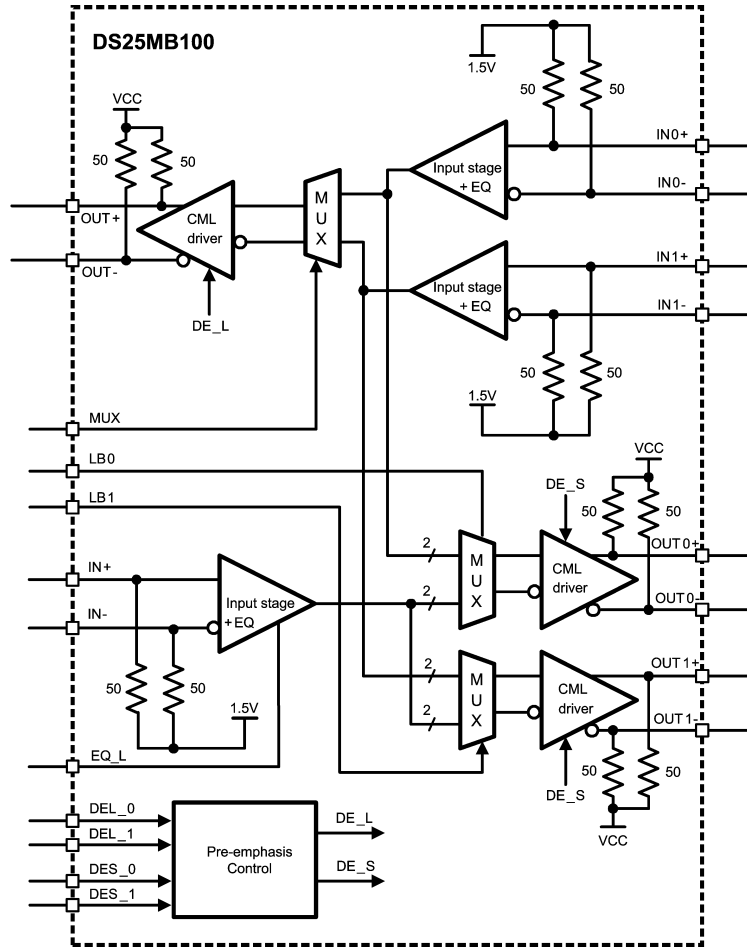
#### アプリケーション

- バックプレーンまたはケーブル・ドライバ
- 冗長ポートや信号調整などの用途
- CPRI/OBSAI

#### 機能ブロック図



ブロック図

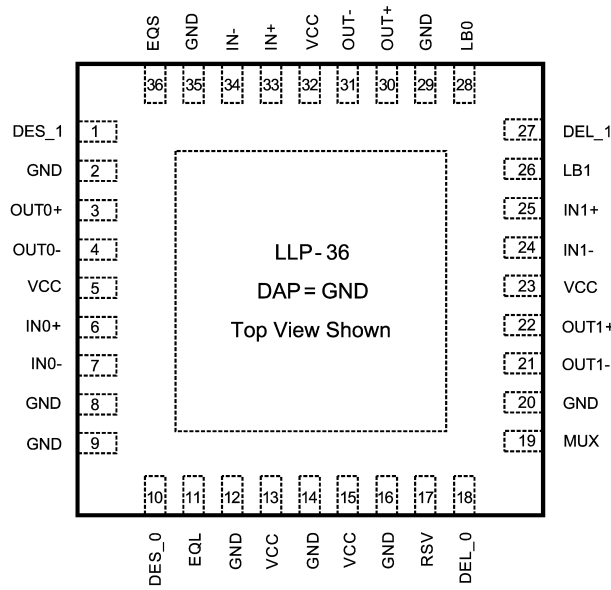


## ピン説明

ピン名	ピン番号	入出力	説明
<b>ライン側高速差動入出力</b>			
IN + IN -	33 34	I	ライン側の反転および非反転差動入力。IN + および IN - は、50 のチップ内抵抗を介して内部基準電圧に接続されています。Figure 6 を参照してください。
OUT + OUT -	30 31	O	ライン側の反転および非反転差動出力。OUT + および OUT - は、50 のチップ内抵抗を介して $V_{CC}$ に接続されています。
<b>スイッチ側高速差動入出力</b>			
OUT0 + OUT0 -	3 4	O	スイッチ側の反転および非反転差動出力。OUT0 + および OUT0 - は、50 のチップ内抵抗を介して $V_{CC}$ に接続されています。
OUT1 + OUT1 -	22 21	O	スイッチ側の反転および非反転差動出力。OUT1 + および OUT1 - は、50 のチップ内抵抗を介して $V_{CC}$ に接続されています。
IN0 + IN0 -	6 7	I	マルチプレクサ、スイッチ側の反転および非反転差動入力。IN0 + および IN0 - は、50 のチップ内抵抗を介して内部基準電圧に接続されています。Figure 6 を参照してください。
IN1 + IN1 -	25 24	I	マルチプレクサ、スイッチ側の反転および非反転差動入力。IN1 + および IN1 - は、50 のチップ内抵抗を介して内部基準電圧に接続されています。Figure 6 を参照してください。
<b>制御 (3.3V LVCMOS)</b>			
MUX	19	I	MUX にロジック Low を与えると、IN1 ± が選択されます。MUX は内部で High になっています。MUX のデフォルト状態は IN0 ± です。
EQL	11	I	ロジック Low を与えると、ライン側の入力コライザが有効になります。EQL は内部で High になっています。デフォルトでは、EQ はディスエーブルになっています。
EQS	36	I	ロジック Low を与えると、スイッチ側の入力コライザが有効になります。EQS は内部で High になっています。デフォルトでは、EQ はディスエーブルになっています。
DEL_0 DEL_1	18 27	I	DEL_0 および DEL_1 は、ライン側ドライバ (OUT ±) の出力プリエンファシスを選択します。DEL_0 および DEL_1 は内部で High になっています。
DES_0 DES_1	10 1	I	DES_0 および DES_1 は、スイッチ側ドライバ (OUT0 ±、OUT1 ±) の出力プリエンファシスを選択します。DES_0 および DES_1 は内部で High になっています。
LB0	28		LB0 にロジック Low を与えると、IN0 ± から OUT0 ± への内部ループバック・パスが有効になります。LB0 は内部で High になっています。
LB1	26	I	LB1 にロジック Low を与えると、IN1 ± から OUT1 ± への内部ループバック・パスが有効になります。LB1 は内部で High になっています。
RSV	17	I	工場内検査用の予約済みピンです。このピンの処理方法は、開放、GND への接続、外部プルダウン抵抗を介した GND への接続のいずれでも構いません。
<b>電源</b>			
$V_{CC}$	5, 13, 15, 23, 32	P	$V_{CC} = 3.3V \pm 5\%$ 。 各 $V_{CC}$ ピンは、低インダクタンスの配線経路により基板の $V_{CC}$ 層に接続するようにします。通常は、 $V_{CC}$ ピンをハンダ付けするパッドにできる限り近いビアを介して接続します。各 $V_{CC}$ ピンからグラウンド層に対して、0.01 $\mu F$ または 0.1 $\mu F$ の、X7R、0402 サイズのバイパス・コンデンサを接続することを推奨します。
GND	2, 8, 9, 12, 14, 16, 20, 29, 35	P	グラウンド基準電圧。各グラウンド・ピンは、低インダクタンスの配線経路によって基板のグラウンド層に接続するようにします。通常は GND ピンをハンダ付けするパッドにできる限り近いビアを介して接続します。
GND	DAP	P	DAP は、LLP パッケージの中央底面にある、金属の接触面です。グラウンド・インピーダンスを低減し、パッケージの熱性能を良くするために、16 個以上のビアでグラウンド層に接続してください。

NOTE: I = 入力、O = 出力、P = 電力

ピン配置図



Order Number DS25MB100TSQ  
See NS Package Number SQA36A

機能説明

DS25MB100 は、最大 2.5Gbps のポート冗長をサポートするために開発されたシグナル・コンディショニングを持つ、2:1 マルチプレクサ /1:2 バッファです。各入力段には固定イコライザを搭載しており、短いバックプレーン配線（約 10 インチ /25.4cm のバックプレーン）による伝送損失 5dB を補償するイコライズ機能を提供します。出力ドライバは、このチップが駆動するバックプレーンの伝送損失を補償するプリエンファシス（ドライバ側イコライズ）機能を備えています。ドライバは、低周波数と高周波数の波形パルスが、バックプレーンの終端でほぼ同じ振幅になるように、出力信号を調整します。これにより、振幅の差異によって生じるデータミスティック・ジッタ（確定的ジッタ）を最小限に抑えます。DS25MB100 では、さまざまな長さのバックプレーンに対応するために、0、- 3、- 6、- 9dB の 4 段階のプリエンファシス・レベルのいずれかをユーザーが選択できます。Figure 1 にドライバのプリエンファシス波形を示します。プリエンファシス時間の公称値は、2.5Gbps の場合ビット幅 0.47 に相当する 188ps です。スイッチ側、ライン側のプリエンファシス・レベルは個別にプログラムできます。

入力は約 1.3V に自己バイアスされ、AC 結合に対応した設計がなされています。入力は、LVDS、LVPECL、CML など、ほとんどの AC 結合差動信号と互換性があります。

TABLE 1. マルチプレクサ制御の論理表

MUX	マルチプレクス機能
0	MUX はスイッチ入力 IN1 ± を選択します。
1 (デフォルト)	MUX はスイッチ入力 IN0 ± を選択します。

TABLE 2. ループバック制御の論理表

LB0	ループバック機能
0	IN0 ± から OUT0 ± へのループバックを有効にします。
1 (デフォルト)	通常モードです。ループバック機能は無効になります。
LB1	ループバック機能
0	IN1 ± から OUT1 ± へのループバックを有効にします。
1 (デフォルト)	通常モードです。ループバック機能は無効になります。

機能説明 (つづき)

TABLE 3. ライン側プリエンファシス制御

DEL_[1:0]	Pre-Emphasis Level in mV <sub>PP</sub> (VODB)	Pre-Emphasis Level in mV <sub>PP</sub> (VODPE)	Pre-Emphasis in dB (VODPE/VODB)	Typical FR4 Board Trace
0 0	1300	1300	0	10 inches
0 1	1300	920	-3	20 inches
1 0	1300	650	-6	30 inches
1 1 (default)	1300	461	-9	40 inches

TABLE 4. スイッチ側プリエンファシス制御

DES_[1:0]	Pre-Emphasis Level in mV <sub>PP</sub> (VODB)	Pre-Emphasis Level in mV <sub>PP</sub> (VODPE)	Pre-Emphasis in dB (VODPE/VODB)	Typical FR4 Board Trace
0 0	1300	1300	0	10 inches
0 1	1300	920	-3	20 inches
1 0	1300	650	-6	30 inches
1 1 (default)	1300	461	-9	40 inches

TABLE 5. ライン側およびスイッチ側の EQ 制御

EQL or EQS	Equalizer Function
0	Enable equalization.
1 (default)	Normal mode. Equalization disabled.

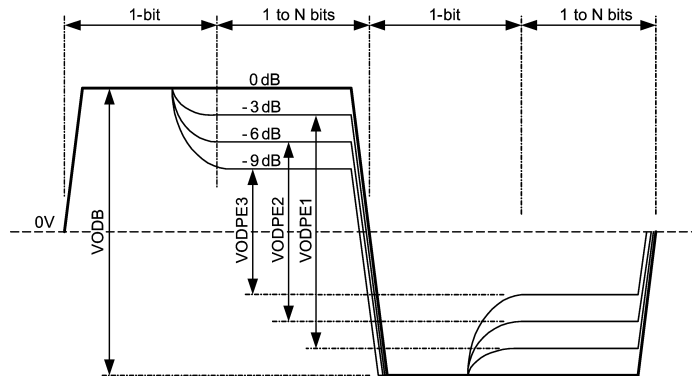


FIGURE 1. Driver Pre-Emphasis Differential Waveform (Showing All 4 Pre-Emphasis Steps)

## 絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。  
関連する電気的信頼性試験方法の規格を参照ください。

電源電圧 (V <sub>CC</sub> )	- 0.3V ~ 4V
CMOS/TTL 入力電圧	- 0.3V ~ (V <sub>CC</sub> + 0.3V)
CML 入出力電圧	- 0.3V ~ (V <sub>CC</sub> + 0.3V)
最大接合部温度	+ 150
保存温度範囲	- 65 ~ + 150
リード温度 (ハンダ付け 4 秒)	+ 260
熱抵抗 JA (Note 8)	26.2 /W
熱抵抗 JC	3.3 /W
熱抵抗 JB	11.1 /W

## ESD 定格 (Note 10)

HBM、1.5k、100pF  
CDM  
MM

6kV  
1.25kV  
350V

## 推奨動作条件

	最小値	代表値	最大値	単位
電源電圧 (V <sub>CC</sub> - GND)	3.135	3.3	3.465	V
電源ノイズ振幅 10Hz ~ 2GHz			100	mV <sub>pp</sub>
周囲温度	- 40		85	
ケース温度			100	

## 電気的特性

特記のない限り、推奨動作条件における電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Min	Typ (Note 2)	Max	Units
<b>LVCMOS DC SPECIFICATIONS</b>						
V <sub>IH</sub>	High Level Input Voltage		2.0		V <sub>CC</sub> +0.3	V
V <sub>IL</sub>	Low Level Input Voltage		-0.3		0.8	V
I <sub>IH</sub>	High Level Input Current	V <sub>IN</sub> = V <sub>CC</sub>	-10		10	μA
I <sub>IL</sub>	Low Level Input Current	V <sub>IN</sub> = GND	75	94	124	μA
R <sub>PU</sub>	Pull-High Resistance			35		kΩ
<b>RECEIVER SPECIFICATIONS</b>						
V <sub>ID</sub>	Differential Input Voltage Range (Note 9)	AC Coupled Differential Signal Below 1.25 Gbps Above 1.25 Gbps This parameter is not tested at production	100 100		1750 1560	mV <sub>P-P</sub> mV <sub>P-P</sub>
V <sub>ICM</sub>	Common Mode Voltage at Receiver Inputs	Measured at receiver inputs reference to ground		1.3		V
R <sub>ITD</sub>	Input Differential Termination (Note 3)	On-chip differential termination between IN+ or IN-	84	100	116	Ω
<b>DRIVER SPECIFICATIONS</b>						
V <sub>ODB</sub>	Output Differential Voltage Swing without Pre-Emphasis (Note 4)	R <sub>L</sub> = 100Ω ±1% DES_1=DES_0=0 DEL_1=DEL_0=0 Driver Pre-emphasis disabled Running K28.7 pattern at 2.5 Gbps See Figure 5 for test circuit.	1100	1300	1500	mV <sub>P-P</sub>
V <sub>PE</sub>	Output Pre-Emphasis Voltage Ratio 20*log(VODPE/VODB)	R <sub>L</sub> = 100Ω ±1% Running K28.7 pattern at 2.5 Gbps DEx_[1:0]=00 DEx_[1:0]=01 DEx_[1:0]=10 DEx_[1:0]=11 x=S for switch side Pre-emphasis control x=L for line side Pre-emphasis control See Figure 1 on waveform. See Figure 5 for test circuit.		0 -3 -6 -9		dB dB dB dB

## 電気的特性 (つづき)

特記のない限り、推奨動作条件における電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Min	Typ (Note 2)	Max	Units
$T_{PE}$	Pre-Emphasis Width	Tested at -9 dB Pre-emphasis level, $DE_{x[1:0]}=11$ $x=S$ for switch side Pre-emphasis control $x=L$ for line side Pre-emphasis control See <i>Figure 4</i> on measurement condition.	125	188	250	ps
$R_{OTSE}$	Output Termination (Note 3)	On-chip termination from $OUT+$ or $OUT-$ to $V_{CC}$	42	50	58	$\Omega$
$R_{OTD}$	Output Differential Termination	On-chip differential termination between $OUT+$ and $OUT-$		100		$\Omega$
$\Delta R_{OTSE}$	Mis-Match in Output Termination Resistors	Mis-match in output terminations at $OUT+$ and $OUT-$			5	%
$V_{OCM}$	Output Common Mode Voltage			2.7		V
<b>POWER DISSIPATION</b>						
$P_D$	Power Dissipation	$V_{DD} = 3.3V @ 25^\circ C$ All outputs terminated by $100\Omega \pm 1\%$ . $DEL_{[1:0]}=0$ , $DES_{[1:0]}=0$ Running PRBS 27-1 pattern at 2.5 Gbps		0.45		W
<b>AC CHARACTERISTICS</b>						
$t_R$	Differential Low to High Transition Time	Measured with a clock-like pattern at 2.5 Gbps, between 20% and 80% of the differential output voltage. Pre-emphasis disabled Transition time is measured with fixture as shown in <i>Figure 5</i> , adjusted to reflect the transition time at the output pins		100		ps
$t_F$	Differential High to Low Transition Time			100		ps
$t_{PLH}$	Differential Low to High Propagation Delay	Measured at 50% differential voltage from input to output			1	ns
$t_{PHL}$	Differential High to Low Propagation Delay				1	ns
$t_{SKP}$	Pulse Skew	$ t_{PHL} - t_{PLH} $			20	ps
$t_{SKO}$	Output Skew (Note 7)	Difference in propagation delay between two outputs in the same device			100	ps
$t_{SKPP}$	Part-to-Part Skew	Difference in propagation delay between the same output from devices operating under identical conditions			100	ps
$t_{SM}$	Mux Switch Time	Measured from $V_{IH}$ or $V_{IL}$ of the mux-control or loopback control to 50% of the valid differential output		1.8	6	ns
RJ	Device Random Jitter (Note 5)	See <i>Figure 5</i> for test circuit. Alternating-1-0 pattern EQ and Pre-emphasis disabled. At 0.25 Gbps At 1.25 Gbps At 2.5 Gbps			2 2 2	psrms psrms psrms
DJ	Device Deterministic Jitter (Note 6)	See <i>Figure 5</i> for test circuit. EQ and Pre-emphasis disabled Between 0.25 and 2.5 Gbps with PRBS7 pattern for DS25MB100 @ $-40^\circ C$ to $85^\circ C$			35	·Psp
DR	Data Rate (Note 9)	Tested with alternating-1-0 pattern	0.25		2.5	Gbps

**Note 1:** 「絶対最大定格」とは、この値を超えるとデバイスの安全を保証できない制限値を意味します。また、絶対最大定格の上限または下限でデバイスを動作させるべきであることを示しているわけではありません。

**Note 2:** 代表値は  $V_{CC} = 3.3V$ 、 $T_A = 25$  で測定されており、製品の特性を評価した時点において最も可能性のあるパラメータの基準値を表しています。代表値を保証しているものではありません。

**Note 3:**  $IN+$  および  $IN-$  は、DS25MB100 が持つ多数の相補入力対の 1 つを表す一般名です。  $OUT+$  および  $OUT-$  は、DS25MB100 が持つ多数の相補出力対の 1 つを表す一般名です。差動入力電圧  $V_{ID}$  は  $|IN+ - IN-|$  として定義されています。差動出力電圧  $V_{OD}$  は  $|OUT+ - OUT-|$  として定義されています。



- Note 4:** K28.7 パターンとは、10 ビットの K28.7 コード・グループ { 001111 1000 } を繰り返すパターンです。  
K28.5 パターンとは、20 ビットの + K28.5 および - K28.5 コード・グループ { 110000 0101 001111 1010 } を繰り返すパターンです。
- Note 5:** デバイス出力ランダム・ジッタとは、デバイスに起因するランダム・ジッタの測定値です。値は、式  $\sqrt{RJ_{OUT}^2 - RJ_{IN}^2}$  で計算されます。ここで、 $RJ_{OUT}$  はデバイス出力に対して測定した総ランダム・ジッタ (psRMS)、 $RJ_{IN}$  はデバイスを駆動するパターン・ジェネレータのランダム・ジッタです。
- Note 6:** デバイス出力デジタミスティック・ジッタとは、デバイスに起因するデジタミスティック・ジッタの測定値です。値は、式  $(DJ_{OUT} - DJ_{IN})$  で計算されます。ここで、 $DJ_{OUT}$  はデバイス出力に対して測定したピーク・ツー・ピークの総デジタミスティック・ジッタ (pspp)、 $DJ_{IN}$  はデバイスを駆動するパターン・ジェネレータのピーク・ツー・ピークのデジタミスティック・ジッタです。
- Note 7:**  $t_{SKO}$  はデータ・バス間の伝搬遅延の差を表しています。例えば、データ・バス IN0 ± から OUT ±、IN1 ± から OUT ± の出力スキューなどがあります。別の例として、データ・バス IN ± から OUT0 ±、IN ± から OUT1 ± の出力スキューもあります。さらに、 $t_{SKO}$  は、同一ポートのループバック・バス間、および同一データ・バス間の遅延スキューも表します。例えば、データ・バス IN0 ± から OUT0 ±、IN1 ± から OUT1 ± の出力スキューなどがあります。
- Note 8:** 熱抵抗は、エアフローなしで DAP パッドに 16 個の熱スレーホールがある条件を基準としています。
- Note 9:** この値は、設計または特性評価、あるいはその両方によって保証されています。量産時における試験は行っていません。
- Note 10:** ESD 試験は次の規格に準拠しています。  
人体モデル適用規格 : MIL-STD-883、メソッド 3015.7  
マシン・モデル適用規格 : JESD22-A115-A (JEDEC、ESD MM 規格)  
電場誘起帯電試験モデル : 適用規格 JESD22-C101-C (JEDEC、ESD FICDM 規格)

### タイミング図

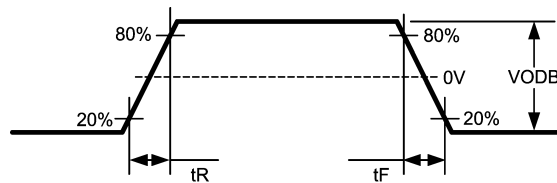


FIGURE 2. Driver Output Transition Time

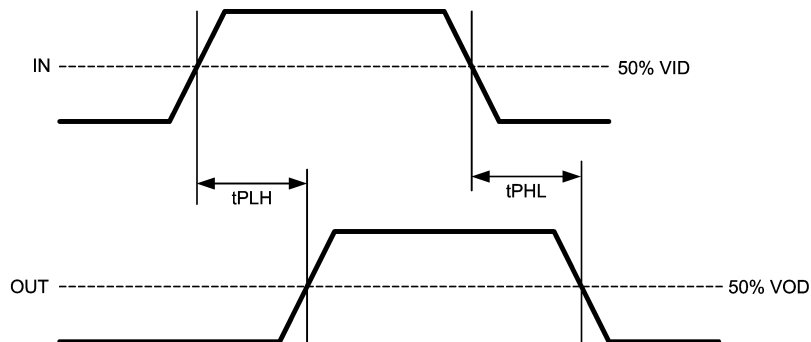


FIGURE 3. Propagation Delay from Input to Output

タイミング図(つぎ)

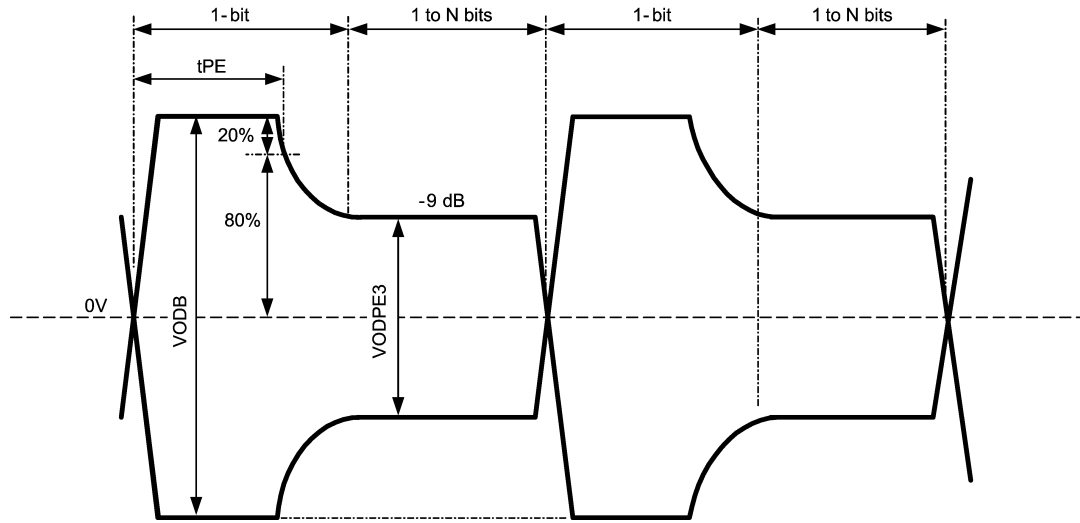


FIGURE 4. Test Condition for Output Pre-Emphasis Duration

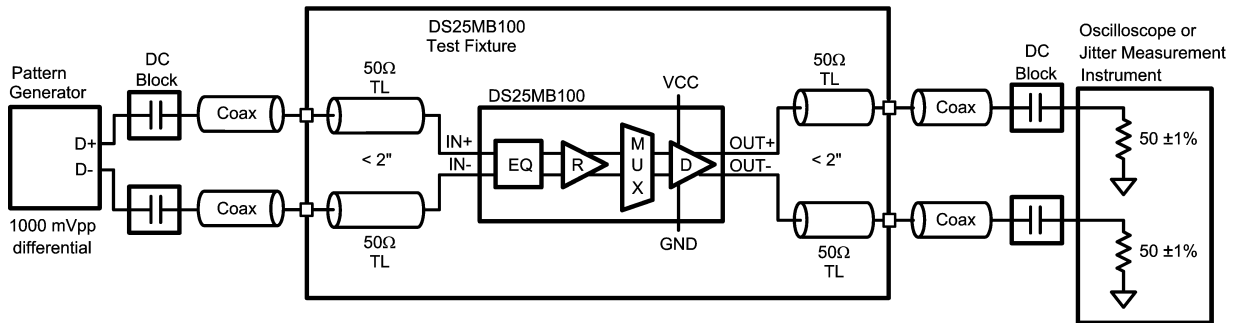


FIGURE 5. AC Test Circuit

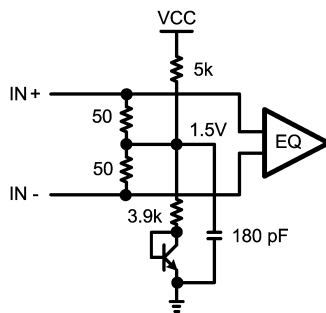


FIGURE 6. Receiver Input Termination and Bias Circuit

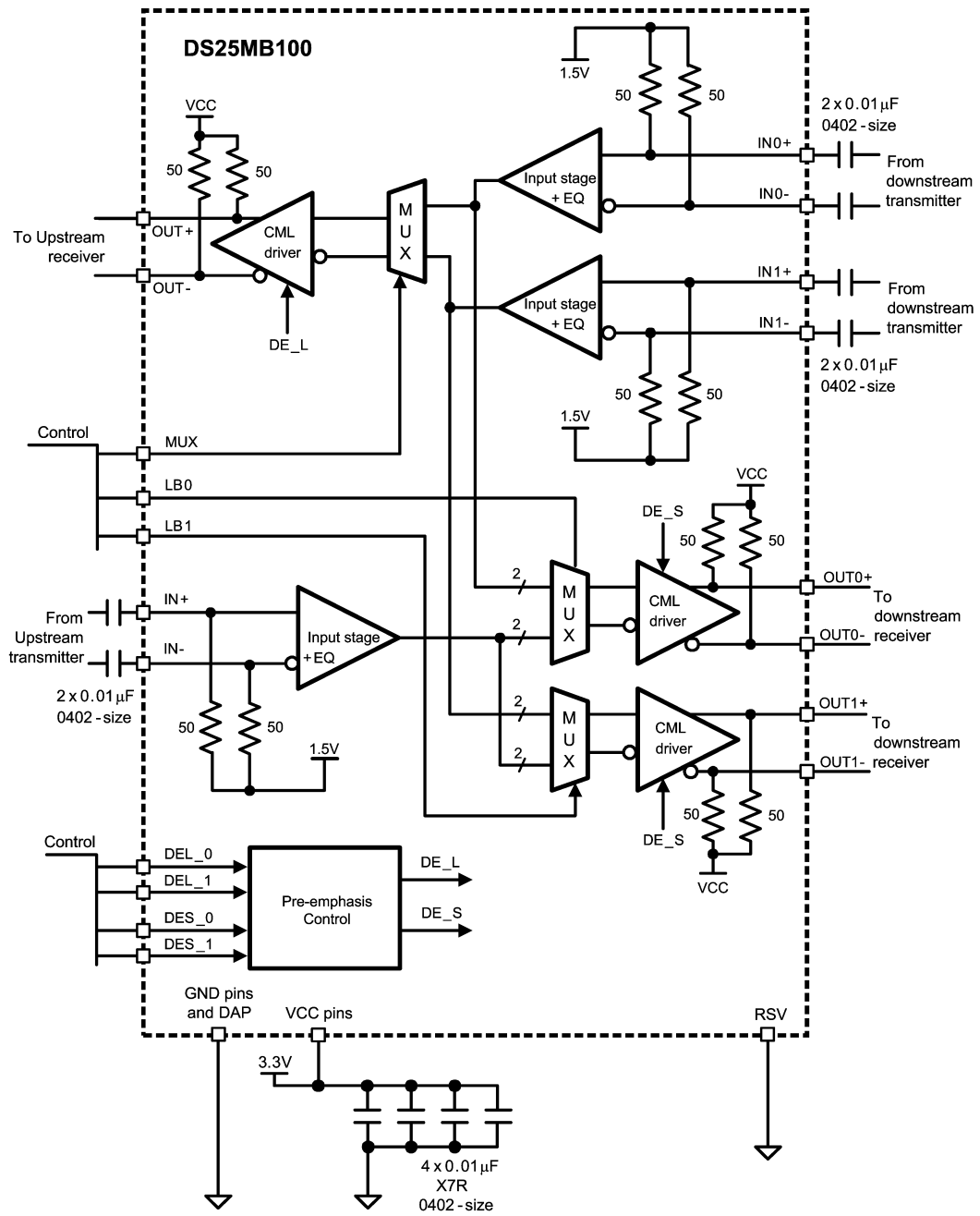


FIGURE 7. Application Diagram

アプリケーション情報 (つづき)

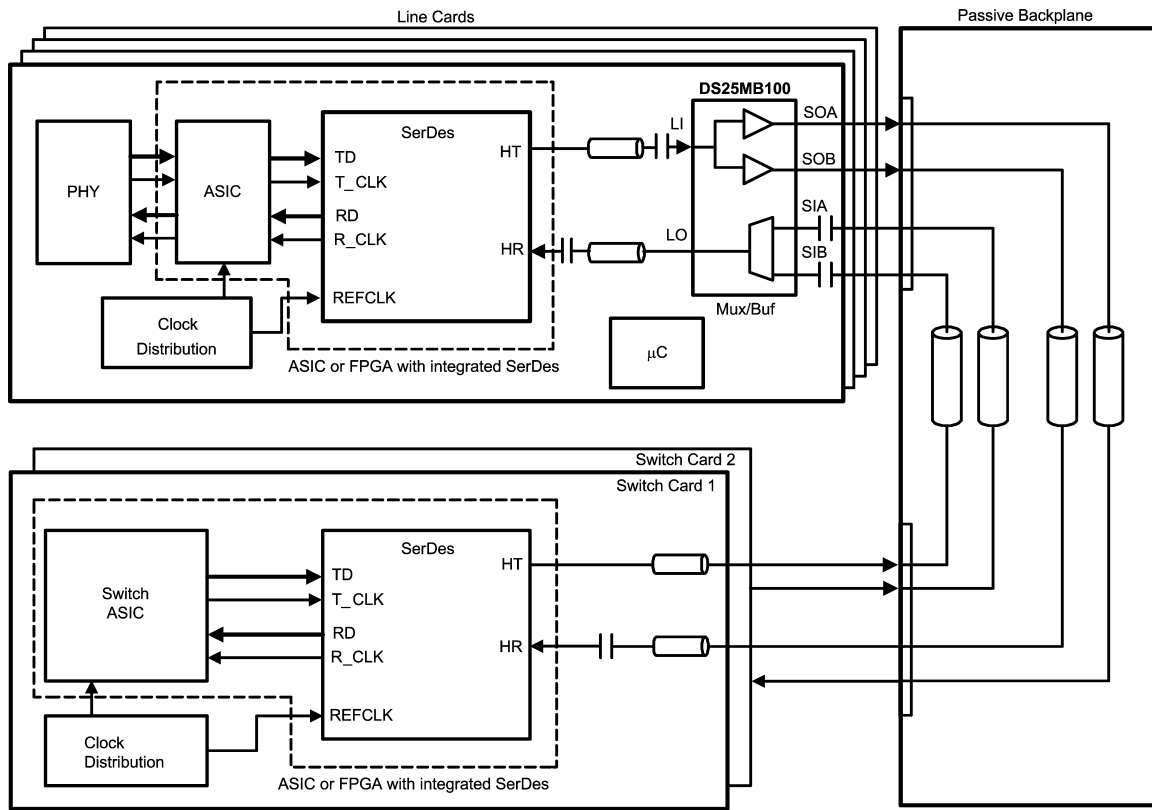
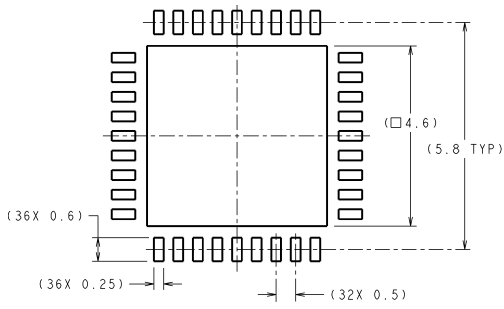
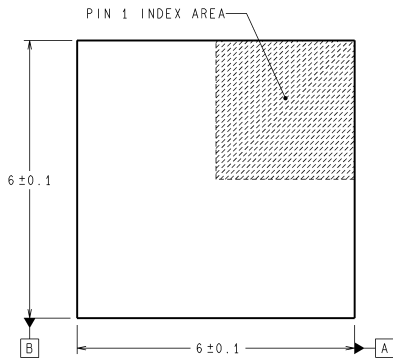


FIGURE 8. Network Switch System With Redundancy

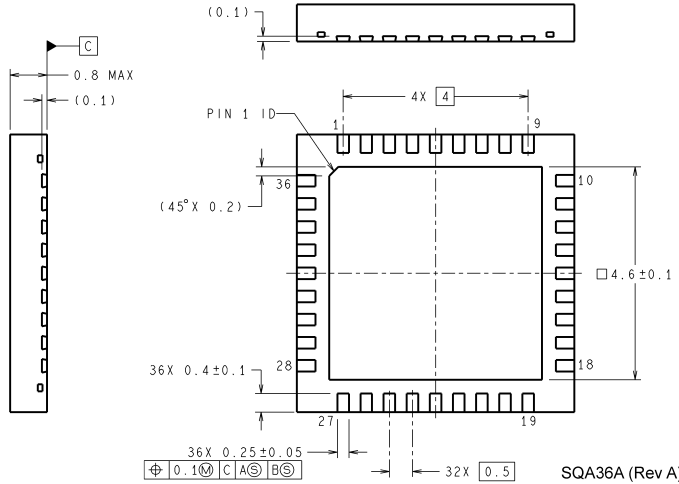
外形寸法図 単位は millimeters



RECOMMENDED LAND PATTERN



DIMENSIONS ARE IN MILLIMETERS  
DIMENSIONS IN ( ) FOR REFERENCE ONLY



SQA36A (Rev A)

LLP-36 Package  
Order Number DS25MB100TSQ  
NS Package Number SQA36A

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

#### 生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2007 National Semiconductor Corporation  
製品の最新情報については [www.national.com](http://www.national.com) をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

[www.national.com/jpn/](http://www.national.com/jpn/)

# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated (TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2012, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上