

DS32EV400

DS32EV400 DisplayPort Quad Equalizer



Literature Number: JAJSAW3

DisplayPort™ クワッド・イコライザ

概要

DS32EV400 プログラマブル・クワッド・イコライザは、4つのNRZデータ・チャンネルの伝送損失を補償し、メディアに起因する確定的ジッタ (DJ) を低減します。DS32EV400 はケーブルとFR4トレース両方について最大 3.2Gbps までの動作に最適です。各イコライザ・チャンネルに入力のコライゼーション・レベルが8つずつあり、3つの制御ピンで同時に設定するか、または SMBus (シリアル・マネジメント・バス) インタフェースを通じて個々にプログラミングができます。3.2Gbps では、最大 14dB の損失をイコライズします。

イコライザは、ロング・ランレングスの PRBS-31 などのデータ・パターンやバランスのとれた 8b/10b などのコードのための AC 結合、DC 結合両方のデータ・パスをサポートします。CML (カレント・モード・ロジック) 差動入出力が採用されています。

各チャンネルは、独立した信号検出出力と独立したイネーブル入力を備えています。SD 出力を EN に接続すると、チャンネルのパワーオン/パワーダウンを自動制御することもできます。

DS32EV400 は、DisplayPort、XAUI、InfiniBand などの高速データ伝送アプリケーションをはじめ、各種のアプリケーションに使用できます。

DS32EV400 は、7mm × 7mm の 48ピン・リードレス LLP パッケージで供給されます。2.5V または 3.3V 電源で動作します。

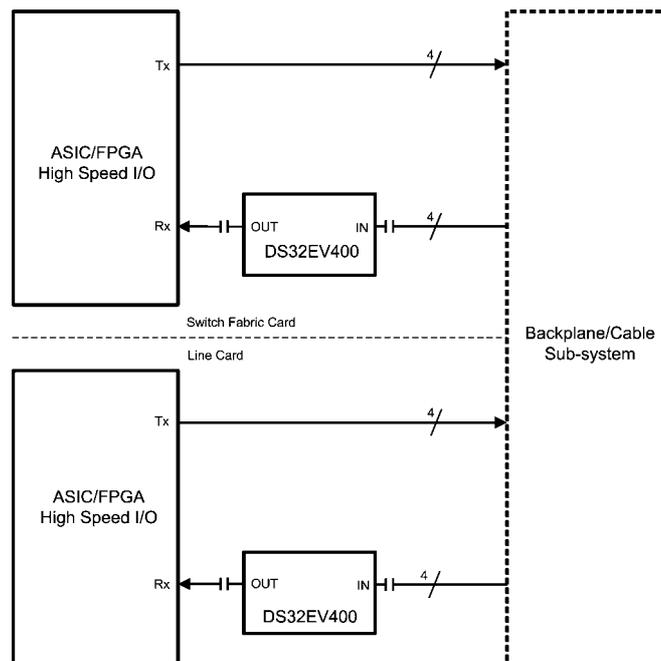
特長

- 3.2Gbps で最大 14dB の損失をイコライズ
- プログラマブルな 8 つのコライゼーション・レベル
- 制御ピンまたは SMBus インタフェースで設定可能
- 40 インチの FR4トレースで最大 3.2Gbps で動作
- 40 インチの FR4トレース上での 3.2Gbps の動作で残留確定的ジッタ (DJ) を 0.12UI まで低減
- 2.5V または 3.3V の単一電源
- 各チャンネルに対する信号検出
- 各チャンネルに対するスタンバイ・モード
- 広い入力共通モードの AC 結合または DC 結合をサポート
- 低消費電力: 2.5V で 375mW (typ)
- 小型 (7mm × 7mm) の 48ピン LLP パッケージ
- HBM ESD 耐圧: 9kV
- - 40 °C ~ + 85 °C の動作温度範囲

アプリケーション

- DisplayPort
- XAUI
- InfiniBand
- その他の 8b10b アプリケーション

簡略アプリケーション図



DisplayPort™ は、Video Electronics Standards Association (VESA) の商標です。

ピン説明

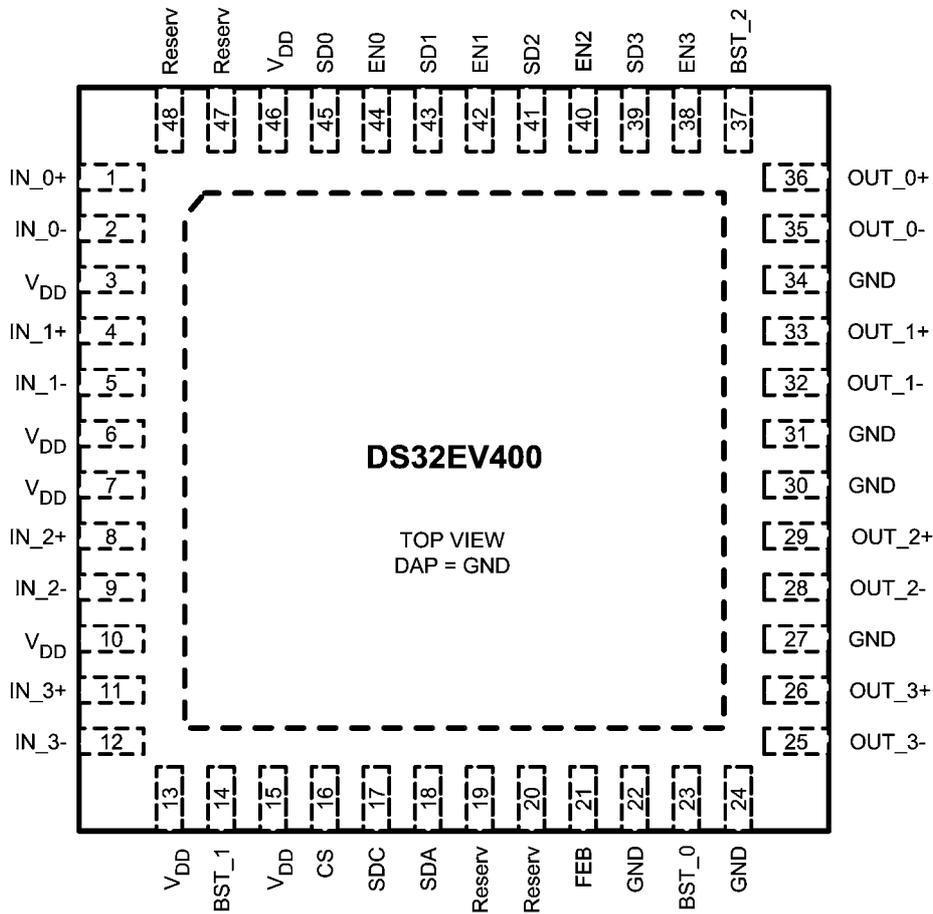
ピン名	ピン番号	I/O、タイプ	説明
高速差動入力 / 出力 (I/O)			
IN_0 + IN_0 -	1 2	I、CML	イコライザへの反転および非反転 CML 差動入力。IN_0 + と IN_0 - の間にオンチップの 100 Ω 終端抵抗が内蔵されています。Figure 6 を参照してください。
IN_1 + IN_1 -	4 5	I、CML	イコライザへの反転および非反転 CML 差動入力。IN_1 + と IN_1 - の間にオンチップの 100 Ω 終端抵抗が内蔵されています。Figure 6 を参照してください。
IN_2 + IN_2 -	8 9	I、CML	イコライザへの反転および非反転 CML 差動入力。IN_2 + と IN_2 - の間にオンチップの 100 Ω 終端抵抗が内蔵されています。Figure 6 を参照してください。
IN_3 + IN_3 -	11 12	I、CML	イコライザへの反転および非反転 CML 差動入力。IN_3 + と IN_3 - の間にオンチップの 100 Ω 終端抵抗が内蔵されています。Figure 6 を参照してください。
OUT_0 + OUT_0 -	36 35	O、CML	イコライザからの反転および非反転 CML 差動出力。OUT_0 + と V _{DD} 、OUT_0 - と V _{DD} にオンチップの 50 Ω 終端抵抗が内蔵されています。
OUT_1 + OUT_1 -	33 32	O、CML	イコライザからの反転および非反転 CML 差動出力。OUT_1 + と V _{DD} 、OUT_1 - と V _{DD} にオンチップの 50 Ω 終端抵抗が内蔵されています。
OUT_2 + OUT_2 -	29 28	O、CML	イコライザからの反転および非反転 CML 差動出力。OUT_2 + と V _{DD} 、OUT_2 - と V _{DD} にオンチップの 50 Ω 終端抵抗が内蔵されています。
OUT_3 + OUT_3 -	26 25	O、CML	イコライザからの反転および非反転 CML 差動出力。OUT_3 + と V _{DD} 、OUT_3 - と V _{DD} にオンチップの 50 Ω 終端抵抗が内蔵されています。
イコライゼーション制御			
BST_2 BST_1 BST_0	37 14 23	I、LVCMOS	BST_2、BST_1、BST_0 によってすべての EQ チャンネルのイコライザ強度を選択。BST_2 は内部で High になっています。BST_1 と BST_0 は内部でプルダウン。
デバイス制御			
EN0	44	I、LVCMOS	イコライザ・チャンネル 0 の入力をイネーブル。High にすると通常の動作になります。Low にするとスタンバイ・モードになります。EN は内部でプルアップ。
EN1	42	I、LVCMOS	イコライザ・チャンネル 1 の入力をイネーブル。High にすると通常の動作になります。Low にするとスタンバイ・モードになります。EN は内部でプルアップ。
EN2	40	I、LVCMOS	イコライザ・チャンネル 2 の入力をイネーブル。High にすると通常の動作になります。Low にするとスタンバイ・モードになります。EN は内部でプルアップ。
EN3	38	I、LVCMOS	イコライザ・チャンネル 3 の入力をイネーブル。High にすると通常の動作になります。Low にするとスタンバイ・モードになります。EN は内部でプルアップ。
FEB	21	I、LVCMOS	ブーストを外部制御。High にすると、BST_[2:0] ピンによってイコライザのブースト設定値が制御されます。Low にすると、SMBus (Table 1 参照) のレジスタ・ビットによってイコライザのブースト設定値が制御されます。FEB は内部でプルアップされています。
SD0	45	O、LVCMOS	イコライザのチャンネル 0 信号検出出力。信号を検出すると High になります。
SD1	43	O、LVCMOS	イコライザのチャンネル 1 信号検出出力。信号を検出すると High になります。
SD2	41	O、LVCMOS	イコライザのチャンネル 2 信号検出出力。信号を検出すると High になります。
SD3	39	O、LVCMOS	イコライザのチャンネル 3 信号検出出力。信号を検出すると High になります。
電源			
V _{DD}	3, 6, 7, 10, 13, 15, 46	電源	V _{DD} は 2.5V ± 5% または 3.3V ± 10% です。V _{DD} ピンは、低インダクタンスのパスで V _{DD} 層に接続します。各 V _{DD} ピンとグラウンド・プレーンに 0.01 μF のバイパス・コンデンサを接続します。
GND	22, 24, 27, 30, 31, 34	電源	グラウンド・リファレンス電圧。GND は、低インピーダンスの経路でグラウンド層に接続します。
DAP	PAD	電源	グラウンド・リファレンス電圧。パッケージの中央にある露出パッドはボードのグラウンド・プレーンに接続しなければなりません。

ピン説明 (つづき)

ピン名	ピン番号	I/O、タイプ	説明
シリアル・マネジメント・バス (SMBus) インタフェース制御ピン			
SDA	18	I/O、LVCMOS	データ入出力 (双方向)。内部でプルアップ。
SDC	17	I、LVCMOS	クロック入力。内部でプルアップ。
CS	16	I、LVCMOS	チップ・セレクト。プルアップすると、本イコライザの SMBus レジスタへのアクセスが有効になります。プルダウンすると、本イコライザの SMBus レジスタへのアクセスが無効になります。詳細については、「システム・マネジメント・バス (SMBus) と構成レジスタ」の項を参照してください。
その他			
Reserv	19, 20 47, 48		予約済みです。接続しないでください。

Note: I = 入力 O = 出力

ピン配置図



製品情報

NSID	Package Type, Qty Size	Package ID
DS32EV400SQ	48-pin LLP (7 mm x 7 mm x 0.8 mm, 0.5 mm pitch, reel of 250)	SQA48D
DS32EV400SQX	48-pin LLP (7 mm x 7 mm x 0.8 mm, 0.5 mm pitch, reel of 2500)	SQA48D

絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電氣的信頼性試験方法の規格を参照ください。

電源電圧 (V_{DD})	- 0.5V ~ + 4.0V
CMOS 入力電圧	- 0.5V + 4.0V
CMOS 出力電圧	- 0.5V ~ 4.0V
CML 入出力 (I/O) 電圧	- 0.5V ~ 4.0V

ESD 耐圧

人体モデル (HBM)、1.5k Ω 、100pF
EIAJ、0 Ω 、200pF

9kV 以上
250V 以上

熱抵抗

 θ_{JA} 、エアフローなし

30 °C /W

推奨動作条件

		最小値	代表値	最大値	単位
接合部温度	+ 150 °C				
保存温度範囲	- 65 °C ~ + 150 °C				
リード温度 (ハンダ付け、4 秒)	+ 260 °C				
	電源電圧 (Note 9)				
	$V_{DD2.5} \sim GND$	2.375	2.5	2.625	V
	$V_{DD3.3} \sim GND$	3.0	3.3	3.6	V
	周囲温度	- 40	25	+ 85	°C

電氣的特性

特記のない限り、デフォルトのレジスタ設定で推奨動作電源電圧および動作温度範囲に対して適用。

Symbol	Parameter	Conditions	Min	Typ (Note 2)	Max	Units
POWER						
P	Power Supply Consumption	Device Output Enabled (EN [0-3] = High), $V_{DD3.3}$		490	700	mW
		Device Output Disable (EN [0-3] = Low), $V_{DD3.3}$			100	mW
P	Power Supply Consumption	Device Output Enabled (EN [0-3] = High), $V_{DD2.5}$		360	490	mW
		Device Output Disable (EN [0-3] = Low), $V_{DD2.5}$		30		
N	Supply Noise Tolerance (Note 4)	50 Hz — 100 Hz		100		mV _{p-p}
		100 Hz — 10 MHz		40		mV _{p-p}
		10 MHz — 1.6 GHz		10		mV _{p-p}
LVC MOS DC SPECIFICATIONS						
V_{IH}	High Level Input Voltage	$V_{DD3.3}$	2.0		$V_{DD3.3}$	V
		$V_{DD2.5}$	1.6		$V_{DD2.5}$	V
V_{IL}	Low Level Input Voltage		-0.3		0.8	V
V_{OH}	High Level Output Voltage	$I_{OH} = -3mA, V_{DD3.3}$	2.4			V
		$I_{OH} = -3mA, V_{DD2.5}$	2.0			
V_{OL}	Low Level Output Voltage	$I_{OL} = 3mA$			0.4	V
I_{IN}	Input Leakage Current	$V_{IN} = V_{DD}$			+15	μA
		$V_{IN} = GND$	-15			μA
I_{IN-P}	Input Leakage Current with Internal Pull-Down/Up Resistors	$V_{IN} = V_{DD}$, with internal pull-down resistors			+120	μA
		$V_{IN} = GND$, with internal pull-up resistors	-20			μA
SIGNAL DETECT						
SDH	Signal Detect ON Threshold Level	Default input signal level to assert SD pin, 3.2 Gbps		70		mV _{p-p}
SDI	Signal Detect OFF Threshold Level	Default input signal level to de- assert SD, 3.2Gbps		40		mV _{p-p}

電気的特性 (つづき)

特記のない限り、デフォルトのレジスタ設定で推奨動作電源電圧および動作温度範囲に対して適用。

Symbol	Parameter	Conditions	Min	Typ (<i>Note 2</i>)	Max	Units
CML RECEIVER INPUTS (IN_{n+}, IN_{n-})						
V _{TX}	Source Transmit Launch Signal Level (IN diff)	AC-Coupled or DC-Coupled Requirement, Differential measurement at point A. <i>Figure 1</i>	400		1600	mV _{p-p}
V _{INTRE}	Input Threshold Voltage	Differential measurement at point B. <i>Figure 1</i>		120		mV _{p-p}
V _{DDTX}	Supply Voltage of Transmitter to EQ	DC-Coupled Requirement (<i>Note 10</i>)	1.6		V _{DD}	V
V _{ICMDC}	Input Common Mode Voltage	DC-Coupled Requirement, Differential measurement at point A. <i>Figure 1</i> , (<i>Note 7</i>)	V _{DDTX} - 0.8		V _{DDTX} - 0.2	V
R _{LI}	Differential Input Return Loss	100MHz – 1.6GHz, with fixture's effect de-embedded		10		dB
R _{IN}	Input Resistance	Differential across IN+ and IN-, <i>Figure 6</i> .	85	100	115	Ω
CML OUTPUTS (OUT_{n+}, OUT_{n-})						
V _{OD}	Output Differential Voltage Level (OUT diff)	Differential measurement with OUT+ and OUT- terminated by 50Ω to GND, AC-Coupled <i>Figure 2</i>	500	620	725	mV _{p-p}
V _{OCM}	Output Common Mode Voltage	Single-ended measurement DC-Coupled with 50Ω terminations (<i>Note 7</i>)	V _{DD} - 0.2		V _{DD} - 0.1	V
t _R , t _F	Transition Time	20% to 80% of differential output voltage, measured within 1" from output pins. <i>Figure 2</i> , (<i>Note 7</i>)	20		60	ps
R _O	Output Resistance	Single ended to V _{DD}	42	50	58	Ω
R _{LO}	Differential Output Return Loss	100 MHz – 1.6 GHz, with fixture's effect de-embedded. IN+ = static high.		10		dB
t _{PLHD}	Differential Low to High Propagation Delay	Propagation delay measurement at 50% VO between input to output, 100 Mbps. <i>Figure 3</i> , (<i>Note 7</i>)		240		ps
t _{PHLD}	Differential High to Low Propagation Delay			240		ps
t _{CCSK}	Inter Pair Channel to Channel Skew	Difference in 50% crossing between channels		7		ps
t _{PPSK}	Part to Part Output Skew	Difference in 50% crossing between outputs		20		ps
EQUALIZATION						
DJ1	Residual Deterministic Jitter at 3.2 Gbps	40" of 6 mil microstrip FR4, EQ Setting 0x07, PRBS-7 (27-1) pattern. (<i>Note 5</i> , <i>Note 6</i>)		0.12	0.20	UI _{p-p}
DJ2	Residual Deterministic Jitter at 2.5 Gbps	40" of 6 mil microstrip FR4, EQ Setting 0x07, PRBS-7 (27-1) pattern. (<i>Note 5</i> , <i>Note 6</i>)		0.1	0.16	UI _{p-p}
DJ3	Residual Deterministic Jitter at 1 Gbps	40" of 6 mil microstrip FR4, EQ Setting 0x07, PRBS-7 (27-1) pattern. (<i>Note 5</i> , <i>Note 6</i>)		0.05		UI _{p-p}
RJ	Random Jitter	(<i>Note 7</i> , <i>Note 8</i>)		0.5		psrms

電気的特性 (つづき)

特記のない限り、デフォルトのレジスタ設定で推奨動作電源電圧および動作温度範囲に対して適用。

Symbol	Parameter	Conditions	Min	Typ (<i>Note 2</i>)	Max	Units
SIGNAL DETECT and ENABLE TIMING						
t_{ZSD}	Input OFF to ON detect — SD Output High Response Time	Response time measurement at V_{IN} to SD output, $V_{IN} = 800 \text{ mV}_{p-p}$, 100 Mbps, 40" of 6 mil microstrip FR4 <i>Figure 1 Figure 4 (Note 7)</i>		35		ns
t_{ZSD}	Input ON to OFF detect — SD Output Low Response Time			400		ns
t_{ZOED}	EN High to Output ON Response Time	Response time measurement at EN input to V_O , $V_{IN} = 800 \text{ mV}_{p-p}$, 100 Mbps, 40" of 6 mil microstrip FR4 <i>Figure 1 Figure 5 (Note 7)</i>		150		ns
t_{ZOED}	EN Low to Output OFF Response Time			5		ns

Note 1: 絶対最大定格は、ICに破壊が発生したり、使用不能になったり、信頼性や性能が低下する可能性のあるリミット値を示します。これは、絶対最大定格において、または推奨動作条件に示されている動作条件を越える条件でこのデバイスが有効に機能することや品質が劣化しないことは意味していません。推奨動作条件とは、このデバイスが有効に機能する条件を示しており、これを超えた条件ではこのデバイスを使用しないように注意してください。絶対最大定格の各数値は接合部温度が $-40 \text{ }^\circ\text{C} \sim +125 \text{ }^\circ\text{C}$ の範囲で保証します。これは最大動作電圧に対してのみ有効です。

Note 2: 代表値は、 $V_{DD} = +3.3\text{V}$ 、 $T_A = +25 \text{ }^\circ\text{C}$ で、製品の特性を評価した時点における推奨動作条件下での最も可能性のあるパラメータの基準値を表しており、保証値ではありません。

Note 3: 電気的特性の表は、推奨動作条件で使用した場合に保証される特性を示しています。ただし、電気的特性や注記で特に変更または指定している場合はその限りではありません。代表値は推定値であり、この値を保証しているものではありません。

Note 4: 代表的動作条件において許容されている電源ノイズ (正弦波の mV_{p-p} 値) です。

Note 5: 仕様値は特性の評価により保証されている値で、量産時における試験は行っていません。

Note 6: 確定的ジッタ (DJ) は、差動出力ピン (Figure 1 のポイント C) での測定値から、テスト・チャネル (Figure 1 のポイント A) の前の確定的ジッタ (DJ) を引き算した値になります。ランダム・ジッタは、平均化または同様の手段を使って削除します。

Note 7: クロックのような {11111 00000} パターンで測定。

Note 8: イコライザによるランダム・ジッタは、 $\sqrt{(J_{OUT})^2 - J_{IN}^2}$ と定義されます。 J_{OUT} は、ps 単位でのイコライザ出力におけるランダム・ジッタの rms 値 (Figure 1 のポイント C を参照) で、 J_{IN} は、ps 単位でのイコライザ入力におけるランダム・ジッタの rms 値 (Figure 1 を参照) です。

Note 9: $V_{DD2.5}$ では $V_{DD} = 2.5\text{V} \pm 5\%$ 、 $V_{DD3.3}$ では $V_{DD} = 3.3\text{V} \pm 10\%$ です。

電气的特性 — シリアル・マネジメント・バス・インタフェース

特記のない限り、推奨動作電源電圧および動作温度範囲に対して適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
SERIAL BUS INTERFACE DC SPECIFICATIONS						
V_{IL}	Data, Clock Input Low Voltage				0.8	V
V_{IH}	Data, Clock Input High Voltage		2.1		V_{DD}	V
I_{PULLUP}	Current through pull-up resistor or current source	High Power Specification	4			mA
V_{DD}	Nominal Bus Voltage		2.375		3.6	V
$I_{LEAK-BUS}$	Input Leakage per bus segment	(Note 10)	-200		+200	μ A
$I_{LEAK-Pin}$	Input Leakage per device pin			-15		μ A
C_I	Capacitance for SDA and SDC	(Note 10, Note 11)			10	pF
R_{TERM}	External Termination Resistance pull to $V_{DD} = 2.5V \pm 5\%$ OR $3.3V \pm 10$	$V_{DD3.3}$ (Note 10, Note 11, Note 12)		2000		Ω
		$V_{DD2.5}$ (Note 10, Note 11, Note 12)		1000		Ω
SERIAL BUS INTERFACE TIMING SPECIFICATIONS (Figure 7)						
FSMB	Bus Operating Frequency	(Note 13)	10		100	kHz
TBUF	Bus Free Time Between Stop and Start Condition		4.7			μ s
THD:STA	Hold Time After (Repeated) Start Condition. After this period, the first clock is generated.	At $I_{PULLUP, Max}$	4.0			μ s
TSU:STA	Repeated Start Condition Setup Time		4.7			μ s
TSU:STO	Stop Condition Setup Time		4.0			μ s
THD:DAT	Data Hold Time		300			ns
TSU:DAT	Data Setup Time		250			ns
$T_{TIMEOUT}$	Detect Clock Low Timeout	(Note 13)	25		35	ms
T_{LOW}	Clock Low Period		4.7			μ s
T_{HIGH}	Clock High Period	(Note 13)	4.0		50	μ s
$T_{LOW:SEXT}$	Cumulative Clock Low Extend Time (Slave Device)	(Note 13)			2	ms
t_F	Clock/Data Fall Time	(Note 13)			300	ns
t_R	Clock/Data Rise Time	(Note 13)			1000	ns
t_{POR}	Time in which a device must be operational after power-on reset	(Note 13)			500	ms

Note 10: 推奨値。このパラメータは試験されていません。

Note 11: 1個のバス・セグメント当たりの推奨最大容量負荷は400pFです。

Note 12: 最大終端電圧は、このデバイスの電源電圧と同じです。

Note 13: SMBus 2.0 物理層の仕様に準拠。詳細は、「システム・マネジメント・バス (SMBus) 仕様書バージョン 2.0」の「3.1.1 SMBus 共通 AC 仕様」を参照してください。

システム・マネジメント・バス (SMBus) と構成レジスタ

システム・マネジメント・バス・インタフェースは、SMBus 2.0 物理層の規格に準拠しています。チップ・セレクト信号の使用は必須です。CS ピンを High にしておくこと、SMBus ポートから構成レジスタにアクセス可能になります。CS ピンを Low にすると、そのデバイスの SMBus が無効になり、ホストからバス上のほかのスレーブ・デバイスへの通信が可能になります。スタンバイ状態では SMBus はアクティブのままです。SMBus 上のほかのデバイスへの通信をアクティブにするときは、DS32EV400 への CS 信号を Low にする必要があります。

すべての DS32EV400 のアドレス・バイトは AC'h です。SMBus 2.0 仕様に基づき、DS32EV400 は 7 ビットのスレーブ・アドレス (1010110'b) を持っています。LSB は 0'b にセットされるので (書き込みの場合)、8 ビット値は 1010 1100'b すなわち AC'h になります。

SDC ピンと SDA ピンは 3.3V LVCMOS 信号を送出し、ハイ・インピーダンス内部プルアップ抵抗を備えています。SMBus の負荷と速度によっては、低インピーダンスの外付けプルアップ抵抗が必要になります。ただしこれらの入力には 5V 耐圧ではありません。

SMBus を介したデータ転送

通常動作では、SDC が High の間、SDA 上のデータは安定していなければなりません。

SMBus には 3 つの固有な状態があります。

START: SDC が High のとき SDA の High から Low への遷移は、START 状態のメッセージを示します。

STOP: SDC が High のとき SDA の Low から High への遷移は、STOP 状態のメッセージを示します。

IDLE: 最後に検出された STOP 状態から時間 t_{BUF} を超えて SDC と SDA の両方が High 状態である場合、または High 状態の合計時間が仕様で定められた最大値 t_{HIGH} を超えた場合、バスは IDLE 状態に移行します。

SMBus トランザクション

デバイスは書き込みトランザクションと読み出しトランザクションをサポートしています。レジスタのアドレス、タイプ (読み出し/書き込み、読み出し専用)、デフォルト値、機能の詳細については、レジスタ説明表を参照してください。

レジスタの書き込み

レジスタの書き込みには、以下の手順が使用されます (SMBus 2.0 仕様を参照)。

1. ホスト (マスタ) が SMBus チップ・セレクト (CS) 信号を High にしてデバイスを選択します。
2. ホストが START 状態、7 ビットの SMBus アドレス、書き込みを示す「0」を送信します。
3. デバイス (スレーブ) が ACK ビット (「0」) を送信します。
4. ホストが 8 ビットのレジスタ・アドレスを送信します。
5. デバイスが ACK ビット (「0」) を送信します。
6. ホストが 8 ビットのデータ・バイトを送信します。
7. デバイスが ACK ビット (「0」) を送信します。
8. ホストが STOP 状態を送信します。
9. ホストが SMBus CS 信号を Low にしてデバイスの選択を解除します。

書き込みトランザクションが完了すると、バスが IDLE 状態になり、ほかの SMBus デバイスとの通信が可能になります。

レジスタの読み出し

レジスタの読み出しには、以下の手順が使用されます (SMBus 2.0 仕様を参照)。

1. ホスト (マスタ) が SMBus チップ・セレクト (CS) 信号を High にしてデバイスを選択します。
2. ホストが START 状態、7 ビットの SMBus アドレス、書き込みを示す「0」を送信します。
3. デバイス (スレーブ) が ACK ビット (「0」) を送信します。
4. ホストが 8 ビットのレジスタ・アドレスを送信します。
5. デバイスが ACK ビット (「0」) を送信します。
6. ホストが START 状態を送信します。
7. ホストが 7 ビットの SMBus アドレスと、読み出しを示す「1」を送信します。
8. デバイスが ACK ビット (「0」) を送信します。
9. デバイスが 8 ビットのデータ値 (レジスタ内容) を送信します。
10. ホストが読み出し転送の終了を示す NACK ビット (「1」) を送信します。
11. ホストが STOP 状態を送信します。
12. ホストが SMBus CS 信号を Low にしてデバイスの選択を解除します。

読み出しトランザクションが完了すると、バスが IDLE 状態になり、ほかの SMBus デバイスとの通信が可能になります。

詳細は Table 1 を参照してください。

システム・マネジメント・バス (SMBus) と構成レジスタ (つづき)

TABLE 1. SMBus Register Address

Name	Address	Default	Type	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
Status	0x00	0x00	RO	ID Revision				SD3	SD2	SD1	SD0	
Status	0x01	0x00	RO	EN1	Boost 1			EN0	Boost 0			
Status	0x02	0x00	RO	EN3	Boost 3			EN2	Boost 2			
Enable/ Boost (CH 0, 1)	0x03	0x44	RW	EN1 Output 0:Enable 1:Disable	Boost Control for CH1 000 (Min Boost) 001 010 011 100 (Default) 101 110 111 (Max Boost)			EN0 Output 0:Enable 1:Disable	Boost Control for CH0 000 (Min Boost) 001 010 011 100 (Default) 101 110 111 (Max Boost)			
Enable/ Boost (CH 2, 3)	0x04	0x44	RW	EN3 Output 0:Enable 1:Disable	Boost Control for CH3 000 (Min Boost) 001 010 011 100 (Default) 101 110 111 (Max Boost)			EN2 Output 0:Enable 1:Disable	Boost Control for CH2 000 (Min Boost) 001 010 011 100 (Default) 101 110 111 (Max Boost)			
Signal Detect	0x05	0x00	RW	SD3 ON Threshold Select 00: 70 mV (Default) 01: 55 mV 10: 90 mV 11: 75 mV	SD2 ON Threshold Select 00: 70 mV (Default) 01: 55 mV 10: 90 mV 11: 75 mV		SD1 ON Threshold Select 00: 70 mV (Default) 01: 55 mV 10: 90 mV 11: 75 mV	SD0 ON Threshold Select 00: 70 mV (Default) 01: 55 mV 10: 90 mV 11: 75 mV				
Signal Detect	0x06	0x00	RW	SD3 OFF Threshold Select 00: 40 mV (Default) 01: 30 mV 10: 55 mV 11: 45 mV	SD2 OFF Threshold Select 00: 40 mV (Default) 01: 30 mV 10: 55 mV 11: 45 mV		SD1 OFF Threshold Select 00: 40 mV (Default) 01: 30 mV 10: 55 mV 11: 45 mV	SD0 OFF Threshold Select 00: 40 mV (Default) 01: 30 mV 10: 55 mV 11: 45 mV				
SMBus Control	0x07	0x00	RW	Reserved							SMBus Enable Control 0: Disable 1: Enable	
Output Level	0x08	0x78	RW	Reserved				Output Level: 00: 400 mV _{P-P} 01: 540 mV _{P-P} 10: 620 mV _{P-P} (Default) 11: 760 mV _{P-P}		Reserved		

Note: RO = 読み取り専用、RW = 読み取り / 書き込み

システム・マネジメント・バス (SMBus) と構成レジスタ (つづき)

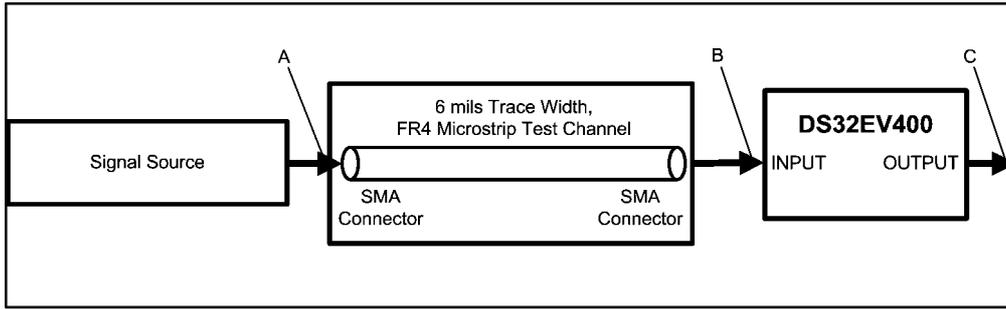


FIGURE 1. Test Setup Diagram

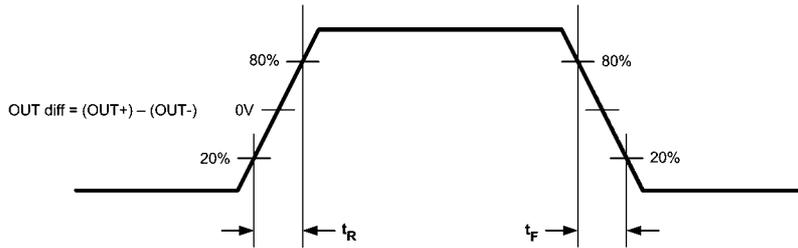


FIGURE 2. CML Output Transition Times

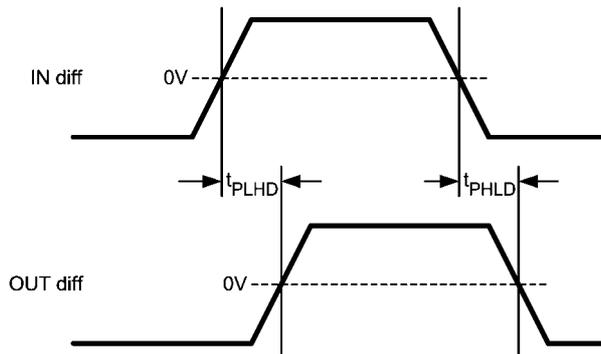


FIGURE 3. Propagation Delay Timing Diagram

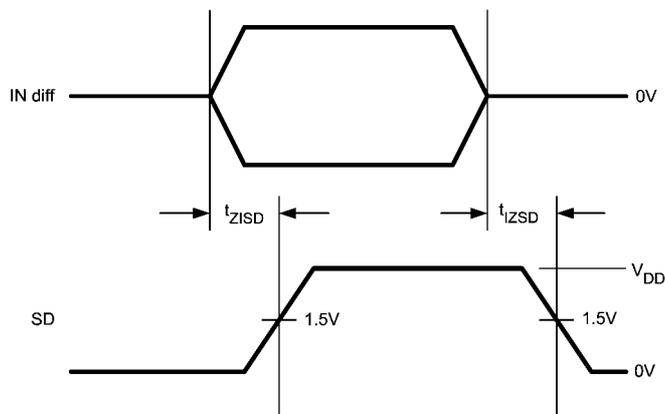


FIGURE 4. Signal Detect (SD) Delay Timing Diagram

システム・マネジメント・バス (SMBus) と構成レジスタ (つづき)

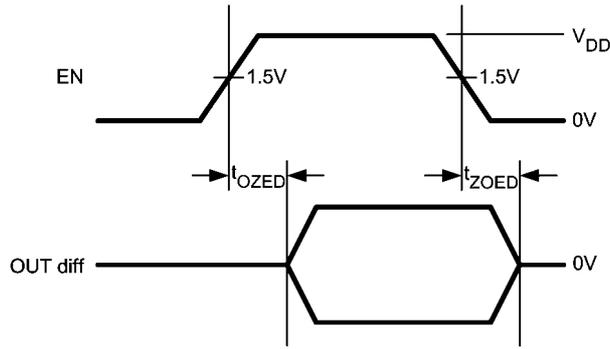


FIGURE 5. Enable (EN) Delay Timing Diagram

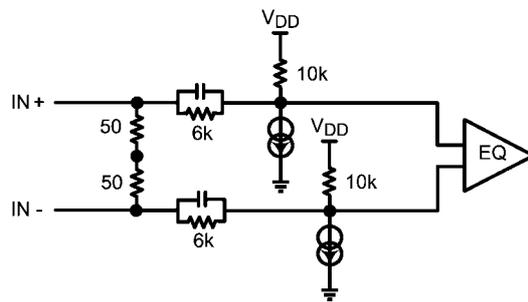


FIGURE 6. Simplified Receiver Input Termination Circuit

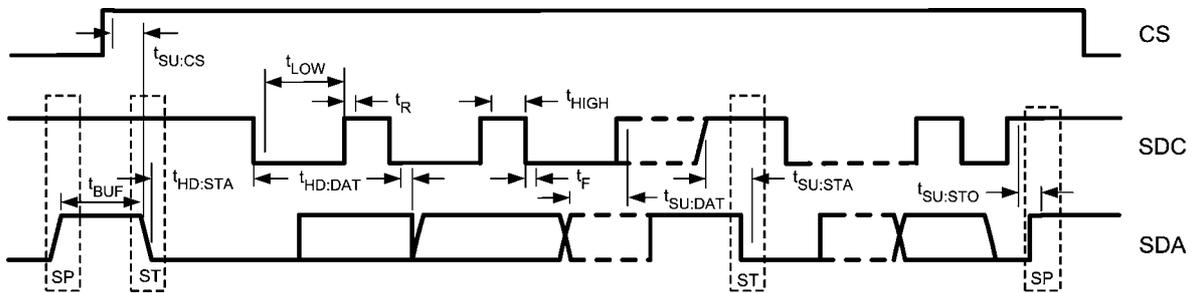


FIGURE 7. SMBus Timing Parameters

DS32EV400 機能説明

DS32EV400 は、バックプレーンやケーブル上で最大 3.2Gbps までの動作に最適なプログラマブル・クワッド・イコライザです。

データ・チャネル

DS32EV400 には 4 つのデータ・チャネルがあります。各データ・チャネルは、Figure 8 に示すようにイコライザ段、増幅制限器、DC オフセット補正ブロック、CML ドライバで構成されています。

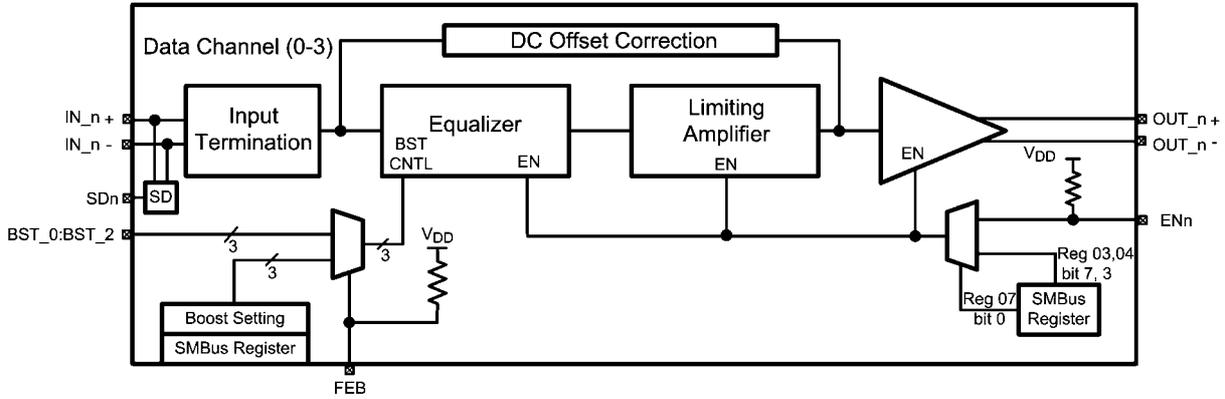


FIGURE 8. Simplified Block Diagram

イコライザのブースト制御

各データ・チャネルは、8 つのレベルのイコライゼーション・ブーストをプログラミングする機能を備えています。FEB ピンの状態により、ブーストの設定値の制御方法が決まります。FEB ピンを High にすると、イコライザのブースト設定値は、Table 2 に示すようにブースト設定ピン (BST_[2:0]) によって制御されます。この設定方法を選択すると、ブースト設定ピンで選択されたブースト設定値がすべてのチャネルに適用されます。FEB ピンを Low にすると、イコライザのブースト・レベルは SMBus により制御されます。この設定方法は、適切な SMBus レジスタにより選択されます (Table 1 を参照)。この方法を使用すると、イコライザのブースト設定値を各チャネル別に設定できます。FEB は内部でプルアップされているため (デフォルト設定)、未接続状態にしておくと、ブースト設定値はブースト設定ピン (BST_[2:0]) により制御されます。8 つのレベルのブースト設定により、DS32EV400 は広範囲な伝送メディア損失やデータ転送レートに対処できます。

TABLE 2. EQ Boost Control Table

6 ミル・マイクロストリップ FR4 トレース長 (インチ)	24 AWG 2 芯同軸ケーブル長 (m)	1.6GHz でのチャネル損失 (dB)	BST_N [2, 1, 0]
0	0	0	0 0 0
5	2	3	0 0 1
10	3	6	0 1 0
15	4	7	0 1 1
20	5	8	1 0 0 (デフォルト)
25	6	10	1 0 1
30	7	12	1 1 0
40	10	14	1 1 1

デバイスの状態とイネーブル制御

DS32EV400 には、各データ・チャネルに対してデバイスの消費電力を制御できるイネーブル機能があります。この機能は、レジスタ 07 を 00'h (デフォルト値) に設定した状態でイネーブル・ピン (EN_n) により制御できます。または、SMBus ポートから構成可能なイネーブル制御ビット・レジスタでも制御できます。この場合は、レジスタ 07 を 01'h に設定した状態で、レジスタ 03 と 04 のレジスタ値を変更します (レジスタの詳細については Table 1 と Table 3 を参照)。外部の EN_n ピンまたは SMBus レジスタによってこのイネーブル機能をオンにすると、対応するデータ・チャネルがアクティブ状態になり、デバイスのすべてのブロックが規定されたとおりに機能します。DS32EV400 はスタンバイ・モードにして省電力動作にもできます。スタンバイ・モードでは、SMBus ポートと信号検出回路などの制御インタフェースのみが働きます。

TABLE 3. Controlling Device State

レジスタ 07 ビット 0	EN ピン (CMOS)	CH 0: レジスタ 03 ビット 3 CH 1: レジスタ 03 ビット 7 CH 2: レジスタ 04 ビット 3 CH 3: レジスタ 04 ビット 7 (EN 制御)	デバイスの状態
0: 無効	1	X	アクティブ
0: 無効	0	X	スタンバイ
1: 有効	X	0	アクティブ
1: 有効	X	1	スタンバイ

DS32EV400 機能説明 (つづき)

信号検出

DS32EV400 には、各データ・チャンネルに信号検出回路があります。各チャンネルの信号の状態は、SMBus レジスタ (Table 1 を参照) の信号検出ビット (SDn) を読み取るか、各 SDn ピンの状態により判断できます。出力が論理 High のときは、ON スレッショルド値 (SD_ON と呼ばれます) を超えた信号があることを示しています。出力が論理 Low のときは、入力信号が OFF スレッショルド値 (SD_OFF と呼ばれます) 未満になったことを示しています。これらの値は SMBus から設定されます (Table 1)。スレッショルド値が SMBus から設定されない場合、Table 4 に示されているデフォルト値になります。信号検出スレッショルド値は SMBus から変更できます。規定されたスレッショルド値はすべて、このデバイスの入力における DC ピーク・ツー・ピーク差動信号 (正信号 - 負信号) です。

TABLE 4. Signal Detect Threshold Values

チャンネル 0: ビット 1 チャンネル 1: ビット 3 チャンネル 2: ビット 5 チャンネル 3: ビット 7	チャンネル 0: ビット 0 チャンネル 1: ビット 2 チャンネル 2: ビット 4 チャンネル 3: ビット 6	SD_OFF スレッショルド 値 レジスタ 06 (mV)	SD_ON スレッショルド 値 レジスタ 05 (mV)
0	0	40 (デフォルト)	70 (デフォルト)
0	1	30	55
1	0	55	90
1	1	45	75

出力レベルの制御

各チャンネルの CML ドライバの出力振幅は、SMBus から制御できます (Table 1 を参照)。デフォルトの出力レベルは 620mVp-p です。次の表は設定可能な出力レベル値を示しています。

TABLE 5. Output Level Control Settings

全チャンネル: ビット 3	全チャンネル: ビット 2	出力レベル・ レジスタ 08 (mVp-p)
0	0	400
0	1	540
1	0	620 (デフォルト)
1	1	760

自動イネーブル機能

使用しないチャンネルは省電力スタンバイ・モードにしておくとい良いでしょう。このためには、各チャンネルについて信号検出 (SDn) ピンをイネーブル (ENn) に接続します (Figure 9 を参照)。この機能を正しく働かせるには、レジスタ 07 のレジスタ値を 00'h (デフォルト値) に設定しなければなりません。データ・チャンネルに印加された入力信号振幅が Table 4 に示された電圧レベルのスレッショルド値を超えると、SDn 出力ピンは High になります。SDn ピンを ENn ピンに接続すると、データ・チャンネルのイコライザ、増幅制限器、出力バッファがイネーブルとなり、DS32EV400 は自動的にアクティブ状態になります。入力信号振幅が、SD_OFF スレッショルド・レベルを下回ると、SDn 出力は Low になり、チャンネルがスタンバイ状態になります。

DS32EV400 アプリケーション情報

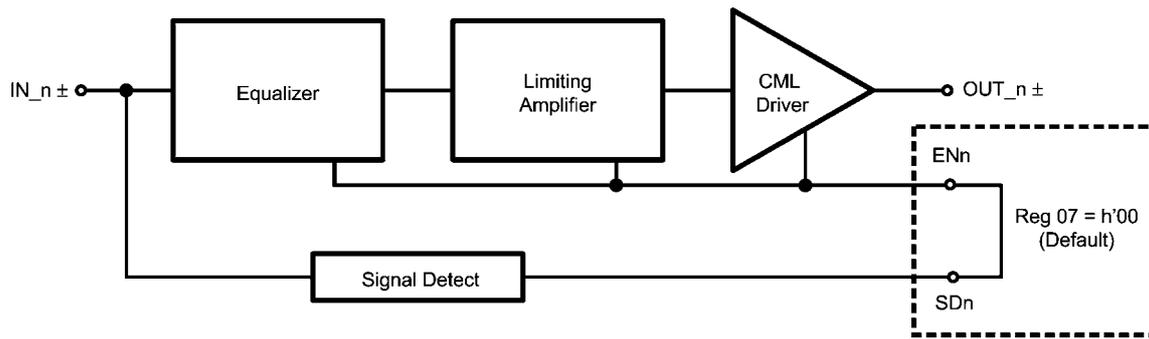


FIGURE 9. Automatic Enable Configuration

DisplayPort™ アプリケーション

DS32EV400 を使用すると、DisplayPort アプリケーションの最大ケーブル長を延長できます。DisplayPort のケーブル長は一般に 6m までです。DS32EV400 イコライザ利用時は、最大ケーブル長の公称値が 12m に倍増します。クワッド・デバイスでは 1、2、または 4 チャンネルのアプリケーションをサポートできます。

DS32EV400 は DisplayPort の高速ビデオ・チャンネルに対応しており、最大ケーブル長を公称 6m から 12m に倍増できます。3Gbps で 20dB のイコライゼーションが可能なので、2.7Gbps の DisplayPort アプリケーションにも適しています。28 AWG ケーブルの場合、入力では最大 10m、出力では 2m をサポートし、最大長は合計で 12m となります。DisplayPort の AUX チャンネルは低速ラインのため、通常はイコライザなしで延長可能です。DisplayPort はケーブル上で 1.5W の電力を供給しており、DS32EV400 の駆動にも利用できます。1 チャンネル・バージョン (DS32EV100) も用意されています。

使用していないイコライザ・チャンネル

使用しないチャンネルはすべてスタンバイ・モードにしておくことを推奨します。

一般的な注意事項

DS32EV400 は優れた性能を提供する高性能のデバイスです。高伝送速度に関連した部分の設計には十分に注意し、電源は低ノイズのものを使用する必要があります。高速度設計に関連するそのほかの詳細情報について「LVDS オーナーズ・マニュアル」を参照し、信号品質問題に対処してください。

差動ペアに対するプリント基板のレイアウト

この CML 入出力は、差動インピーダンスを 100Ω にしておく必要があります。CML の配線 (特に入力配線) は、できるだけすべてをプリント基板上の 1 つの層に配線するようにします。ビアはできるだけ使用しないでください。ビアを使用しなければ

ならない場合はできるだけ少なくし、各差動ペアに対して対称的に配置する必要があります。CML 信号は、プリント基板上の他の信号やノイズ発生源から離して配線します。LLP パッケージの詳細についてはアプリケーション・ノート AN-1187 を参照してください。

電源バイパス

DS32EV400 の電源が問題なく供給されるためには、次の 2 つのことに注意してください。まず、電源ピン (V_{DD}) とグラウンド (GND) ピンは、プリント基板の近接層上に配置された電源層に接続するようにします。基板の層はできるだけ薄くして、 V_{DD} 層と GND 層で容量成分を持ったローインダクタンスを形成するようにします。次に、バイパス・コンデンサを適切に使用して電源をバイパスする必要があります。0.01 μF のバイパス・コンデンサを、できる限りデバイス本体に近づけて各 V_{DD} ピンに接続します。コンデンサは小型のものを使用すると配置しやすくなります。さらに、電源のバイパス回路に、2.2 μF ~ 10 μF のコンデンサを 3 つ入れてください。これらのコンデンサとしては、タンタル・コンデンサまたは等価直列抵抗 (ESR) が非常に小さいセラミック・コンデンサを使用し、デバイスにできるだけ近づけて配置します。

DC 結合

DS32EV400 は、外付け AC 結合コンデンサによる AC 結合と、アップストリーム・ドライバまたはダウンストリーム・レシーバへの DC 結合をサポートしています。DC 結合の場合、ユーザーは入力信号コモンモードを「電気的特性」の V_{ICMDC} の範囲内に収め、デバイス出力を V_{DD} への 50Ω 抵抗により終端する必要があります。デバイスのパワーオン / パワーダウン時には、DS32EV400 とダウンストリーム・レシーバも同時にパワーオン / パワーダウンしてください。これは、パワーダウン時に DS32EV400 の出力における内部 ESD 構造がダウンストリーム・レシーバによってオンにされることを防ぐためです。

代表的な性能アイパターンおよび性能特性

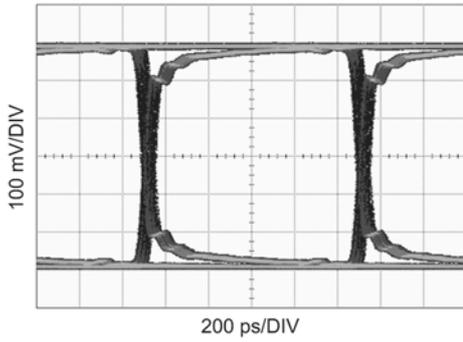


Figure 8. Equalized Signal
(40 In FR4, 1 Gbps, PRBS7, 0x07 Setting)

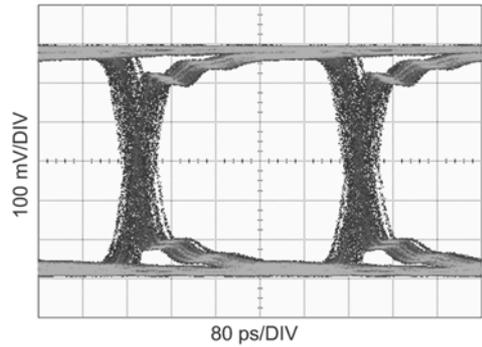


Figure 9. Equalized Signal
(40 In FR4, 2.5Gbps, PRBS7, 0x07 Setting)

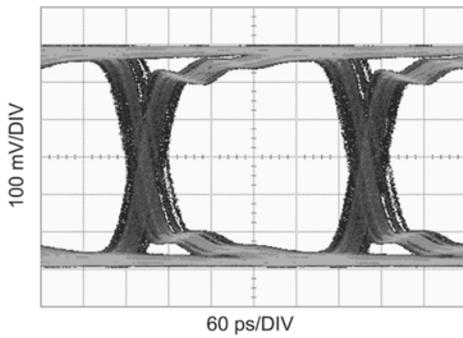


Figure 10. Equalized Signal
(40 In FR4, 3.2Gbps, PRBS7, 0x07 Setting)

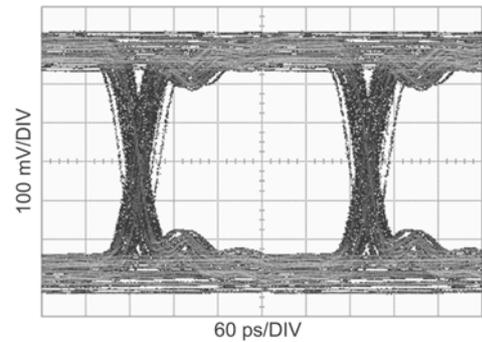


Figure 11. Equalized Signal
(10m 24 AWG Twin-AX Cable, 3.2 Gbps, PRBS7, 0x07 Setting)

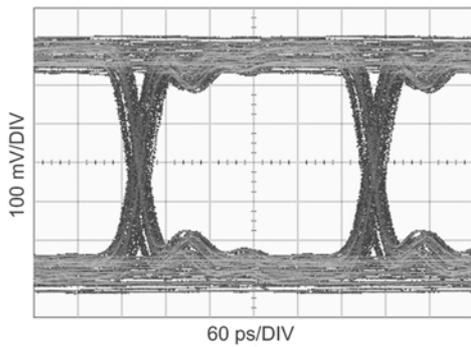


Figure 12. Equalized Signal
(32 In Tyco XAUI Backplane, 3.125 Gbps, PRBS7, 0x07 Setting)

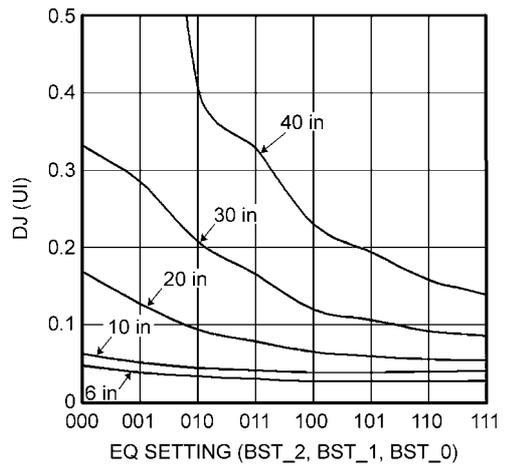


Figure 13. DJ vs. EQ Setting (3.2 Gbps)

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されてもいません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されてもいません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上