

DS64MB201

DS64MB201 Dual Lane 2:1/1:2 Mux/Buffer with Equalization and De-Emphasis



Literature Number: JAJSAZ8

イコライゼーションおよびディエンファシス機能付き、デュアル・レーン 2:1/1:2 マルチプレクサ/バッファ

概要

DS64MB201 は、シグナル・コンディショニング機能を持つデュアル・レーンの 2:1 マルチプレクサと 1:2 スイッチ/ファンアウト・バッファであり、SATA/SAS など最大 6.4Gbps までの高速バス・アプリケーションに適しています。このデバイスは受信イコライゼーション機能と送信ディエンファシス機能の両方を備えているので、システム内における物理的な配置をきわめて柔軟に行えます。レシーバの Continuous Time Linear Equalizer (CTLE) は、3GHz で最大 + 33dB のゲインを提供し、インターコネクト・メディアに起因する伝送波形干渉 (ISI) によって完全に閉じられた入力アイを大きくします。トランスミッタはプログラム可能な出力ディエンファシス・ドライバを備え、振幅電圧レベルを 600mVp-p ~ 1,200mVp-p の範囲から選択でき、複数のアプリケーションに対応できます。シグナル・コンディショニング設定は、制御ピン設定または SMBus インタフェースを通じてプログラムが可能です。

DS64MB201 では、物理的な伝送距離を犠牲にすることなく SAS/SATA などのデータ・レートを 3.0Gbps から 6.0Gbps へシームレスにアップグレードできるように、自動的に入力データ・レートを検出して、最適なディエンファシス・パルス幅を選択します。SAS/SATA 仕様のアウト・オブ・バンド (OOB) アイドル / アクティブ信号を検出し、信号の歪みを最小限に抑えながらパスルします。

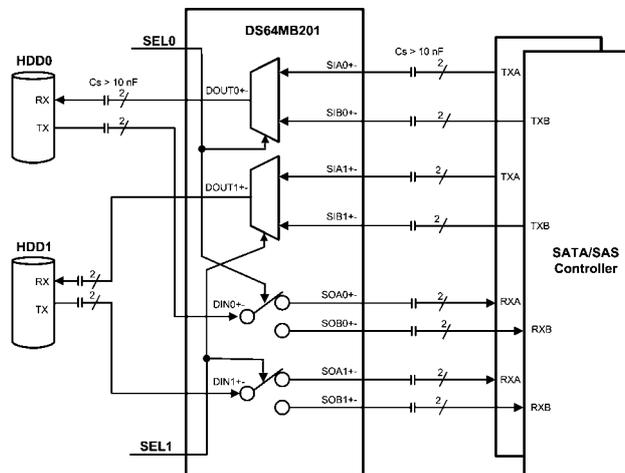
特長

- 最大 6.4Gbps のデュアル・レーン 2:1 マルチプレクスと 1:2 スイッチ/ファンアウト
- 設定可能な受信イコライゼーション: 最大 + 33dB のゲイン
- 設定可能な送信ディエンファシス: 最大 - 12dB
- 設定可能な送信 VOD
- 6.4Gbps 信号を 102cm (40 インチ) の FR-4 トレースへ通したときに残存確定ジッタ 0.25UI 未満
- SATA/SAS: OOB 信号パススルー
- 設定可能な電氣的アイドル検出スレッショルド
- 低消費電力
- ピンの選択または SMBus インタフェースでシグナル・コンディショニングを設定可能
- 2.5V 単一電源動作
- 人体モデル ESD 定格 > 6 kV
- 3.3V 耐圧 SMBus インタフェース
- 高速シグナル・フロースルー・ピン配置パッケージ: 54ピン LLP (10mm × 5.5mm)

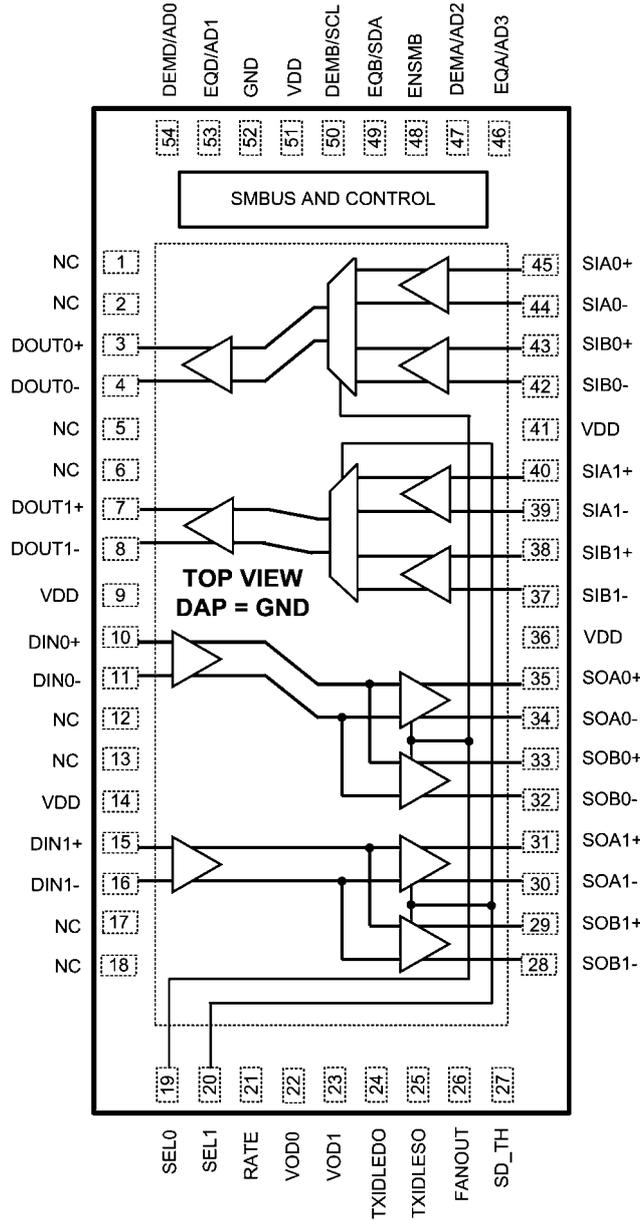
アプリケーション

- SATA (1.5、3.0、6Gbps)
- SAS (1.5、3.0、6Gbps)
- XAUI (3.125Gbps)、RXAUI (6.25Gbps)
- sRIO - シリアル Rapid I/O
- Fibre Channel (4.25Gbps)
- 10GBase-CX4、InfiniBand (SDR と DDR)
- FR-4 バックプレーン・トレース

代表的なアプリケーション



ピン配置図



DS64MB201 Pin Diagram 54L LLP

製品情報

| NSID | Qty | Spec | Package |
|--------------|-------------------------------------|------|---------|
| DS64MB201SQ | Tape & Reel Supplied As 2,000 Units | NOPB | SQA54A |
| DS64MB201SQE | Tape & Reel Supplied As 250 Units | NOPB | SQA54A |

ピン説明

| ピン名 | ピン番号 | I/O、タイプ | ピン説明 |
|-------------------------------------|-------------------|-------------------------------|--|
| 差動高速 I/O | | | |
| SIA0 +、SIA0 -、 SIA1 +、SIA1 - | 45, 44, 40, 39 | I、CML | イコライザへの反転 / 非反転 CML 差動入力。イネーブルの場合、SIA_n + と SIA_n - は、ゲート制御された内蔵の 50 Ω 終端抵抗を介して VDD に接続されます。 |
| SOA0 +、SOA0 -、 SOA1 +、SOA1 - | 35, 34, 31, 30 | O | ディエンファシス機能付き、反転 / 非反転 50 Ω 低消費電力差動信号出力。AC 結合 CML 入力との完全な互換性があります。 |
| SIB0 +、SIB0 -、 SIB1 +、SIB1 - | 43, 42, 38, 37 | I、CML | イコライザへの反転 / 非反転 CML 差動入力。イネーブルの場合、SIB_n + と SIB_n - は、ゲート制御された内蔵の 50 Ω 終端抵抗を介して VDD に接続されます。 |
| SOB0 +、SOB0 -、 SOB1 +、SOB1 - | 33, 32, 29, 28 | O | ディエンファシス機能付き、反転 / 非反転 50 Ω 低消費電力差動信号出力。AC 結合 CML 入力との完全な互換性があります。 |
| DIN0 +、DIN0 -、 DIN1 +、DIN1 - | 10, 11, 15, 16 | I、CML | イコライザへの反転 / 非反転 CML 差動入力。イネーブルの場合、SIB_n + と SIB_n - は、ゲート制御された内蔵の 50 Ω 終端抵抗を介して VDD に接続されます。 |
| DOUT0 +、DOUT0 -、 DOUT1 +、DOUT1 - | 3, 4, 7, 8 | O | ディエンファシス機能付き、反転 / 非反転 50 Ω 低消費電力差動信号出力。AC 結合 CML 入力との完全な互換性があります。 |
| 制御ピン — 共有 (LVCMOS) | | | |
| ENSMB | 48 | I、 LVCMOS、 内部で プルダウン | システム・マネジメント・バス (SMBus) イネーブル・ピン。 High = レジスタ・アクセス : イコライゼーション、ディエンファシス、VOD、レート、チャンネル・パワーダウン、アイドル検出スレッショルドなどの機能を制御する内部デジタル・レジスタへのアクセスを提供します。 Low = ピン・モード : SMBus レジスタへのアクセスがディスエーブルになり、制御ピンを使用して VOD、レート、アイドル検出、イコライゼーション、ディエンファシスの設定をプログラムします。 詳細については、「システム・マネジメント・バス (SMBus) と構成レジスタ」のセクションと「電気的特性 - シリアル・マネジメント・バス・インタフェース」を参照してください。 |
| ENSMB = 1 (SMBus モード) | | | |
| SDA、SCL | 49, 50 | I、 LVCMOS | ENSMB = 1 SMBus SDA (データ入出力、双方向) ピンと SCL (クロック入力) ピンがイネーブルになります。 |
| AD[3:0] | 54, 53, 47, 46 | I、 LVCMOS、 内部で プルダウン | ENSMB = 1 SMBus スレーブ・アドレス入力。SMBus モードの場合、これらのピンはユーザー設定の SMBus スレーブ・アドレス入力です。 |
| ENSMB = 0 (通常ピン・モード) | | | |
| EQA、 EQB、 EQD | 46, 49, 53 | I、フロート、 LVCMOS | EQA/B/D の 3 レベルの入力は、イコライゼーション・レベルを制御します。 EQA: SIA0 入力と SIA1 入力のイコライゼーション・レベルを制御します。 EQB: SIB0 入力と SIB1 入力のイコライゼーション・レベルを制御します。 EQD: DIN0 入力と DIN1 入力のイコライゼーション・レベルを制御します。 ENSMB がネゲートされた場合 (Low の場合) のみ、このピンはアクティブになります。 ENSMB が High になると、SMBus 制御レジスタがレーンごとに独立した制御を提供します。Table 1 を参照してください。 |
| DEMA、 DEMB、 DEMD | 47, 50, 54 | I、フロート、 LVCMOS | DEMA/B/D の 3 レベルの入力は、ディエンファシス・レベルを制御します。 DEMA: SOA0 出力と SOA1 出力のディエンファシス・レベルを制御します。 DEMB: SOB0 出力と SOB1 出力のディエンファシス・レベルを制御します。 DEMD: DOUT0 出力と DOUT1 出力のディエンファシス・レベルを制御します。 ENSMB がネゲートされた場合 (Low の場合) のみ、このピンはアクティブになります。 ENSMB が High になると、SMBus 制御レジスタがレーンごとに独立した制御を提供します。Table 2 を参照してください。 |

| ピン名 | ピン番号 | I/O、タイプ | ピン説明 |
|------------------------|----------------------------|-------------------|---|
| 制御ピン — 両方のモード (LVCMOS) | | | |
| RATE | 21 | I、フロート、LVCMOS | RATEの3レベルの入力は、出力のディエンファシス・パルス幅を制御します。 RATE = 0: 強制的に~ 3Gbps にします。 RATE = 1: 強制的に~ 6Gbps にします。 RATE = フロート: 自動レート検出をイネーブルにします。Table 2を参照してください。 |
| TXIDLEDO | 24 | I、フロート、LVCMOS | TXIDLEDOの3レベルの入力は、ドライバ出力を制御します。 TXIDLEDO = 0: DOUTの信号検出/スケルチ機能をディスエーブルにします。 TXIDLEDO = 1: DOUTを強制的にミュート(電氣的アイドル)にします。 TXIDLEDO = フロート: DOUTの信号自動検出/スケルチ機能をイネーブルにします。SD_THピンを使用して信号検出電圧スレッショルド・レベルを調整できます。Table 3を参照してください。 |
| TXIDLESO | 25 | I、フロート、LVCMOS | TXIDLESOの3レベルの入力は、ドライバ出力を制御します。 TXIDLESO = 0: SOUTの信号検出/スケルチ機能をディスエーブルにします。 TXIDLESO = 1: SOUTを強制的にミュート(電氣的アイドル)にします。 TXIDLESO = フロート: SOUTの信号自動検出/スケルチ機能をイネーブルにします。SD_THピンを使用して信号検出電圧スレッショルド・レベルを調整できます。Table 3を参照してください。 |
| FANOUT | 26 | I、LVCMOS、内部でプルダウン | FANOUT = 1: ブロードキャスト・モードとして、A出力とB出力の両方をイネーブルにします。 FANOUT = 0: SEL0ピンとSEL1ピンに応じて、いずれかの出力をディスエーブルにします。Table 5を参照してください。 |
| SEL0、SEL1 | 19, 20 | I、LVCMOS、内部でプルダウン | SEL0はレーン0、SEL1はレーン1に対応します。 SEL0、SEL1 = 0: B入力とB出力を選択します。 SEL0、SEL1 = 1: A入力とA出力を選択します。Table 5を参照してください。 |
| VOD0、VOD1 | 22, 23 | I、LVCMOS、内部でプルダウン | VOD[1:0]は、すべての出力の出力差動振幅電圧レベルを調整します。 00: 出力 VOD = 600mVp-p に設定します(デフォルト)。 01: 出力 VOD = 800mVp-p に設定します。 10: 出力 VOD = 1,000mVp-p に設定します。 11: 出力 VOD = 1,200mVp-p に設定します。 Note: 記載された DE レベルを達成するには、VOD を 1,000mV 以上に設定する必要があります。 |
| アナログ | | | |
| SD_TH | 27 | I、アナログ | 電氣的アイドル検出スレッショルド用のスレッショルド選択ピン。ピンをフロート状態にすると、デフォルトの 130mVp-p (差動) になります。 Table 4を参照してください。 |
| 電源 | | | |
| VDD | 9, 14, 36, 41, 51 | 電源 | 2.5V 電源ピン。 |
| GND | DAP、52 | 電源 | DAPは、54ピンLLPパッケージの中央底面にある、金属の大きな接触面です。グラウンド・インピーダンスを低減し、パッケージの熱性能を良くするために、4個以上のビアでGNDプレーンに接続してください。 Note: DAPは主要GNDです。 |
| NC | 1, 2, 5, 6, 12, 13, 17, 18 | | 未接続。このピンは開放状態にしてください。 |

1 = High、0 = Low、フロート=第3の入力状態。

フロート状態: ピンを駆動しないでください。ピンは 50kΩ プルアップ/プルダウンにより内部で中間レベルにバイアスされます。

内部でプルダウン=この入力には、GNDに接続された 30kΩ の内部プルダウン抵抗が存在します。

LVCMOS/フロート入力の入力エッジ・レートは、50nsより10%~90%高速にする必要があります。

絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電気的信頼性試験方法の規格を参照ください。

| | |
|---------------|-----------------------|
| 電源電圧 (VDD) | - 0.5V ~ + 3.0V |
| LVC MOS 入出力電圧 | - 0.5V ~ + 4.0V |
| 差動入力電圧 | - 0.5V ~ (VDD + 0.5V) |
| 差動出力電圧 | - 0.5V ~ (VDD + 0.5V) |
| アナログ (SD_TH) | - 0.5V ~ (VDD + 0.5V) |
| 接合部温度 | + 105 °C |
| 保存温度範囲 | - 40 °C ~ + 125 °C |

25 °Cでのパッケージ最大消費電力

SQA54A パッケージ 4.21W

ディレーティング SQA54A パッケージ + 25 °Cを超えると
52.6mW/°Cずつ減少

ESD 耐圧

HBM, STD - JESD22-A114C $\geq 6kV$

MM, STD - JESD22-A115-A $\geq 250V$

CDM, STD - JESD22-C101-C $\geq 1,250V$

熱抵抗

θ_{JC} 11.5 °C /W

θ_{JA} 、エアフローなし、4層 JEDEC 19.1 °C /W

推奨動作条件

| | Min | Typ | Max | Units |
|---------------------------------|------|-----|------|-------------------|
| 電源電圧 | | | | |
| VDD ~ GND 間 | | 2.5 | | V |
| 周囲温度 (Note 4) | - 40 | 25 | + 85 | °C |
| SMBus (SDA, SCL) | 0 | | 3.6 | V |
| CML 差動入力電圧 | 0 | | 2.0 | V _{p-p} |
| 最大 50MHz での 電源ノイズ耐性 (Note 5) | | 100 | | mV _{p-p} |

電気的特性

特記のない限り、デフォルトのレジスタ設定で推奨動作電源電圧と動作温度範囲に対して適用 (Note 3)。

| Symbol | Parameter | Conditions | Min | Typ | Max | Units |
|---|--|--|-----|--------------------|-----|-------------------|
| POWER | | | | | | |
| PD | Power Dissipation 2.5V Operation | EQx = 0, DEMx = 0 dB, K28.5 pattern, VOD = 1.0 V p-p Channel powerdown (Note 7) | | 850 | 950 | mW |
| LVC MOS / LVTTL DC SPECIFICATIONS | | | | | | |
| V _{IH} | High Level Input Voltage | | 2.0 | | 3.6 | V |
| V _{IL} | Low Level Input Voltage | | 0 | | 0.8 | V |
| I _{IH} | Input High Current | V _{IN} = 3.3V | -15 | | +15 | μA |
| I _{IL} | Input Low Current | V _{IN} = 0V | -15 | | +15 | μA |
| CML RECEIVER INPUTS (IN_{n+}, IN_{n-}) | | | | | | |
| RL _{RX-DIFF} | Rx Differential Return Loss (SDD11), (Note 2) | 150 MHz – 1.5 GHz 150 MHz – 3.0 GHz 150 MHz – 6.0 GHz | | -20 -13.5 -8 | | dB |
| RL _{RX-CM} | Rx Common Mode Input Return Loss (SCC11) | 150 MHz – 3.0 GHz, (Note 2) | | -10 | | dB |
| R _{RX-IB} | Rx Impedance Balance (SDC11) | 150 MHz – 3.0 GHz, (Note 2) | | -27 | | dB |
| I _{IN} | Maximum current allowed at IN+ or IN- input pin. | | -30 | | +30 | mA |
| R _{IN} | Input Resistance | Single ended to V _{DD} , (Note 2) | | 50 | | Ω |
| R _{ITD} | Input Differential Impedance between IN+ and IN- | (Note 2) | 85 | 100 | 115 | Ω |
| R _{ITIB} | Input Differential Impedance Imbalance | (Note 2) | | | 5 | Ω |
| R _{ICM} | Input Common Mode Impedance | (Note 2) | 20 | 25 | 40 | Ω |
| V _{RX-DIFF} | Differential Rx peak to peak voltage | DC voltage, SD_TH = 20 kΩ to GND | 0.1 | | 1.2 | V |
| V _{RX-SD_TH} | Electrical Idle detect threshold (differential) | SD_TH = Float, (Note 8), Figure 5 | 40 | | 175 | mV _{p-p} |

電气的特性 (つづき)

特記のない限り、デフォルトのレジスタ設定で推奨動作電源電圧と動作温度範囲に対して適用 (Note 3)。

| Symbol | Parameter | Conditions | Min | Typ | Max | Units |
|--|---|---|------|-----------------------|------|-------------------|
| DIFFERENTIAL OUTPUTS (OUT_{n+}, OUT_{n-}) | | | | | | |
| V _{OD} | Output Differential Voltage Swing with de-emphasis disabled | R _L = 50 Ω ±1% to GND (AC coupled with 10 nF), 6.4 Gbps, (Note 6) DEMA = DEMB = 0 dB, VOD1-0 = 00 | 500 | 600 | 700 | mV _{p,p} |
| | | VOD1-0 = 11 | 1100 | 1265 | 1450 | mV _{p,p} |
| V _{OCM} | Output Common-Mode Voltage | Single-ended measurement DC-Coupled with 50Ω termination, (Note 2) | | V _{DD} - 1.4 | | V |
| T _{TX-RF} | Transmitter Rise/ Fall Time | 20% to 80% of differential output voltage, measured within 1" from output pins, (Note 2, Note 6), Figure 1 | | 65 | 85 | ps |
| T _{RF-DELTA} | Tx rise/fall mismatch | 20% to 80% of differential output voltage, (Note 2, Note 6) | | | 0.1 | UI |
| RL _{TX-DIFF} | Tx Differential Return Loss (SDD22), (Note 2) | Repeating 1100b (D24.3) pattern, VOD = 1.0 Vp-p, 150 MHz – 1.5 GHz | | -11 | | dB |
| | | 1.5 GHz – 3.0 GHz | | -10 | | |
| | | 3 GHz – 6.0 GHz | | -5 | | |
| RL _{TX-CM} | Tx Common Mode Return Loss (SCC22) | Repeating 1100b (D24.3) pattern, VOD = 1.0 Vp-p, (Note 2) 50 MHz – 3.0 GHz | | -10 | | dB |
| R _{TX-IB} | Tx Impedance Balance (SDC22) | Repeating 1100b (D24.3) pattern, VOD = 1.0 Vp-p, (Note 2) 50 MHz – 3.0 GHz | | -30 | | dB |
| I _{TX-SHORT} | Tx Output Short Circuit Current Limit | | | | 90 | mA |
| R _{OTD} | Output Differential Impedance between OUT+ and OUT- | (Note 2) | 85 | 100 | 125 | Ω |
| R _{OTIB} | Output Differential Impedance Imbalance | (Note 2) | | | 5 | Ω |
| R _{OCM} | Output Common Mode Impedance | (Note 2) | 20 | 25 | 35 | Ω |
| V _{TX-CM-DELTA} | Common Mode Voltage Delta between active burst and electrical idle of an OOB signal | Minimum Temperature for OOB signal pass-through is -10C. VIN = 800 mVp-p, at 3 Gbps, (Note 9) | | | ±40 | mV |
| T _{DI} | Max time to transition to valid electrical idle after leaving active burst in OOB signaling | Minimum Temperature for OOB signal pass-through is -10C. VIN = 800 mVp-p, at 3 Gbps, Figure 3 | | 6.5 | 9.5 | ns |
| T _{ID} | Max time to transition to valid active burst after leaving idle in OOB signaling | Minimum Temperature for OOB signal pass-through is -10C. VIN = 800 mVp-p, at 3 Gbps, Figure 3 | | 5.5 | 8.0 | ns |
| T _{PD} | Differential Propagation Delay (Low to High and High to Low Edge) | Propagation delay measure at midpoint crossing between input to output EQx[1:0] = 11, DEMx[1:0] = -6 dB Figure 2 | 150 | 200 | 250 | ps |
| | | EQz[1:0] = OFF, DEMx[1:0] = 0 dB | 120 | 170 | 220 | ps |
| T _{LSK} | Lane to Lane Skew in a Single Part | V _{DD} = 2.5V, T _A = 25C | | | 27 | ps |
| T _{PPSK} | Part to Part Propagation Delay Skew | V _{DD} = 2.5V, T _A = 25C | | | 35 | ps |
| T _{SM} | Switch/Mux Time | Time to switch/mux between A and B input/output signals | | | 150 | ns |

電気的特性 (つづき)

特記のない限り、デフォルトのレジスタ設定で推奨動作電源電圧と動作温度範囲に対して適用 (Note 3)。

| Symbol | Parameter | Conditions | Min | Typ | Max | Units |
|---------------------|---|--|-----|------|-------|-------------------|
| EQUALIZATION | | | | | | |
| DJ1 | Residual Deterministic Jitter at 6.4 Gbps | Tx Launch Amplitude = 0.8 to 1.2 Vp-p, 40" 4-mil FR4 trace, ENSMB = 1, EQ setting = 0x3B, DEMx[1:0] = 0dB, VOD = 1.0 Vp-p, K28.5, SD_TH = float (Note 2) | | 0.12 | 0.25 | UI _{p,p} |
| DJ2 | Residual Deterministic Jitter at 3.2 Gbps | Tx Launch Amplitude = 0.8 to 1.2 Vp-p, 40" 4-mil FR4 trace, EQ setting = 0x3C, DEMx[1:0] = 0dB, VOD = 1.0 Vp-p, K28.5, SD_TH = float (Note 2) | | 0.05 | 0.125 | UI _{p,p} |
| RJ | Random Jitter | Tx Launch Amplitude = 0.8 to 1.2 Vp-p, Repeating 1100b (D24.3) pattern | | 0.5 | | psrms |
| DE-EMPHASIS | | | | | | |
| DJ3 | Residual Deterministic Jitter at 6.4 Gbps | Tx Launch Amplitude = 0.8 to 1.2 Vp-p, 10" 4-mil FR4 trace, EQx = off, DEMx = -6 dB, VOD = 1.0 Vp-p, K28.5, RATE = 1 (Note 2) | | 0.09 | 0.20 | UI _{p,p} |
| DJ4 | Residual Deterministic Jitter at 3.2 Gbps | Tx Launch Amplitude = 0.8 to 1.2 Vp-p, 20" 4-mil FR4 trace, EQx = off, DEMx = -6 dB, VOD = 1.0 Vp-p, K28.5, RATE = 0 (Note 2) | | 0.07 | 0.18 | UI _{p,p} |

Note 1: 絶対最大定格は、ICに破壊が発生したり、使用不能になったり、信頼性や性能が低下する可能性のあるリミット値を示します。これは、絶対最大定格において、または推奨動作条件に示されている動作条件を越える条件でこのデバイスが有効に機能することや品質が劣化しないことは意味していません。推奨動作条件とは、このデバイスが有効に機能する条件を示しており、これらを超えた条件ではこのデバイスを使用しないように注意してください。絶対最大定格の各数値は接合部温度が -40°C ~ +125°C の範囲で保証します。これは最大動作電圧に対してのみ有効です。

Note 2: 代表値は、V_{DD} = +2.5V、T_A = +25°C で、製品の特性を評価した時点における推奨動作条件下での最も可能性のあるパラメータの基準値を表しており、保証値ではありません。

Note 3: 電気的特性の表は、推奨動作条件で使用した場合に保証される特性を示しています。ただし、電気的特性や注記で特に変更または指定している場合はその限りではありません。代表値は推定値であり、この値を保証しているものではありません。

Note 4: OOB 信号バススルーの最低周囲温度は -10°C に制限されます。

Note 5: 代表的動作条件において許容されている電源ノイズ (正弦波の mV_{p-p} 値) です。

Note 6: クロックのような {11111 00000} の規則正しいパターンで測定します。

Note 7: ENSMB = 1 で測定。SMBus レジスタの 0x01 と 0x02 の使用によりすべてのチャンネルをディスエーブルにし、EQ はバイパスしてあります (デフォルト)。

Note 8: レシーバのパッケージ・ピンで測定。65mVp-p を下回るとアイドル、175mVp-p を上回るとアクティブになります。抵抗を使って SD_TH ピンを GND に接続すると、このデフォルト設定が無効になります。

Note 9: コモンモード電圧 (VCM) は数学的に、ローカル・グラウンドを基準にした 2 つの信号電圧の平均として表されます。
VCM = (A + B) / 2、A = OUT +、B = OUT -。

電气的特性 — シリアル・マネジメント・バス・インタフェース

特記のない限り、推奨動作電源電圧と動作温度範囲に対して適用。

| Symbol | Parameter | Conditions | Min | Typ | Max | Units |
|---|--|--|-------|------|------|----------|
| SERIAL BUS INTERFACE DC SPECIFICATIONS | | | | | | |
| V_{IL} | Data, Clock Input Low Voltage | | | | 0.8 | V |
| V_{IH} | Data, Clock Input High Voltage | | 2.1 | | 3.6 | V |
| I_{PULLUP} | Current Through Pull-Up Resistor or Current Source | High Power Specification | 4 | | | mA |
| V_{DD} | Nominal Bus Voltage | | 2.375 | | 3.6 | V |
| $I_{LEAK-BUS}$ | Input Leakage Per Bus Segment | (Note 10) | -200 | | +200 | μ A |
| $I_{LEAK-Pin}$ | Input Leakage Per Device Pin | | | -15 | | μ A |
| C_I | Capacitance for SDA and SDC | (Note 10, Note 11) | | | 10 | pF |
| R_{TERM} | External Termination Resistance pull to $V_{DD} = 2.5V \pm 5\%$ OR $3.3V \pm 10\%$ | $V_{DD3.3}$ (Note 10, Note 11, Note 12) | | 2000 | | Ω |
| | | $V_{DD2.5}$ (Note 10, Note 11, Note 12) | | 1000 | | Ω |
| SERIAL BUS INTERFACE TIMING SPECIFICATIONS. See Figure 4 | | | | | | |
| FSMB | Bus Operating Frequency | (Note 13) | 10 | | 100 | kHz |
| TBUF | Bus Free Time Between Stop and Start Condition | | 4.7 | | | μ s |
| THD:STA | Hold time after (Repeated) Start Condition. After this period, the first clock is generated. | At $I_{PULLUP, Max}$ | 4.0 | | | μ s |
| TSU:STA | Repeated Start Condition Setup Time | | 4.7 | | | μ s |
| TSU:STO | Stop Condition Setup Time | | 4.0 | | | μ s |
| THD:DAT | Data Hold Time | | 300 | | | ns |
| TSU:DAT | Data Setup Time | | 250 | | | ns |
| $T_{TIMEOUT}$ | Detect Clock Low Timeout | (Note 13) | 25 | | 35 | ms |
| T_{LOW} | Clock Low Period | | 4.7 | | | μ s |
| T_{HIGH} | Clock High Period | (Note 13) | 4.0 | | 50 | μ s |
| $T_{LOW:SEXT}$ | Cumulative Clock Low Extend Time (Slave Device) | (Note 13) | | | 2 | ms |
| t_F | Clock/Data Fall Time | (Note 13) | | | 300 | ns |
| t_R | Clock/Data Rise Time | (Note 13) | | | 1000 | ns |
| t_{POR} | Time in which a device must be operational after power-on reset | (Note 13) | | | 500 | ms |

Note 10: 推奨値。このパラメータは量産時に試験されていません。

Note 11: 1個のバス・セグメント当たりの推奨最大容量負荷は400pFです。

Note 12: 最大終端電圧は、このデバイスの電源電圧と同じです。

Note 13: SMBus 2.0 物理層の仕様に準拠。詳細は、「システム・マネジメント・バス (SMBus) 仕様書バージョン 2.0」、セクション 3.1.1 SMBus 共通 AC 仕様を参照してください。

タイミング図

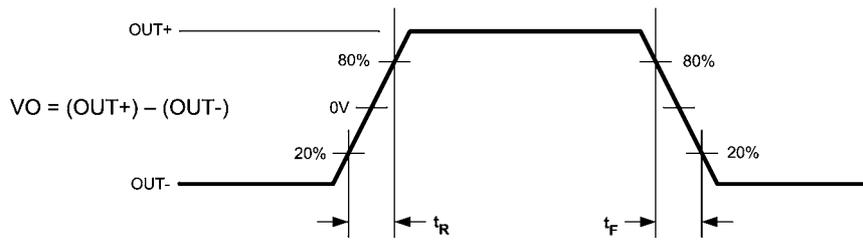


FIGURE 1. LPDS Output Transition Times

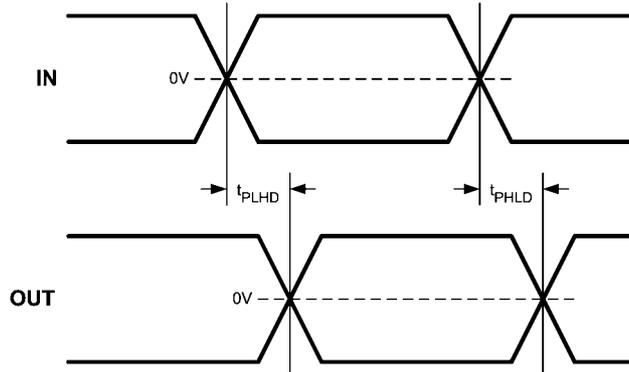


FIGURE 2. Propagation Delay Timing Diagram

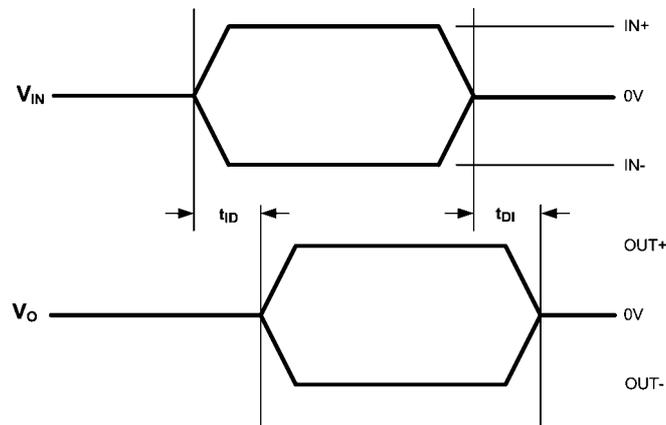


FIGURE 3. Idle Timing Diagram

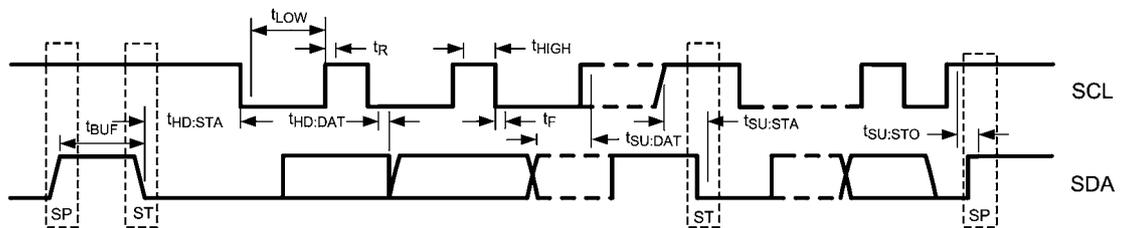


FIGURE 4. SMBus Timing Parameters

機能説明

DS64MB201 は、シグナル・コンディショニング機能を持つデュアル・レーンの 2:1 マルチプレクサと 1:2 スイッチ / ファンアウト・バッファであり、データ・レートが最大で 6Gbps の PCB FR4 トレースやケーブル・インターコネクタ向けに最適化されています。DS64MB201 は、ピン制御モード (ENSMB = 0) と SMBus モード (ENSMB = 1) という 2 つのモードで動作します。

ピン制御モード

ピン・モード (ENSMB = 0) の場合、トランシーバは外部ピンで構成が可能です。イコライゼーションとディエンファシスは、ピンを使いサイドごとに独立して選択できます。ディエンファシスがアサートされると、以下のディエンファシス表に従って VOD が自動的に増加し、高損失のメディアにおける性能が向上します。レート最適化もピン制御が可能であり、3Gbps、6Gbps、自動検出をピンで選択できます。また、レーシバの電氣的アイド

ル検出スレッシュホールドは、SD_TH ピンにオプションで接続された外付け抵抗によってプログラム可能です。

SMBus モード

ピン・モードではサイドごとにグループ分けされますが、SMBus モードの場合、VOD 振幅レベル、イコライゼーション、ディエンファシスはすべてレーンごとにプログラム可能です。ENSMB ピンがアサートされると、EQx 機能と DEMx 機能は即座にレジスタ制御に戻ります。EQx ピンと DEMx ピンは AD0 ~ AD3 SMBus アドレス・ピンに変換されます。その他の外部制御ピンはアクティブのまま維持されますが、それぞれのレジスタへの書き込みが行われた場合は除きます。この場合は、ENSMB が Low になるまで無視されます。電源が投入されたときと、ENSMB が Low になったときは、すべてのレジスタがデフォルト状態にリセットされます。

TABLE 1. Equalization Input Select Pins for SIA, SIB and DIN (3-Level Input)

| EQA, EQB, EQD | Equalization Level |
|--------------------|--------------------|
| 0 | 9 dB at 3 GHz |
| Float (No Connect) | 13.5 dB at 3 GHz |
| 1 | 18.4 dB at 3 GHz |

Note: F = フロート (未接続)、1 = High、0 = Low。

TABLE 2. De-Emphasis Input Select Pins for SOA, SOB and DOUT (3-Level Input)

| RATE | DEMA, DEMB, DEMD | De-Emphasis Level (typ) | DE Pulse Width (typ) | VOD (typ) |
|------|------------------|-------------------------|----------------------|------------------|
| 0/F | 0 | -3.5dB | 330ps | VOD = 1,000mVp-p |
| | | -2dB | 330ps | VOD = 1,200mVp-p |
| 0/F | 1 | -6dB | 330ps | VOD = 1,000mVp-p |
| | | -3dB | 330ps | VOD = 1,200mVp-p |
| 1/F | 0 | -3.5dB | 200ps | VOD = 1,000mVp-p |
| | | -2dB | 200ps | VOD = 1,200mVp-p |
| 1/F | 1 | -6dB | 200ps | VOD = 1,000mVp-p |
| | | -3dB | 200ps | VOD = 1,200mVp-p |
| 0/F | F | -9dB | 250ps enhanced | VOD = 1,200mVp-p |
| 1/F | F | -12dB | 160ps enhanced | VOD = 1,200mVp-p |

Note: F = フロート (未接続)、1 = High、0 = Low。拡張 DE パルス幅は、2 番目のビットでディエンファシスを提供します。

RATE = F (自動レート検出がアクティブ): DE レベルとパルス幅の設定は、検出されたレートに従います。RATE = 0 : 3Gbps。RATE = 1 : 6Gbps。ディエンファシスは、VOD = 1,000mVp-p または 1,200mVp-p の場合のみ使用してください。VOD が 1,000mVp-p 未満でのディエンファシスは推奨しません。出力差動電圧レベルの設定については、VOD1 ピンと VOD0 ピンの説明を参照してください。

機能説明 (つづき)

TABLE 3. Idle Control (3-Level Input)

| TXIDLEDO/SO | 機能 |
|-------------|--|
| 0 | この状態は、高損失のメディア向きです。専用のアイドル・スレッショルド検出回路がディスエーブルになり、出力はEQ設定に基づいて入力に従います。アイドル状態は保証されません。 |
| フロート | フロートにすると、自動アイドル検出がイネーブルになります。入力のアイドル状態が出力に伝えられます。50K Ω の内部抵抗によって、TXIDLEDO/SOピンを中間レベルに維持します。自動アイドル検出機能が必要な場合は、このピンを接続しないでください。これはデフォルトの状態です。差動入力信号がSD_THピンで設定された値を下回ると、出力はアイドル状態になります。 |
| 1 | 手動での優先制御。出力は電気的アイドル状態になります。差動入力は無視されます。 |

TABLE 4. Receiver Electrical Idle Detect Threshold Adjust

| SD_TH resistor value (Ω) | Receiver Electrical Idle Detect Threshold (DIFF p-p) |
|-----------------------------------|--|
| Float (no resistor required) | 130 mV (default condition) |
| 0 | 225 mV |
| 80k | 20 mV |

SD_THの抵抗値を0 Ω ~ 80k Ω の範囲から選択することにより、必要なアイドル検出スレッショルドを設定できます。Figure 5を参照してください。

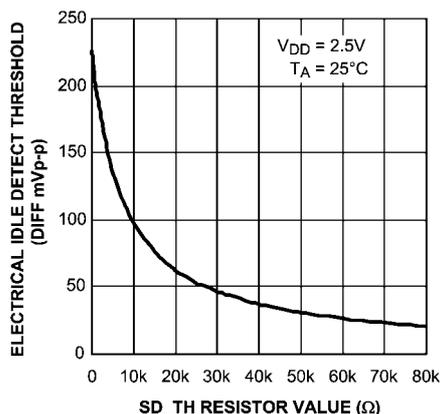


FIGURE 5. Typical Idle Threshold vs. SD_TH resistor value

機能説明 (つづき)

デバイス接続パス

DS64MB201 のレーンは、2:1 マルチプレクサ、1:2 スイッチ・バッファ、または 1:2 ファンアウト・バッファのいずれかとして構成できます。コントローラ側は、ディスク・ドライブ側に多重化されます。以下に示すのは、マルチプレクサ機能とスイッチ機能の論理表です。

TABLE 5. Logic Table of Switch and Mux Control

| FANOUT | SEL0 | SEL1 | Function — connection path |
|--------|------|------|--|
| 0 | 0 | 0 | DOUT0 connects to SIB0. DOUT1 connects to SIB1. DIN0 connects to SOB0. SOA0 is in idle (output muted). DIN1 connects to SOB1. SOA1 is in idle (output muted). |
| 0 | 0 | 1 | DOUT0 connects to SIB0. DOUT1 connects to SIA1. DIN0 connects to SOB0. SOA0 is in idle (output muted). DIN1 connects to SOA1. SOB1 is in idle (output muted). |
| 0 | 1 | 0 | DOUT0 connects to SIA0. DOUT1 connects to SIB1. DIN0 connects to SOA0. SOB0 is in idle (output muted). DIN1 connects to SOB1. SOA1 is in idle (output muted). |
| 0 | 1 | 1 | DOUT0 connects to SIA0. DOUT1 connects to SIA1. DIN0 connects to SOA0. SOB0 is in idle (output muted). DIN1 connects to SOA1. SOB1 is in idle (output muted). |
| 1 | 0 | 0 | DOUT0 connects to SIB0. DOUT1 connects to SIB1. DIN0 connects to SOB0 and SOA0. DIN1 connects to SOB1 and SOA1. |
| 1 | 0 | 1 | DOUT0 connects to SIB0. DOUT1 connects to SIA1. DIN0 connects to SOB0 and SOA0. DIN1 connects to SOA1 and SOB1. |
| 1 | 1 | 0 | DOUT0 connects to SIA0. DOUT1 connects to SIB1. DIN0 connects to SOA0 and SOB0. DIN1 connects to SOB1 and SOA1. |
| 1 | 1 | 1 | DOUT0 connects to SIA0. DOUT1 connects to SIA1. DIN0 connects to SOA0 and SOB0. DIN1 connects to SOA1 and SOB1. |

システム・マネジメント・バス (SMBus) と構成レジスタ

システム・マネジメント・バス・インタフェースは、SMBus 2.0 物理層の規格に準拠しています。SMBus モードをイネーブルにし、構成レジスタへのアクセスを可能にするには、ENSMB を High にする必要があります。

DS64MB201 の SMBus モードでは、AD[3:0] 入力を使用できます。これらのピンを使用すると、SMBus スレーブ・アドレス入力の設定が可能です。AD[3:0] ピンはプルダウンを内蔵しています。フロート状態にするか、Low にすると (AD[3:0] = 0000'b)、デバイスのデフォルト・アドレス・バイトは A0'h になります。SMBus 2.0 仕様に基づき、DS64MB201 は 7 ビットのスレーブ・アドレス (1010000'b) を持っています。LSB は 0'b にセットされるので (書き込みの場合)、8 ビット値は 1010 0000'b すなわち A0'h になります。太字のビットは、スレーブ・アドレス・ビット [4:1] に割り当てられた AD[3:0] ピンを示しています。デバイス・アドレス・バイトは、AD[3:0] 入力を使用して設定できます。以下に例を示します。

AD[3:0] = 0001'b: デバイス・アドレス・バイトは A2'h

AD[3:0] = 0010'b: デバイス・アドレス・バイトは A4'h

AD[3:0] = 0100'b: デバイス・アドレス・バイトは A8'h

AD[3:0] = 1000'b: デバイス・アドレス・バイトは B0'h

SDC ピンと SDA ピンは 3.3V LVCMOS 信号を送出し、ハイ・インピーダンス内部プルアップ抵抗を備えています。SMBus の負荷と速度によっては、低インピーダンスの外付けプルアップ抵抗が必要になります。ただしこれらの入力は 5V 耐圧ではありません。

SMBus を介したデータ転送

通常動作では、SDC が High の間、SDA 上のデータは安定していなければなりません。

SMBus には 3 つの固有な状態があります。

START: SDC が High のとき SDA の High から Low への遷移は、START 状態のメッセージを示します。

STOP: SDC が High のとき SDA の Low から High への遷移は、STOP 状態のメッセージを示します。

IDLE: 最後に検出された STOP 状態から時間 t_{BUF} を超えて SDC と SDA の両方が High 状態である場合、または High 状態の合計時間が仕様で定められた最大値 t_{HIGH} を超えた場合、バスは IDLE 状態に移行します。

SMBus トランザクション

デバイスは書き込みトランザクションと読み出しトランザクションをサポートしています。レジスタのアドレス、タイプ (読み出し/書き込み、読み出し専用)、デフォルト値、機能の詳細については、レジスタ説明表を参照してください。

SMBus をイネーブルにした場合、DS64MB201 のすべての出力は以下のディエンファシス設定のいずれかを使用する必要があります (Table 6)。ドライバのディエンファシス値は、6 種類のレジスタを使ってレーンごとに設定します。SMBus モードでは、各レジスタ (0x18、0x26、0x2E、0x35、0x3C、0x43) が以下のディエンファシス設定のいずれかを必要とします。各出力の VOD は、レジスタの書き込みまたはピン制御によって 1,000mV 以上に設定してください。

TABLE 6. De-Emphasis Register Settings (must write one of the following when in SMBus mode)

| De-Emphasis Value | Register Setting | 3 Gbps Operation | 6 Gbps Operation |
|-------------------|------------------|------------------------------------|------------------------------------|
| 0.0 dB | 0x01 | 10" trace or 1 meter 28 awg cable | 5" trace or 0.5 meter 28 awg cable |
| -3.5 dB | 0xE8 | 20" trace or 2 meters 28 awg cable | 10" trace or 1 meters 28 awg cable |
| -6 dB | 0x88 | 25" trace or 3 meters cable | 20" trace or 2 meters cable |
| -9 dB | 0x90 | 5 meters 28 awg cable | 3 meters 28 awg cable |
| -12 dB | 0xA0 | 8 meters 28 awg cable | 5 meters 28 awg cable |

レジスタの書き込み

レジスタの書き込みには、以下の手順が使用されます (SMBus 2.0 仕様を参照)。

- ホストが START 状態、7 ビットの SMBus アドレス、書き込みを示す「0」を送信します。
- デバイス (スレーブ) が ACK ビット (「0」) を送信します。
- ホストが 8 ビットのレジスタ・アドレスを送信します。
- デバイスが ACK ビット (「0」) を送信します。
- ホストが 8 ビットのデータ・バイトを送信します。
- デバイスが ACK ビット (「0」) を送信します。
- ホストが STOP 状態を送信します。
- ホストが 8 ビットのレジスタ・アドレスを送信します。
- デバイスが ACK ビット (「0」) を送信します。
- ホストが 7 ビットの SMBus アドレスと、読み出しを示す「1」を送信します。
- デバイスが ACK ビット (「0」) を送信します。
- デバイスが 8 ビットのデータ値 (レジスタ内容) を送信します。
- ホストが読み出し転送の終了を示す NACK ビット (「1」) を送信します。
- ホストが STOP 状態を送信します。

書き込みトランザクションが完了すると、バスが IDLE 状態になり、ほかの SMBus デバイスとの通信が可能になります。

レジスタの読み出し

レジスタの読み出しには、以下の手順が使用されます (SMBus 2.0 仕様を参照)。

- ホストが START 状態、7 ビットの SMBus アドレス、書き込みを示す「0」を送信します。
- デバイス (スレーブ) が ACK ビット (「0」) を送信します。

読み出しトランザクションが完了すると、バスが IDLE 状態になり、ほかの SMBus デバイスとの通信が可能になります。

推奨 SMBus レジスタ設定

SMBus モードをイネーブルにした場合 (ENSMB = 1)、デフォルト・レジスタ設定は適切なレベルには構成されません。以下に示すのは、20 インチ (51cm) の FR4 トレースのインターコネクタ長や 3m ~ 5m のケーブル長に対応したメディア・レベルへ EQ、VOD、DE を構成する際の推奨設定です。詳細な情報と推奨設定については、Table 1、Table 2、Table 6、Table 7 を参照してください。

システム・マネジメント・バス (SMBus) と構成レジスタ (つづき)

- SMBus レジスタをデフォルト値にリセット:
01'h を 0x00 に書き込みます。
- すべてのレーンでディエンファシスを -6dB に設定:
88'h を 0x18、0x26、0x2E、0x35、0x3C、0x43 に書き込みます。
- すべてのレーンでイコライゼーションを外部ピン・レベルに設定 (EQ[1:0] = 00、3GHz で ~9dB):
30'h を 0x0F、0x16、0x1D、0x24、0x2C、0x3A に書き込みます。
- すべてのレーンで VOD = 1.0Vp-p に設定:
0F'h を 0x17、0x25、0x2D、0x34、0x3B、0x42 に書き込みます。

TABLE 7. SMBus Register Map

| Address | Register Name | Bit (s) | Field | Type | Default | Description |
|---------|----------------------|---------|-----------------|------|---------|--|
| 0x00 | Reset | 7:1 | Reserved | R/W | 0x00 | Set bits to 0. |
| | | 0 | Reset | | | SMBus Reset 1: Reset registers to default value |
| 0x01 | PWDN lanes | 7:0 | PWDN CHx | R/W | 0x00 | Power Down per lane [7]: NC — SOB1 [6]: DIN1 — SOA1 [5]: NC — SOB0 [4]: DIN0 — SOA0 [3]: SIB1 — DOUT1 [2]: SIA1 — NC [1]: SIB0 — DOUT0 [0]: SIA0 — NC 00'h = all lanes enabled FF'h = all lanes disabled |
| 0x02 | PWDN Control | 7:1 | Reserved | R/W | 0x00 | Set bits to 0. |
| | | 0 | PWDN Control | | | 0: Normal operation 1: Enable PWDN control in Register 0x01 |
| 0x03 | SEL / FANOUT Control | 7:3 | Reserved | R/W | 0x00 | Set bits to 0. |
| | | 2 | SEL1 | | | 0: Selects SIB1 input and SOB1 output 1: Selects SIA1 input and SOA1 output |
| | | 1 | SEL0 | | | 0: Selects SIB0 input and SOB0 output 1: Selects SIA0 input and SOA0 output |
| | | 0 | FANOUT | | | 0: Enable only A or B output depends on SEL1 and SEL0 (See Mux Control Truth Table) 1: Enable both SOAn and SOBn output |
| 0x08 | Pin Control Override | 7:5 | Reserved | R/W | 0x00 | Set bits to 0. |
| | | 4 | Override IDLE | | | 0: Allow IDLE pin control 1: Block IDLE pin control |
| | | 3 | Reserved | | | Set bit to 0. |
| | | 2 | Override RATE | | | 0: Allow RATE pin control 1: Block RATE pin control |
| | | 1 | Override SEL | | | 0: Allow SEL pin control 1: Block SEL pin control |
| | | 0 | Override FANOUT | | | 0: Allow FANOUT pin control 1: Block FANOUT pin control |

| | | | | | | |
|------|---------------------------|-----|----------------|-----|------|---|
| 0x0F | SIA0 EQ Control | 7:6 | Reserved | R/W | 0x20 | Set bits to 0. |
| | | 5:0 | SIA0 EQ | | | SIA0 EQ Control - total of 24 levels (3 gain stages with 8 settings) [5]: Enable EQ [4:3]: Gain Stage Control [2:0]: Boost Level Control Register [EN] [GST] [BST] = Hex Value 100000 = 20'h = Bypass (Default) 101010 = 2A'h = 5 dB at 3 GHz 110000 = 30'h = 9 dB at 3 GHz 110010 = 32'h = 11.7 dB at 3 GHz 111001 = 39'h = 14.6 dB at 3 GHz 110101 = 35'h = 18.4 dB at 3 GHz 110111 = 37'h = 20 dB at 3 GHz 111011 = 3B'h = 21.2 dB at 3 GHz 111101 = 3D'h = 28.4 dB at 3 GHz |
| 0x12 | SIA0 IDLE Threshold | 7:4 | Reserved | R/W | 0x00 | Set bits to 0. |
| | | 3:0 | IDLE threshold | | | De-assert = [3:2], assert = [1:0] 00 = 110 mV, 70 mV (Default) 01 = 150 mV, 110 mV 10 = 170 mV, 130 mV 11 = 190 mV, 150 mV |
| 0x15 | DOUT0 IDLE RATE Select | 7:6 | Reserved | R/W | 0x00 | Set bits to 0. |
| | | 5 | IDLE auto | | | 0: Allow IDLE_sel control in Bit 4 1: Automatic IDLE detect |
| | | 4 | IDLE select | | | 0: Output is ON (SD is disabled) 1: Output is muted (electrical idle) |
| | | 3:2 | Reserved | | | Set bits to 0. |
| | | 1 | RATE auto | | | 0: Allow RATE_sel control in Bit 0 1: Automatic RATE detect |
| | | 0 | RATE select | | | 0: 2.5 to 3.2 Gbps 1: 5.0 to 6.4 Gbps |
| 0x16 | SIB0 EQ Control | 7:6 | Reserved | R/W | 0x20 | Set bits to 0. |
| | | 5:0 | SIB0 EQ | | | SIB0 Control - total of 24 levels (3 gain stages with 8 settings) [5]: Enable EQ [4:3]: Gain Stage Control [2:0]: Boost Level Control Register [EN] [GST] [BST] = Hex Value 100000 = 20'h = Bypass (Default) 101010 = 2A'h = 5 dB at 3 GHz 110000 = 30'h = 9 dB at 3 GHz 110010 = 32'h = 11.7 dB at 3 GHz 111001 = 39'h = 14.6 dB at 3 GHz 110101 = 35'h = 18.4 dB at 3 GHz 110111 = 37'h = 20 dB at 3 GHz 111011 = 3B'h = 21.2 dB at 3 GHz 111101 = 3D'h = 28.4 dB at 3 GHz |
| 0x17 | DOUT0 VOD Control | 7 | Reserved | R/W | 0x03 | Set bit to 0. |
| | | 6:0 | DOUT0 VOD | | | DOUT0 VOD Control 03'h = 600 mV (Default) 07'h = 800 mV 0F'h = 1000 mV 1F'h = 1200 mV 3F'h = Reserved |

| | | | | | | |
|------|---------------------------|-----|----------------|-----|------|---|
| 0x18 | DOUT0 DE Control | 7:0 | DOUT0 DEM | R/W | 0x03 | DOUT0 DEM Control [7]: DEM TYPE (Compatibility = 0 / Enhanced = 1) [6:0]: DEM Level Control Register [TYPE] [Level Control] = Hex Value 00000001 = 01'h = 0.0 dB 00111000 = E8'h = -3.5 dB 10001000 = 88'h = -6.0 dB 10010000 = 90'h = -9.0 dB 10100000 = A0'h = -12.0 dB |
| 0x19 | SIB0 IDLE Threshold | 7:4 | Reserved | R/W | 0x00 | Set bits to 0. |
| | | 3:0 | IDLE threshold | | | De-assert = [3:2], assert = [1:0] 00 = 110 mV, 70 mV (Default) 01 = 150 mV, 110 mV 10 = 170 mV, 130 mV 11 = 190 mV, 150 mV |
| 0x1D | SIA1 EQ Control | 7:6 | Reserved | R/W | 0x20 | Set bits to 0. |
| | | 5:0 | SIA1 EQ | | | SIA1 EQ Control - total of 24 levels (3 gain stages with 8 settings) [5]: Enable EQ [4:3]: Gain Stage Control [2:0]: Boost Level Control Register [EN] [GST] [BST] = Hex Value 100000 = 20'h = Bypass (Default) 101010 = 2A'h = 5 dB at 3 GHz 110000 = 30'h = 9 dB at 3 GHz 110010 = 32'h = 11.7 dB at 3 GHz 111001 = 39'h = 14.6 dB at 3 GHz 110101 = 35'h = 18.4 dB at 3 GHz 110111 = 37'h = 20 dB at 3 GHz 111011 = 3B'h = 21.2 dB at 3 GHz 111101 = 3D'h = 28.4 dB at 3 GHz |
| 0x20 | SIA1 IDLE Threshold | 7:4 | Reserved | R/W | 0x00 | Set bits to 0. |
| | | 3:0 | IDLE threshold | | | De-assert = [3:2], assert = [1:0] 00 = 110 mV, 70 mV (Default) 01 = 150 mV, 110 mV 10 = 170 mV, 130 mV 11 = 190 mV, 150 mV |
| 0x23 | DOUT1 IDLE RATE Select | 7:6 | Reserved | R/W | 0x00 | Set bits to 0. |
| | | 5 | IDLE auto | | | 0: Allow IDLE_sel control in Bit 4 1: Automatic IDLE detect |
| | | 4 | IDLE select | | | 0: Output is ON (SD is disabled) 1: Output is muted (electrical idle) |
| | | 3:2 | Reserved | | | Set bits to 0. |
| | | 1 | RATE auto | | | 0: Allow RATE_sel control in Bit 0 1: Automatic RATE detect |
| | | 0 | RATE select | | | 0: 2.5 to 3.2 Gbps 1: 5.0 to 6.4 Gbps |

| | | | | | | |
|------|--------------------------|-----|----------------|-----|------|---|
| 0x24 | SIB1 EQ Control | 7:6 | Reserved | R/W | 0x20 | Set bits to 0. |
| | | 5:0 | SIB1 EQ | | | SIB1 EQ Control - total of 24 levels (3 gain stages with 8 settings) [5]: Enable EQ [4:3]: Gain Stage Control [2:0]: Boost Level Control Register [EN] [GST] [BST] = Hex Value 100000 = 20'h = Bypass (Default) 101010 = 2A'h = 5 dB at 3 GHz 110000 = 30'h = 9 dB at 3 GHz 110010 = 32'h = 11.7 dB at 3 GHz 111001 = 39'h = 14.6 dB at 3 GHz 110101 = 35'h = 18.4 dB at 3 GHz 110111 = 37'h = 20 dB at 3 GHz 111011 = 3B'h = 21.2 dB at 3 GHz 111101 = 3D'h = 28.4 dB at 3 GHz |
| 0x25 | DOUT1 VOD Control | 7 | Reserved | R/W | 0x03 | Set bit to 0. |
| | | 6:0 | DOUT1 VOD | | | DOUT1 VOD Control 03'h = 600 mV (Default) 07'h = 800 mV 0F'h = 1000 mV 1F'h = 1200 mV 3F'h = Reserved |
| 0x26 | DOUT1 DE Control | 7:0 | DOUT1 DEM | R/W | 0x03 | DOUT1 DEM Control [7]: DEM TYPE (Compatibility = 0 / Enhanced = 1) [6:0]: DEM Level Control Register [TYPE] [Level Control] = Hex Value 00000001 = 01'h = 0.0 dB 00111000 = E8'h = -3.5 dB 10001000 = 88'h = -6.0 dB 10010000 = 90'h = -9.0 dB 10100000 = A0'h = -12.0 dB |
| 0x27 | SIB1 IDLE Threshold | 7:4 | Reserved | R/W | 0x00 | Set bits to 0. |
| | | 3:0 | IDLE threshold | | | De-assert = [3:2], assert = [1:0] 00 = 110 mV, 70 mV (Default) 01 = 150 mV, 110 mV 10 = 170 mV, 130 mV 11 = 190 mV, 150 mV |
| 0x2B | SOA0 IDLE RATE Select | 7:6 | Reserved | R/W | 0x00 | Set bits to 0. |
| | | 5 | IDLE auto | | | 0: Allow IDLE_sel control in Bit 4 1: Automatic IDLE detect |
| | | 4 | IDLE select | | | 0: Output is ON (SD is disabled) 1: Output is muted (electrical idle) |
| | | 3:2 | Reserved | | | Set bits to 0. |
| | | 1 | RATE auto | | | 0: Allow RATE_sel control in Bit 0 1: Automatic RATE detect |
| | | 0 | RATE select | | | 0: 2.5 to 3.2 Gbps 1: 5.0 to 6.4 Gbps |

| | | | | | | |
|------|--------------------------|-----|----------------|-----|------|---|
| 0x2C | DIN0 EQ Control | 7:6 | Reserved | R/W | 0x20 | Set bits to 0. |
| | | 5:0 | DIN0 EQ | | | DIN0 EQ Control - total of 24 levels (3 gain stages with 8 settings) [5]: Enable EQ [4:3]: Gain Stage Control [2:0]: Boost Level Control Register [EN] [GST] [BST] = Hex Value 100000 = 20'h = Bypass (Default) 101010 = 2A'h = 5 dB at 3 GHz 110000 = 30'h = 9 dB at 3 GHz 110010 = 32'h = 11.7 dB at 3 GHz 111001 = 39'h = 14.6 dB at 3 GHz 110101 = 35'h = 18.4 dB at 3 GHz 110111 = 37'h = 20 dB at 3 GHz 111011 = 3B'h = 21.2 dB at 3 GHz 111101 = 3D'h = 28.4 dB at 3 GHz |
| 0x2D | SOA0 VOD Control | 7 | Reserved | R/W | 0x03 | Set bit to 0. |
| | | 6:0 | SOA0 VOD | | | SOA0 VOD Control 03'h = 600 mV (Default) 07'h = 800 mV 0F'h = 1000 mV 1F'h = 1200 mV 3F'h = Reserved |
| 0x2E | SOA0 DE Control | 7:0 | SOA0 DEM | R/W | 0x03 | SOA0 DEM Control [7]: DEM TYPE (Compatibility = 0 / Enhanced = 1) [6:0]: DEM Level Control Register [TYPE] [Level Control] = Hex Value 00000001 = 01'h = 0.0 dB 00111000 = E8'h = -3.5 dB 10001000 = 88'h = -6.0 dB 10010000 = 90'h = -9.0 dB 10100000 = A0'h = -12.0 dB |
| 0x2F | DIN0 IDLE Threshold | 7:4 | Reserved | R/W | 0x00 | Set bits to 0. |
| | | 3:0 | IDLE threshold | | | De-assert = [3:2], assert = [1:0] 00 = 110 mV, 70 mV (Default) 01 = 150 mV, 110 mV 10 = 170 mV, 130 mV 11 = 190 mV, 150 mV |
| 0x32 | SOB0 IDLE RATE Select | 7:6 | Reserved | R/W | 0x00 | Set bits to 0. |
| | | 5 | IDLE auto | | | 0: Allow IDLE_sel control in Bit 4 1: Automatic IDLE detect |
| | | 4 | IDLE select | | | 0: Output is ON (SD is disabled) 1: Output is muted (electrical idle) |
| | | 3:2 | Reserved | | | Set bits to 0. |
| | | 1 | RATE auto | | | 0: Allow RATE_sel control in Bit 0 1: Automatic RATE detect |
| | | 0 | RATE select | | | 0: 2.5 to 3.2 Gbps 1: 5.0 to 6.4 Gbps |
| 0x34 | SOB0 VOD Control | 7 | Reserved | R/W | 0x03 | Set bit to 0. |
| | | 6:0 | SOB0 VOD | | | SOB0 VOD Control 03'h = 600 mV (Default) 07'h = 800 mV 0F'h = 1000 mV 1F'h = 1200 mV 3F'h = Reserved |

| | | | | | | |
|------|--------------------------|-----|----------------|-----|------|---|
| 0x35 | SOB0 DE Control | 7:0 | SOB0 DEM | R/W | 0x03 | SOB0 DEM Control [7]: DEM TYPE (Compatibility = 0 / Enhanced = 1) [6:0]: DEM Level Control Register [TYPE] [Level Control] = Hex Value 00000001 = 01'h = 0.0 dB 00111000 = E8'h = -3.5 dB 10001000 = 88'h = -6.0 dB 10010000 = 90'h = -9.0 dB 10100000 = A0'h = -12.0 dB |
| 0x39 | SOA1 IDLE RATE Select | 7:6 | Reserve | R/W | 0x00 | Set bits to 0. |
| | | 5 | IDLE auto | | | 0: Allow IDLE_sel control in Bit 4 1: Automatic IDLE detect |
| | | 4 | IDLE select | | | 0: Output is ON (SD is disabled) 1: Output is muted (electrical idle) |
| | | 3:2 | Reserved | | | Set bits to 0. |
| | | 1 | RATE auto | | | 0: Allow RATE_sel control in Bit 0 1: Automatic RATE detect |
| | | 0 | RATE select | | | 0: 2.5 to 3.2 Gbps 1: 5.0 to 6.4 Gbps |
| 0x3A | DIN1 EQ Control | 7:6 | Reserved | R/W | 0x20 | Set bits to 0. |
| | | 5:0 | DIN1 EQ | | | DIN1 EQ Control - total of 24 levels (3 gain stages with 8 settings) [5]: Enable EQ [4:3]: Gain Stage Control [2:0]: Boost Level Control Register [EN] [GST] [BST] = Hex Value 100000 = 20'h = Bypass (Default) 101010 = 2A'h = 5 dB at 3 GHz 110000 = 30'h = 9 dB at 3 GHz 110010 = 32'h = 11.7 dB at 3 GHz 111001 = 39'h = 14.6 dB at 3 GHz 110101 = 35'h = 18.4 dB at 3 GHz 110111 = 37'h = 20 dB at 3 GHz 111011 = 3B'h = 21.2 dB at 3 GHz 111101 = 3D'h = 28.4 dB at 3 GHz |
| 0x3B | SOA1 VOD Control | 7 | Reserved | R/W | 0x03 | Set bit to 0. |
| | | 6:0 | SOA1 VOD | | | SOA1 VOD Control 03'h = 600 mV (Default) 07'h = 800 mV 0F'h = 1000 mV 1F'h = 1200 mV 3F'h = Reserved |
| 0x3C | SOA1 DE Control | 7:0 | SOA1 DEM | R/W | 0x03 | SOA1 DEM Control [7]: DEM TYPE (Compatibility = 0 / Enhanced = 1) [6:0]: DEM Level Control Register [TYPE] [Level Control] = Hex Value 00000001 = 01'h = 0.0 dB 00111000 = E8'h = -3.5 dB 10001000 = 88'h = -6.0 dB 10010000 = 90'h = -9.0 dB 10100000 = A0'h = -12.0 dB |
| 0x3D | DIN1 IDLE Threshold | 7:4 | Reserved | R/W | 0x00 | Set bits to 0. |
| | | 3:0 | IDLE threshold | | | De-assert = [3:2], assert = [1:0] 00 = 110 mV, 70 mV (Default) 01 = 150 mV, 110 mV 10 = 170 mV, 130 mV 11 = 190 mV, 150 mV |

| | | | | | | |
|------|--------------------------|-----|-------------|-----|------|--|
| 0x40 | SOB1 IDLE RATE Select | 7:6 | Reserved | R/W | 0x00 | Set bits to 0. |
| | | 5 | IDLE auto | | | 0: Allow IDLE_sel control in Bit 4 1: Automatic IDLE detect |
| | | 4 | IDLE select | | | 0: Output is ON (SD is disabled) 1: Output is muted (electrical idle) |
| | | 3:2 | Reserved | | | Set bits to 0. |
| | | 1 | RATE auto | | | 0: Allow RATE_sel control in Bit 0 1: Automatic RATE detect |
| | | 0 | RATE select | | | 0: 2.5 to 3.2 Gbps 1: 5.0 to 6.4 Gbps |
| 0x42 | SOB1 VOD Control | 7 | Reserved | R/W | 0x03 | Set bit to 0. |
| | | 6:0 | SOB1 VOD | | | SOB1 VOD Control 03'h = 600 mV (Default) 07'h = 800 mV 0F'h = 1000 mV 1F'h = 1200 mV 3F'h = Reserved |
| 0x43 | SOB1 DE Control | 7:0 | SOB1 DEM | R/W | 0x03 | SOB1 DEM Control [7]: DEM TYPE (Compatibility = 0 / Enhanced = 1) [6:0]: DEM Level Control Register [TYPE] [Level Control] = Hex Value 00000001 = 01'h = 0.0 dB 00111000 = E8'h = -3.5 dB 10001000 = 88'h = -6.0 dB 10010000 = 90'h = -9.0 dB 10100000 = A0'h = -12.0 dB |
| 0x47 | Global VOD Adjust | 7:2 | Reserved | R/W | 0x02 | Set bits to 0. |
| | | 1:0 | VOD Adjust | | | 00 = -25.0% 01 = -12.5% 10 = +0.0% (Default) 11 = +12.5% |

代表的な性能特性

代表的な性能特性は、特記のない限り室温および公称電源電圧で測定されています。

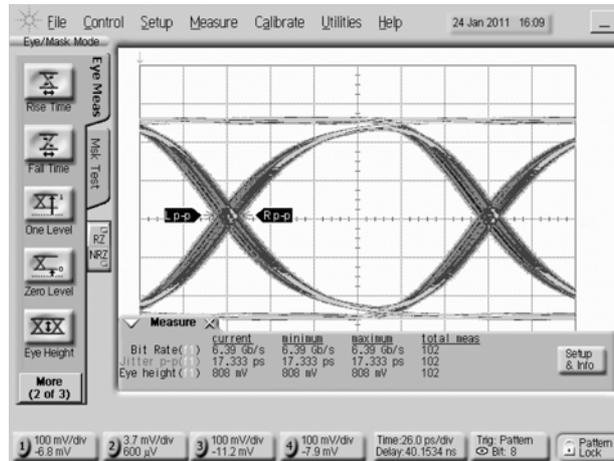


FIGURE 6. Electrical Specification DJ1: 40" 4-mil microstrip trace on Input

データ・レート: 6.4Gbps

入力パターン: K28.5

シグナル・コンディショニング: EQ 設定 = 3B'h

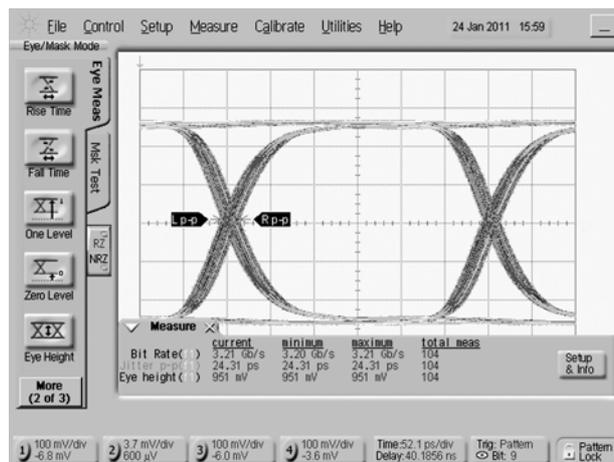


FIGURE 7. Electrical Specification DJ2: 40" 4-mil microstrip trace on Input

データ・レート: 3.2Gbps

入力パターン: K28.5

シグナル・コンディショニング: EQ 設定 = 3C'h

代表的な性能特性 (つづき)

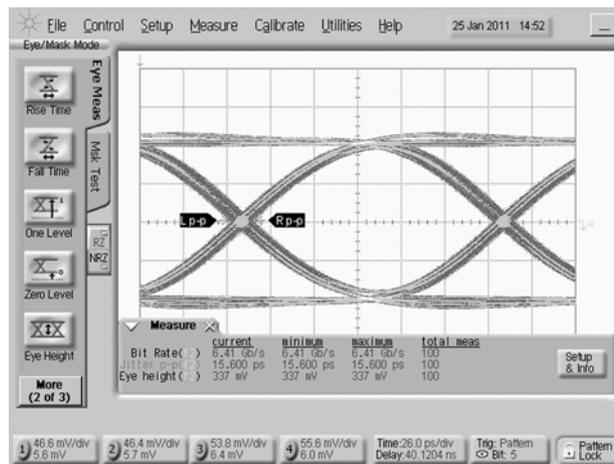


FIGURE 8. Electrical Specification DJ3: 10" 4-mil microstrip trace on Output

データ・レート: 6.4Gbps

入力パターン: K28.5

シグナル・コンディショニング: EQ 設定 = 20'h (バイパス)、DE 設定 = 88'h

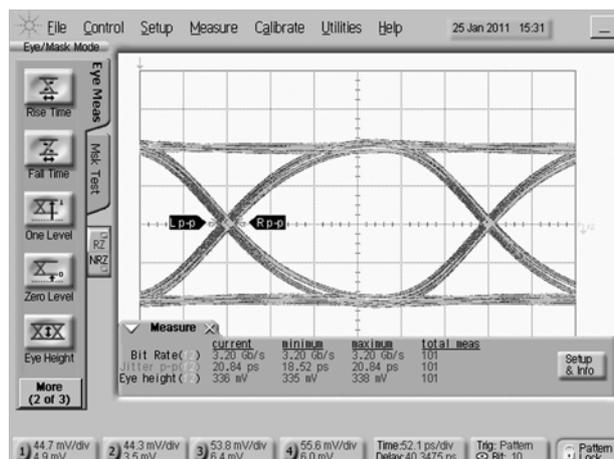


FIGURE 9. Electrical Specification DJ4: 20" 4-mil microstrip trace on Output

データ・レート: 3.2Gbps

入力パターン: K28.5

シグナル・コンディショニング: EQ 設定 = 20'h (バイパス)、DE 設定 = 88'h

アプリケーション情報

一般的な注意事項

DS64MB201 は優れた性能を提供する高性能のデバイスです。高伝送速度に関連した部分の設計には十分に注意し、電源は低ノイズのものを使用する必要があります。高速度設計に関連するそのほかの詳細情報について「LVDS オーナーズ・マニュアル」を参照し、信号品質問題に対処してください。

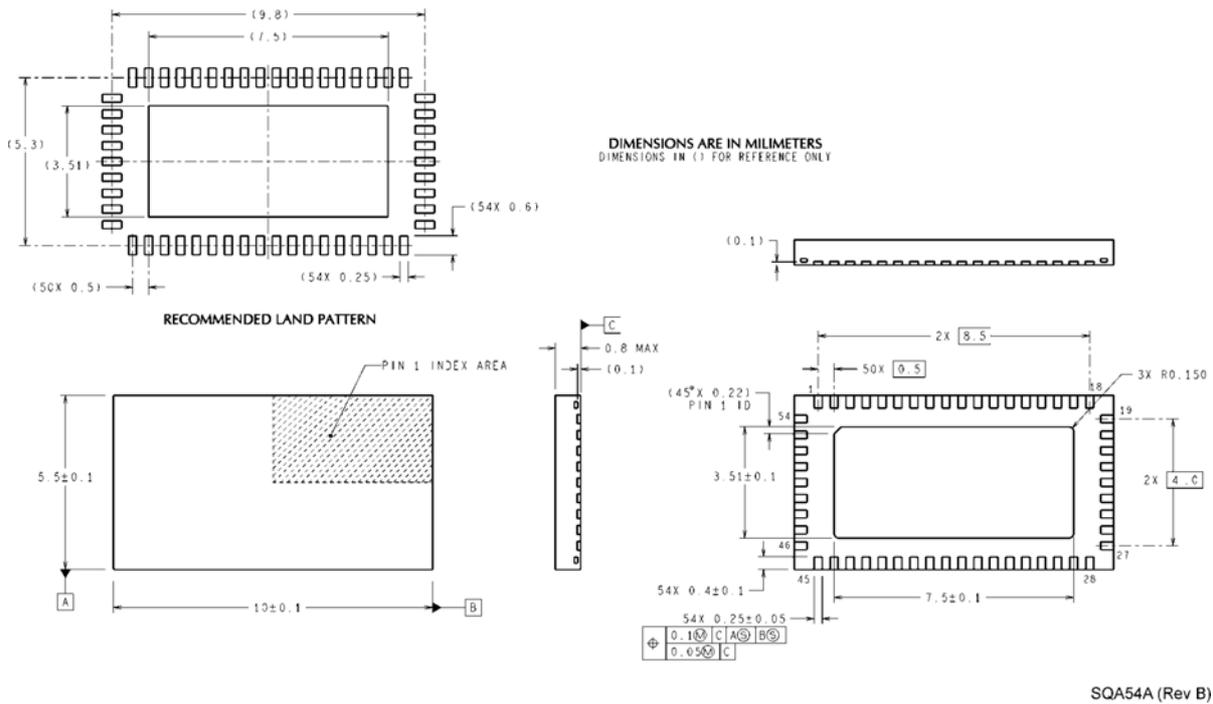
差動ペアに対するプリント基板のレイアウト

この CML 入力と LPDS (Low Power Differential Signaling) 出力は、差動インピーダンスを $100\ \Omega$ にしておく必要があります。差動ライン (特に入力配線) は、できるだけすべてをプリント基板上の 1 つの層に配線するようにします。ビアはできるだけ使用しないでください。ビアを使用しなければならない場合はできるだけ少なくし、各差動ペアに対して対称的に配置する必要があります。差動信号は、プリント基板上の他の信号やノイズ発生源から離して配線します。LLP パッケージの詳細についてはアプリケーション・ノート AN-1187 を参照してください。

電源のバイパス

DS64MB201 の電源が問題なく供給されるためには、次の 2 つに注意してください。まず、電源ピン (VDD) とグラウンド (GND) ピンは、プリント基板の近接層上に配置された電源層に接続するようにします。基板の層はできるだけ薄くして、V_{DD} 層と GND 層で容量成分を持ったローインダクタンスを形成するようにします。次に、バイパス・コンデンサを適切に使用して電源をバイパスする必要があります。0.01 μF のバイパス・コンデンサを、できる限りデバイス本体に近づけて各 V_{DD} ピンに接続します。コンデンサは小型のものを使用すると配置しやすくなります。さらに、電源のバイパス回路に、2.2 μF ~ 10 μF のコンデンサを 3 つ入れてください。これらのコンデンサとしては、タンタル・コンデンサまたは等価直列抵抗 (ESR) が非常に小さいセラミック・コンデンサを使用します。

外形寸法図 特記のない限り inches (millimeters)



54-pin LLP Package (5.5 mm x 10 mm x 0.8 mm, 0.5 mm pitch)
Order Number: DS64MB201SQ — Tape & Reel Supplied As 2,000 Units,
DS64MB201SQE — Tape & Reel Supplied As 250 Units
Package Number: SQA54A

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務を負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売か使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2011 National Semiconductor Corporation

製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

本資料に掲載されているすべての回路の使用に起因する第三者の特許権その他の権利侵害に関して、弊社ではその責を負いません。また掲載内容は予告無く変更されることがありますのでご了承ください。

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上