

DS80EP100

DS80EP100 5 to 12.5 Gbps, Power-Saver Equalizer for Backplanes and Cables



Literature Number: JAJSAV0

DS80EP100

5 ~ 12.5Gbps、バックプレーンおよびケーブル用パワーセーバー・イコライザ

概要

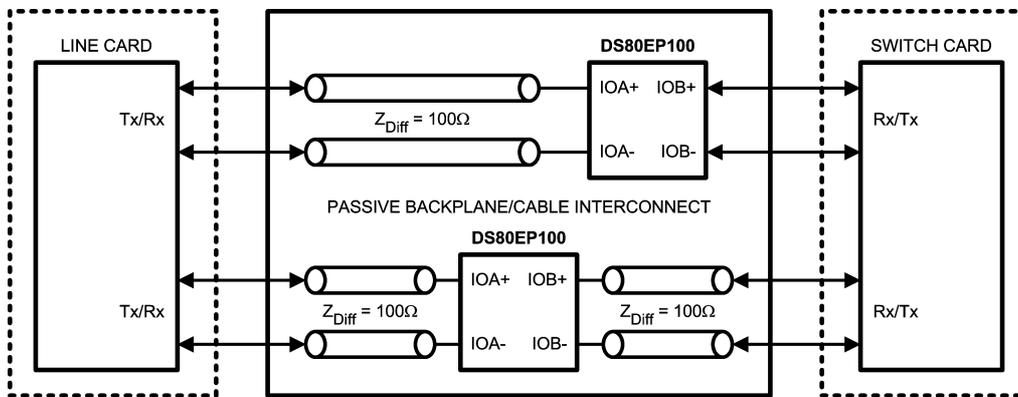
ナショナル セミコンダクターのパワーセーバー・イコライザは、伝送損失を補償し、メディアに起因する確定的ジッタ (デイタミニスディック・ジッタ) を最小化します。性能は 5 ~ 12.5Gbps の全範囲にわたって保証されています。DS80EP100 は動作電源が不要です。このイコライザはデータ・パスのどこでも動作し、FR4 トレースおよびケーブルを用いたアプリケーションの両方においてメディアに起因する確定的ジッタを最小化します。対称 I/O 構造により、全二重または半二重アプリケーションをサポートします。リニア補償はラインのコーディングまたはプロトコルに依存しません。デバイスは、2 値伝送と多値伝送のいずれにも最適です。

イコライザは、省スペース (2.2mm × 2.5mm) フットプリントの 6 ピン・リードレス LLP パッケージで供給されます。この超小型パッケージにより、パワーセーバー・イコライザを非常に柔軟に配置および配線できます。

特長

- 5 ~ 12.5Gbps 動作
- 電源および GND が不要
- データ・パスのどこでも効率的なイコライゼーションを実現
- CML、LV-PECL、LVDS 信号をイコライズ
- 対称 I/O 構造により双方向動作可能
- 最大増幅 7dB (相対比)
- 8b/10b やスクランブルなどのコーディング依存なし
- 2 値伝送および多値伝送の両方をサポート
- バックプレーンおよびケーブルの距離を延長
- PCI-Express Gen1 および Gen2 と互換性あり
- XAUI と互換性あり
- 既存のイコライザ・デバイスと直列で動作可能
- 6 ピン LLP で取り扱い容易

簡略アプリケーション図



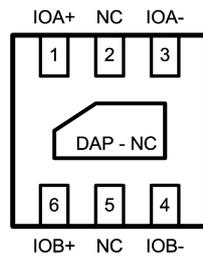
Note: DS80EP100 は、デバイスの左右いずれの方向からのデータ伝達も柔軟に行えます。データ・パスのどこにでも配置できます。

ピン説明

ピン名称	ピン番号	I/O タイプ	説明
高速差動入力 / 出力 (I/O)			
IOA - IOA +	3 1	入出力	対称差動入出力
IOB - IOB +	4 6	入出力	対称差動入出力
NC 露出パッド	2, 5 DAP	適用なし	予約済み。 接続しないでください。

Note: I = 入力 / O = 出力

ピン配置図



Bottom View Shown
2.2mm x 2.5mm 6-Pin LLP Package
Order Number DS80EP100
See NS Package Number SDA14A

絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。関連する電氣的信頼性試験方法の規格を参照ください。

入出力

(IOA + および IOB +) または (IOA - および IOB -) + 2V

(IOA + および IOA -) または (IOB + および IOB -) + 4V

(IOA + および IOB -) または (IOA - および IOB +) + 4V

最大接合部温度 + 150 °C

保存温度範囲 - 65 °C ~ + 150 °C

リード温度

(ハンダ付け 4 秒)

+ 260 °C

ESD 耐圧

人体モデル (HBM)、1.5kΩ、100pF

+ 1.3kV

推奨動作条件

	最小値	代表値	最大値	単位
周囲温度	-40	25	+ 85	°C
ビットレート	5		12.5	Gbps

電氣的特性 (Note 6)

特記のない限り、推奨動作条件に対して適用。すべてのパラメータは試験、統計解析、または設計により保証されています。

Symbol	Parameter	Conditions	Min	Typ (Note 2)	Max	Units
V _{IN}	Input voltage swing	(Note 3)		1000	3600	mVp-p
	Equalization	6.25 GHz relative to 100MHz		6		dB
R _{LI}	Differential input return loss	100 MHz – 6.25 GHz, with fixture's effect de-embedded		15		dB
R _{LO}	Differential output return loss	100 MHz – 6.25 GHz, with fixture's effect de-embedded IOA+, or IOB+ = static high.		15		dB
R _{IN}	Input Impedance	Differential across IOA+ and IOA-, or IOB+ and IOB-, ZLOAD = 100Ω		100		Ω
R _O	Output Impedance	Differential across IOA+ and IOA-, or IOB+ and IOB-, ZSOURCE = 100Ω		100		Ω
	Through Response	Relative to ideal load, see Figure 2 for setup	See Figure 3 and Table 1 for limits			
R1	Resistance IOA+ to IOA- and IOB+ to IOB-	No load, high impedance on all ports		150		Ω
R2	Resistance IOA+ to IOB+ and IOA- to IOB-	No load, high impedance on all ports		50		Ω
R3	Resistance IOA+ to IOB- and IOA- to IOB+	No load, high impedance on all ports		150		Ω
	DC Gain (IOA/IOB or IOB/IOA)	ZLOAD = 100Ω		0.4		
DJ1	Residual deterministic jitter	5 Gbps, 20 in of 6mil microstrip FR4		0.15		Ulp-p
		See (Note 4)				
DJ2	Residual deterministic jitter	6.25 Gbps, 20 in of 6mil microstrip FR4		0.15	0.20	Ulp-p
		See (Notes 4, 5)				
DJ3	Residual deterministic jitter	8 Gbps, 20 in of 6mil microstrip FR4		0.15	0.20	Ulp-p
		See (Notes 4, 5)				
DJ4	Residual deterministic jitter	10 Gbps, 20 in of 6mil microstrip FR4 See (Note 4)		0.15		Ulp-p
DJ5	Residual deterministic jitter	12.5 Gbps, 14 in of 6mil microstrip FR4 See (Note 4)		0.15		Ulp-p

- Note 1:** 絶対最大定格は、ICに破壊が発生したり、使用不能になったり、信頼性や性能が低下する可能性のあるリミット値を示します。これは、絶対最大定格において、または推奨動作条件に示されている動作条件を越える条件でこのデバイスが有効に機能することや品質が劣化しないことは意味していません。推奨動作条件とは、このデバイスが有効に機能する条件を示しており、これらを超えた条件ではこのデバイスを使用しないように注意してください。
- Note 2:** 代表値は、TA = + 25 °Cで、製品の特性を評価した時点における推奨動作条件下での最も可能性のあるパラメータの基準値を表しており、保証値ではありません。
- Note 3:** 伝送ラインへの入力時に測定される、イコライザへの差動信号です。Figure 1 の A を参照してください。伝送ラインは $Z_0 = 100 \Omega$ 、6 ミルの、FR4 素材中のマイクロストリップです。
- Note 4:** 確定的ジッタは、差動出力 (Figure 1 の C) で測定し、テスト・チャネル (Figure 1 の A) の前の確定的ジッタを差し引きます。テスト・パターン: PRBS- 7
- Note 5:** 仕様値は特性の評価により保証されている値で、量産時における試験は行っていません。
- Note 6:** 電気的特性の表は、推奨動作条件で使用した場合に保証される特性を示しています。ただし、電気的特性や注記で特に変更または指定してある場合はその限りではありません。代表値は推定値であり、この値を保証しているものではありません。

テスト設定図

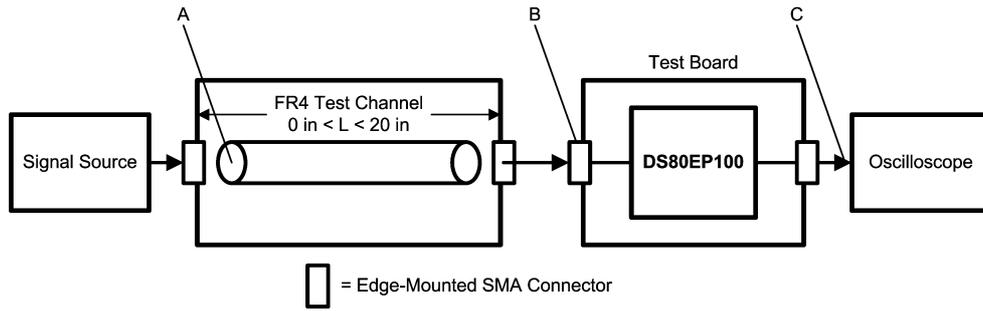


FIGURE 1. Transient Test Setup Diagram

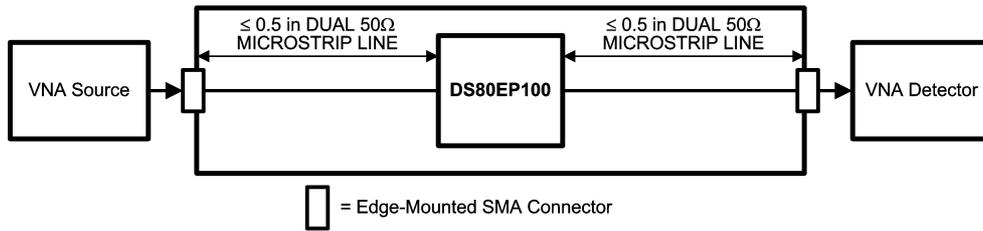


FIGURE 2. Frequency Response Test Circuit

イコライザ伝送機能 (Typical)

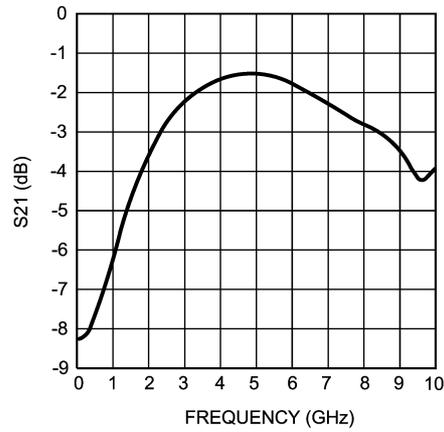


FIGURE 3. Typical Equalizer Transfer Function

Table 1. 通常のスルー・レスポンス

Frequency (GHz)	DS80EP100 Attenuation Typ (dB)
0.1	-8.25
0.5	-7.64
1	-6.12
1.5	-4.68
2	-3.57
3	-2.22
4	-1.66
5	-1.53
6	-1.77
7	-2.28
8	-2.8
9	-3.47
10	-3.91

ブロック図

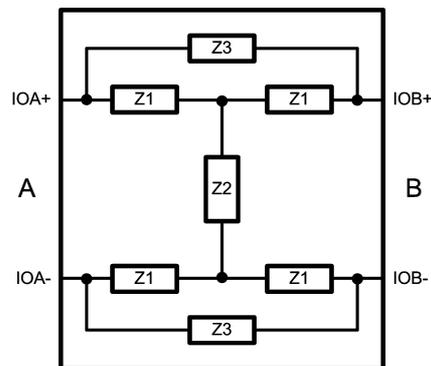


FIGURE 4. Simplified Block Diagram

アプリケーション情報

DS80EP100 デバイスについて

DS80EP100 パワーセーバー・イコライザは、抵抗、容量、および誘導成分で構成される受動回路網です (Figure 4 を参照)。差動ブリッジの T 形のネットワークは、伝送損失を補償し、メディアに起因する FR4 およびケーブルの確定的ジッタを最小化します。イコライザは低周波数信号を減衰し、共振周波数のバンドパス・フィルタとなります。応答はリニアで、対称的です。

I/O 端子

DS80EP100 I/O インピーダンスは $100\ \Omega$ の差動インピーダンスです。イコライザは $100\ \Omega$ でバランスの取れた差動信号用に設計され、シングルエンドの伝送を意図していません。

リニア補償

DS80EP100 に特徴的なリニア補償機能と、超小型パッケージによって、配置の柔軟性がきわめて高くなります。イコライザはデータ・バスのどこにでも配置でき、受信回路において同じ補償を行います (簡略アプリケーション図を参照)。

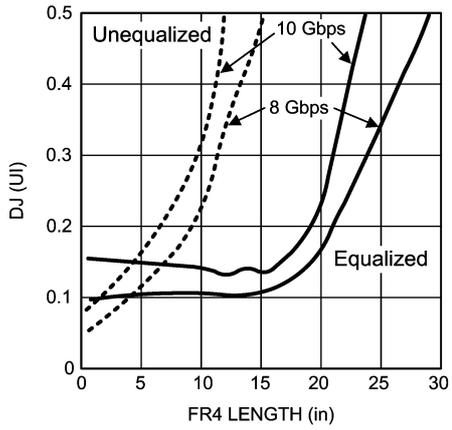
対称 I/O 構造

パッシブ・イコライゼーション・ネットワークの対称性により、双方向動作が可能です。信号は、データの方向に関係なく等しい補償を受けます (簡略ブロック図を参照)。

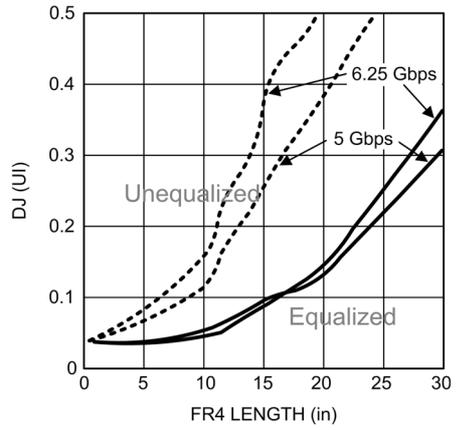
プリント基板レイアウトの差動ペアおよび未接続パッドについて

この差動入出力は、差動インピーダンスを $100\ \Omega$ にしておく必要があります。できるだけすべての差動ラインをプリント基板上の 1 つの層に配線するようにします。ビアはできるだけ使用しないでください。ビアを使用しなければならない場合はできるだけ少なくし、各差動ペアに対して対称的に配置する必要があります。差動信号は、プリント基板の他の信号およびノイズ発生源から離して配線します。ピン 2、ピン 5 および中央の DAP は未接続のままにしてください。したがって、これらのピンをハンダ付けするパッドは電源またはグラウンド・プレーンに接続しないでください。LLP パッケージの詳細については AN-1187 を参照してください。

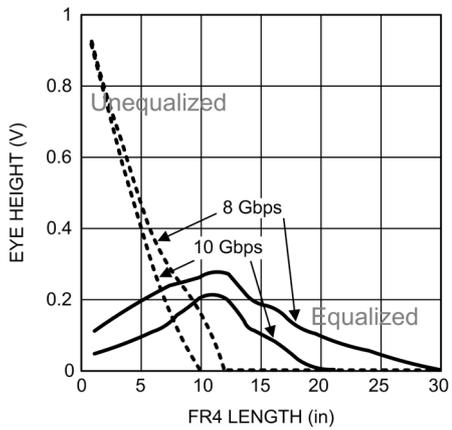
代表的な性能特性



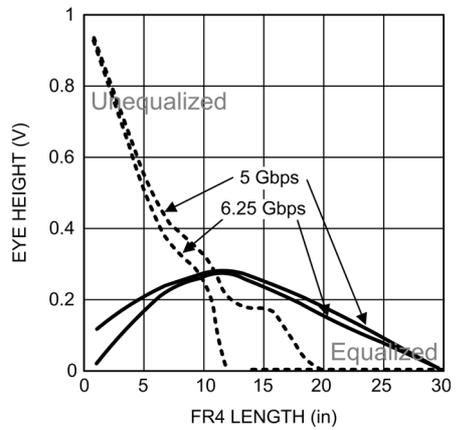
Residual Deterministic Jitter vs. FR4 Length



Residual Deterministic Jitter vs. FR4 Length



Eye Height vs. FR4 Length



Eye Height vs. FR4 Length

標準的なアイパターン — トランスミッタの設定、インターコネクトおよびデバイスの総ジッタ

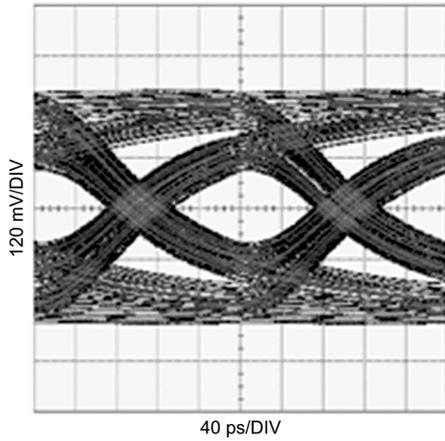


FIGURE 5. Unequalized Signal (20in FR4, 5Gbps, PRBS7)

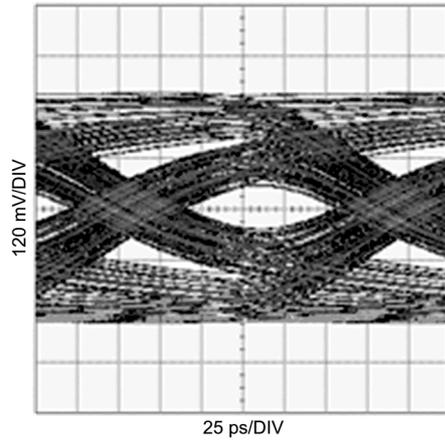


FIGURE 8. Unequalized Signal (20in FR4, 6.25Gbps, PRBS7)

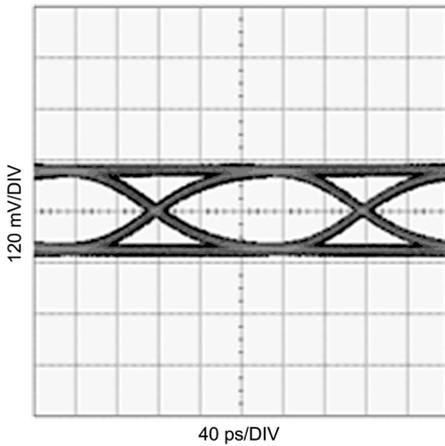


FIGURE 6. Equalized Signal (20in FR4, 5Gbps, PRBS7)

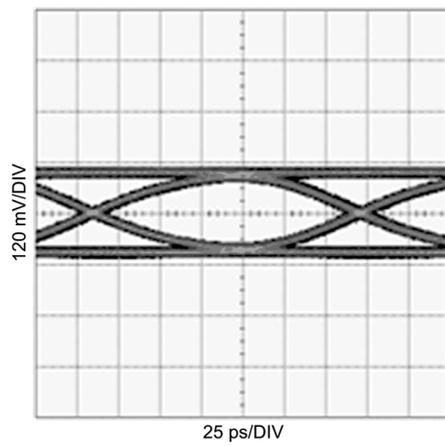


FIGURE 9. Equalized Signal (20in FR4, 6.25Gbps, PRBS7)

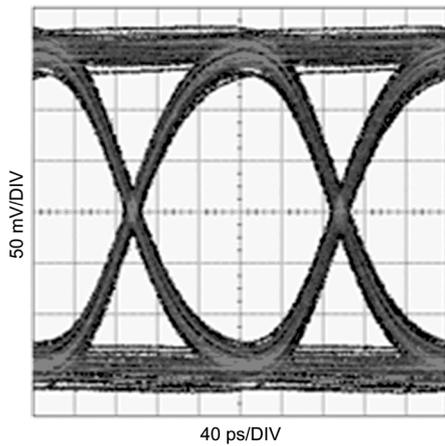


FIGURE 7. Equalized Signal (Zoom) (20in FR4, 5Gbps, PRBS7)

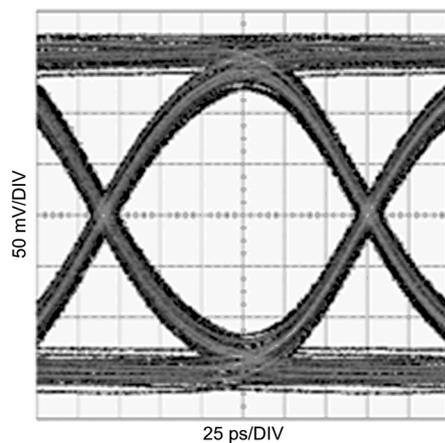


FIGURE 10. Equalized Signal (Zoom) (20in FR4, 6.26Gbps, PRBS7)

標準的なアイパターン — トランスミッタの設定、インターコネクトおよびデバイスの総ジッタ (つづき)

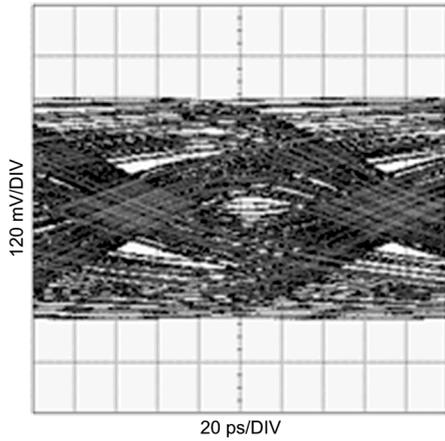


FIGURE 11. Unequalized Signal (20in FR4, 8Gbps, PRBS7)

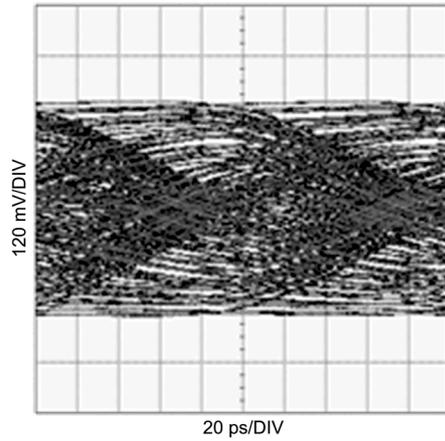


FIGURE 14. Unequalized Signal (20in FR4, 10Gbps, PRBS7)

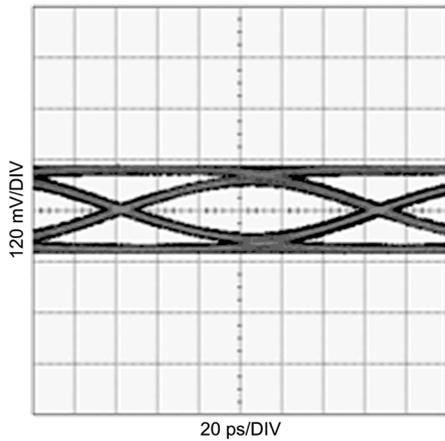


FIGURE 12. Equalized Signal (20in FR4, 8Gbps, PRBS7)

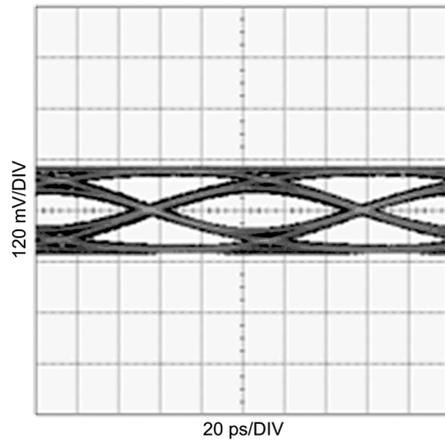


FIGURE 15. Equalized Signal (20in FR4, 10Gbps, PRBS7)

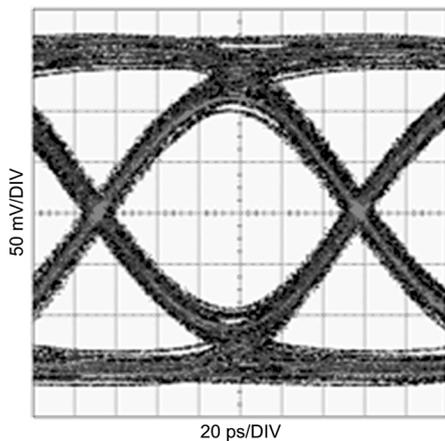


FIGURE 13. Equalized Signal (Zoom) (20in FR4, 8Gbps, PRBS7)

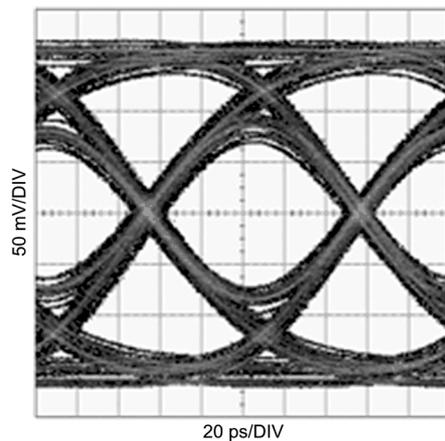


FIGURE 16. Equalized Signal (Zoom) (20in FR4, 10Gbps, PRBS7)

標準的なアイパターン — トランスミッタの設定、インターコネクต์およびデバイスの総ジッタ (つづき)

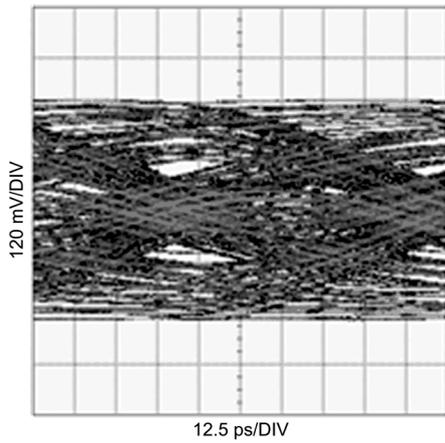


FIGURE 17. Unequalized Signal (14in FR4, 12.5Gbps, PRBS7)

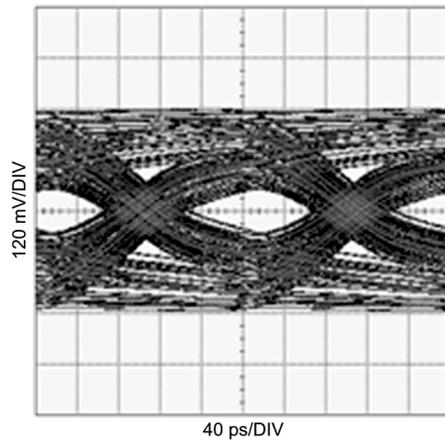


FIGURE 20. Unequalized Signal (5m 26AWG Twin-AX Cable, 5Gbps, PRBS7)

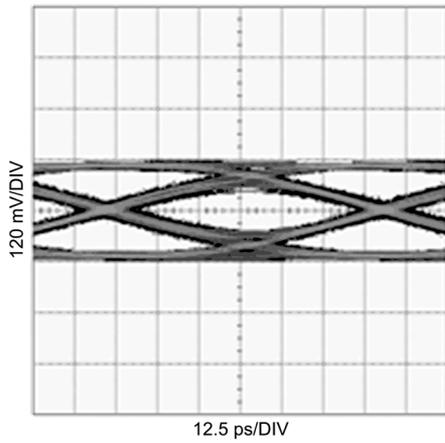


FIGURE 18. Equalized Signal (14in FR4, 12.5Gbps, PRBS7)

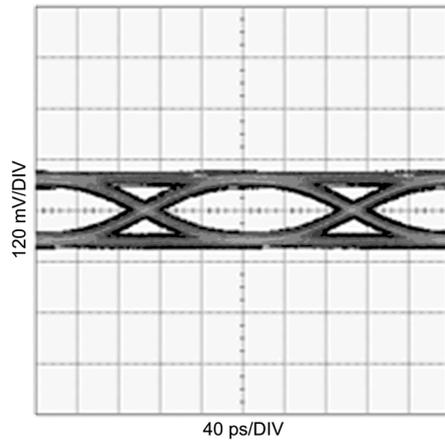


FIGURE 21. Equalized Signal (5m 26AWG Twin-AX Cable, 5Gbps, PRBS7)

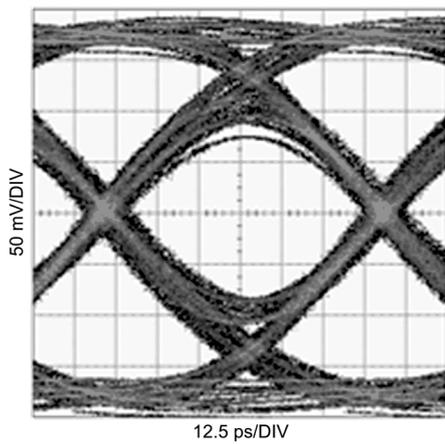


FIGURE 19. Equalized Signal (Zoom) (14in FR4, 12.5Gbps, PRBS7)

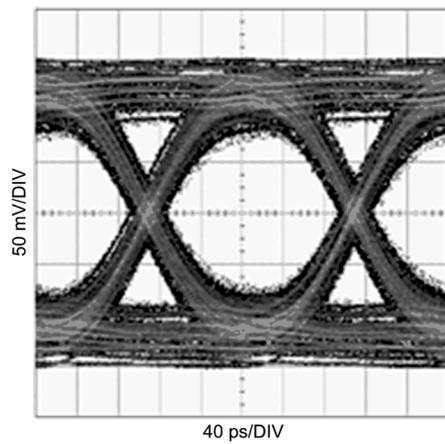


FIGURE 22. Equalized Signal (Zoom) (5m 26AWG Twin-AX Cable, 5Gbps, PRBS7)

標準的なアイパターン — トランスミッタの設定、インターコネクต์およびデバイスの総ジッタ (つづき)

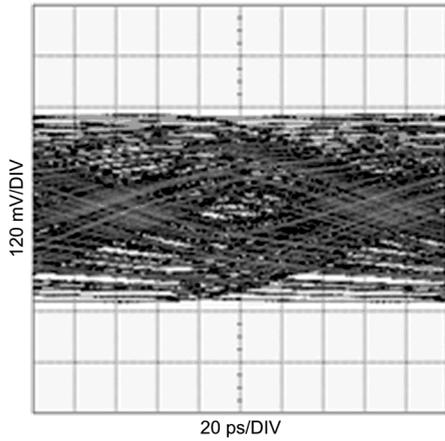


FIGURE 23. Unequalized Signal (5m 26AWG Twin-AX Cable, 8Gbps, PRBS7)

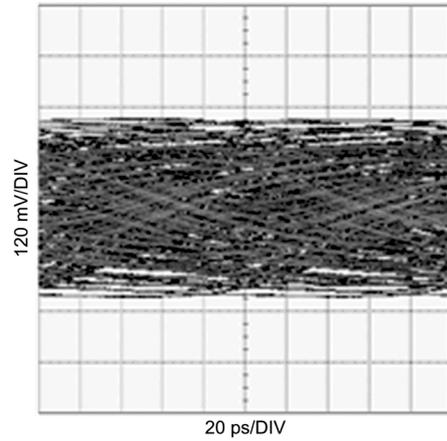


FIGURE 26. Unequalized Signal (5m 26AWG Twin-AX Cable, 10Gbps, PRBS7)

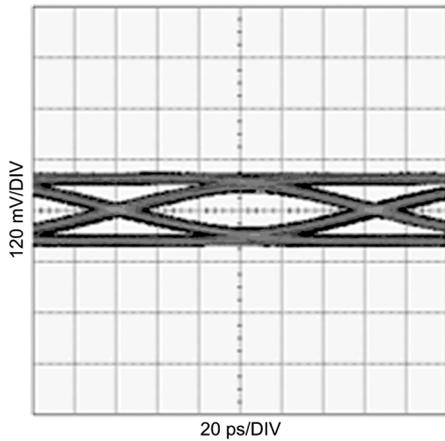


FIGURE 24. Equalized Signal (5m 26AWG Twin-AX Cable, 8Gbps, PRBS7)

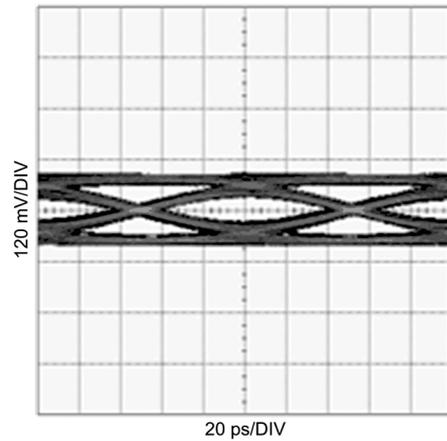


FIGURE 27. Equalized Signal (5m 26AWG Twin-AX Cable, 10Gbps, PRBS7)

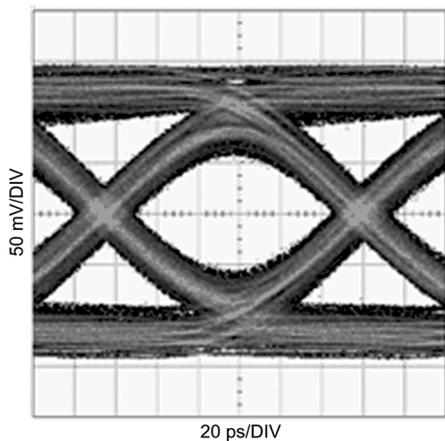


FIGURE 25. Equalized Signal (Zoom) (5m 26AWG Twin-AX Cable, 8Gbps, PRBS7)

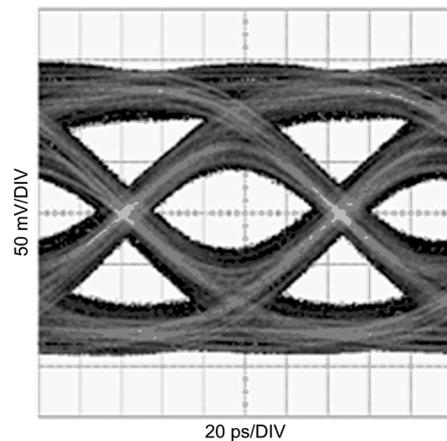
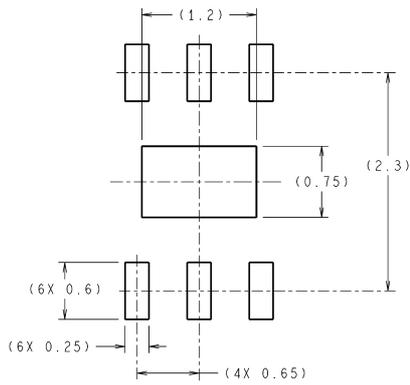
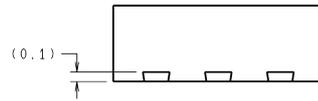


FIGURE 28. Equalized Signal (Zoom) (5m 26AWG Twin-AX Cable, 10Gbps, PRBS7)

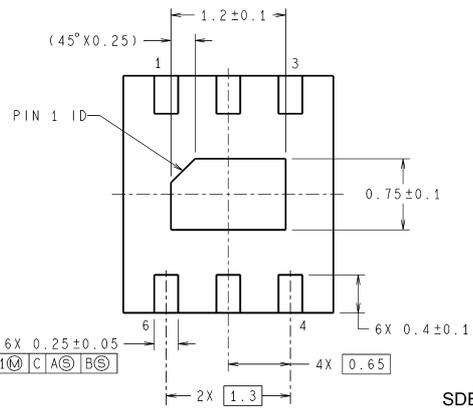
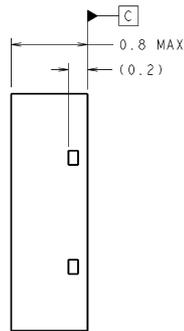
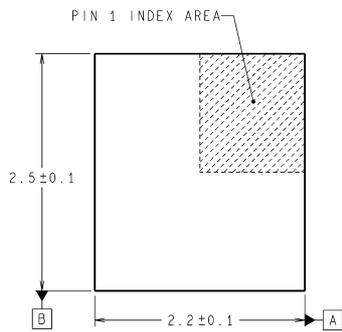
外形寸法図 単位は millimeters



DIMENSIONS ARE IN MILLIMETERS
DIMENSIONS IN () FOR REFERENCE ONLY



RECOMMENDED LAND PATTERN



SDB06A (Rev A)

Order Number DS80EP100
See NS Package SDB06A

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務を負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売か使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2009 National Semiconductor Corporation

製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上