

# DS90C3201

*DS90C3201 3.3V 8 MHz to 135 MHz Dual FPD-Link Transmitter*



Literature Number: JAJSD6

## DS90C3201

### 3.3V 8MHz ~ 135MHz デュアル FPD-Link トランスミッタ

#### 概要

DS90C3201 は 3.3V シングル/デュアル FPD-Link 10 ビット・カラー・トランスミッタで、液晶ディスプレイ (LCD) テレビ、LCD モニタ、デジタル・テレビ、プラズマ・ディスプレイ・パネル・テレビでの使用を目的としています。低消費電力で低 EMI の LVDS (Low Voltage Differential Signaling) インタフェースを使用して、デジタル・ビデオ・プロセッサとディスプレイ・デバイスをインタフェース接続します。DS90C3201 は、最大 70 ビットの LVC MOS/LVTTL 入力パラレル・データを 10 組の LVDS シリアル・データに変換します。このトランスミッタは、立ち上がりエッジか立ち下がりエッジのクロックでデータのクロック設定が可能です。オプションの 2 線式シリアル・プログラミングにより、開発環境や製造環境での細かい設定が可能です。トランスミッタ・クロックの周波数が 135MHz 時には、70 ビットの LVC MOS/LVTTL データは LVDS 1 チャンネルあたり 945Mbps の有効速度で転送されます。したがって、クロックが 135MHz のときのデータ総スループットは 9.45Gbit/sec (945MB/sec) となります。これにより、10 ビットのデュアル LVDS トランスミッタは HDTV の解像度をサポートします。

#### 特長

- 最大 9.45Gbit/sec のデータ総スループット
- 8MHz ~ 135MHz の入力クロック周波数に対応
- 最高 QXGA までのパネル解像度をサポート
- HDTV 解像度と最大 1920 × 1080p のフレーム・レートをサポート
- LVDS の 30 ビット、24 ビット、または 18 ビットのカラー・データ出力
- シングル・ピクセルとデュアル・ピクセルのインタフェースをサポート
- スペクトラム拡散クロックをサポート
- 2 線式シリアル通信インタフェース
- クロック・エッジおよび制御信号に対するストロブ・エッジを設定可能
- パワーダウン・モード
- + 3.3V 電源電圧
- 128 ピン TQFP
- TIA/EIA-644-A-2001 LVDS 標準に準拠

#### ブロック図

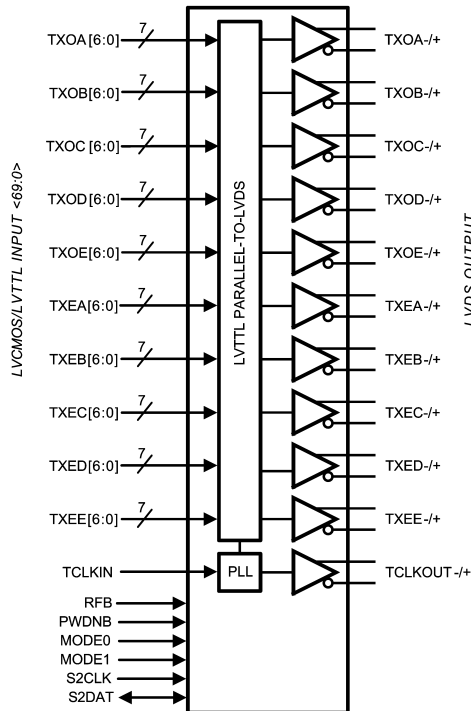


FIGURE 1. Transmitter Block Diagram

## 代表的なアプリケーション図

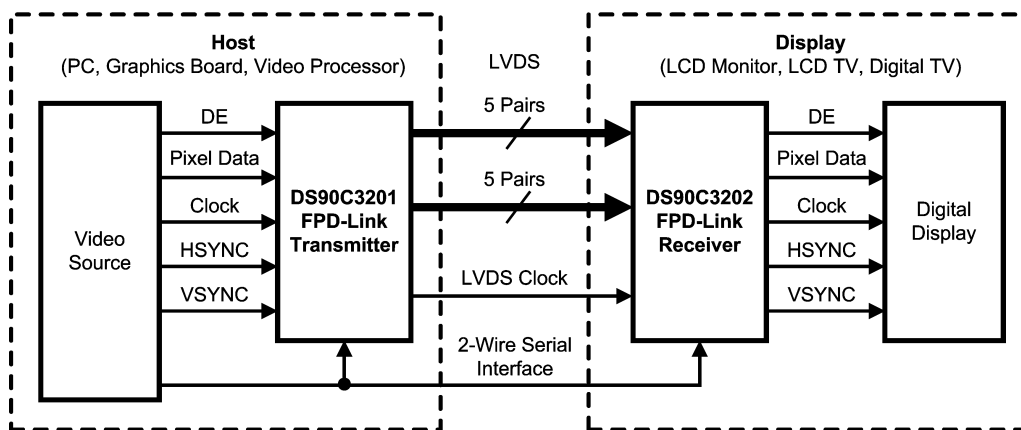


FIGURE 2. LCD Panel Application Diagram

## 機能説明

DS90C3201/DS90C3202 はデュアル 10 ビット・カラー・トランスミッタとレシーバの FPD-Link チップセットで、8 ~ 135MHz のクロック周波数でデータを伝送するように設計されています。DS90C3201/DS90C3202 は、LVDS インタフェースを使用して、デジタル・ビデオ・プロセッサとディスプレイをインタフェース接続するように設計されています。DS90C3201 トランスミッタは、ビデオ・データの 2 チャンネル (各チャンネルの RGB でそれぞれ 10 ビット、合計 60 ビット) と制御信号 (HSYNC、VSYNC、DE、2 つのユーザー定義信号) をクロック信号とともに LVDS 信号の 10 チャンネルにシリアライズし、伝送します。DS90C3202 レシーバは、LVDS 信号の 10 チャンネルをパラレル信号に変換し、ビデオ・データの 2 チャンネル (各チャンネルの RGB でそれぞれ 10 ビット、合計 60 ビット) と制御信号 (HSYNC、VSYNC、DE、2 つのユーザー定義信号) をクロック信号とともに出力します。デュアル高速 LVDS チャンネルは、シングル・ピクセル・イン/シングル・ピクセル・アウトとデュアル・ピクセル・イン/デュアル・ピクセル・アウトの伝送モードをサポートします。FPD-Link チップセットは、LCD モニタ、LCD テレビ、デジタル・テレビ、DLP テレビ、プラズマ・ディスプレイ・パネルなどのさまざまなディスプレイ・アプリケーションに適しています。

色深度 10 ビットのシステムを使った 30 ビットの RGB カラーは、10 億 7 千万色以上を創出することにより、最も自然な色で高解像度 (HD) ディスプレイを表現します。これは、大型 LCD テレビや LCD モニタで従来使われていた 6/8 ビット・カラーが達成した最大 1670 万色をしのぎます。

## LVDS トランスミッタ

LVDS トランスミッタは、LVCMOS/LVTTL RGB ビデオ・データと制御信号のタイミングを LVDS データ・ストリームにシリアライズします。

## シングル・ピクセルとデュアル・ピクセルのインタフェース

DS90C3201 の LVDS ポートは、シングル・ピクセル・モード (30 ビット LVDS 出力) とデュアル・ピクセル・モード (2 × 30 ビット LVDS 出力) の 2 つのモードをサポートしています。シングル・ピクセル・モードでは、10 ビット RGB データの奇数 LVDS ポートが使われます。デュアル・ピクセル・モードでは、奇数と偶数の両方の LVDS ポートが 10 ビット RGB データに使われます。

## 選択可能な入力データ・ストロブ

トランスミッタの入力データ・エッジ・ストロブは、入力クロック信号の立ち上がりエッジか立ち下がりエッジでラッチできます。入力ストロブを TCLK IN の立ち上がりエッジにするか TCLK IN の立ち下がりエッジにするかの選択は、専用の RFB ピンを使って設定します。

## 2 線式シリアル通信インタフェース

オプションの 2 線式シリアル・インタフェース・プログラミングにより、開発環境や製造環境での細かい設定が可能です。2 線式シリアル・インタフェースには、EMI を低減したり、出力タイミングをカスタマイズするなどの機能があります。設定可能な LVDS 振幅制御、調整可能な入力セットアップ/ホールド制御、入力/出力チャンネル制御などの機能は、2 線式シリアル・インタフェースを介して選択や設定が可能です。

## 設定可能な LVDS 振幅制御

差動信号の設定可能な LVDS 振幅 ( $V_{OD}$ ) および LVDS オフセット電圧 ( $V_{OS}$ ) は、ノイズや EMI を抑えるためのインピーダンス・マッチング改善のために調整できます。低レベルの LVDS 振幅モードやオフセット電圧は、2 線式シリアル・インタフェースを介して制御できます。

## 調整可能な入力セットアップ/ホールド制御

設定可能な LVCMOS/LVTTL データ入力セットアップとホールドタイムは、さまざまなグラフィック・コントローラやビデオ・プロセッサに対応するために TCLK IN について調整できます。機能は 2 線式シリアル・インタフェースを介して制御されます。

## 入力/出力チャンネル制御

入力/出力チャンネルの完全な独立制御は、電源線ノイズや総消費電力を抑えるために無効にできます。機能は 2 線式シリアル・インタフェースを介して設定されます。

**絶対最大定格** (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。  
関連する電気的信頼性試験方法の規格を参照ください。

電源電圧 ( $V_{DD}$ )	- 0.3V ~ + 4V
LVC MOS/LVTTL 入力電圧	- 0.3V ~ ( $V_{DD} + 0.3V$ )
LVC MOS/LVTTL 出力電圧	- 0.3V ~ ( $V_{DD} + 0.3V$ )
LVDS 出力電圧	- 0.3V ~ ( $V_{DD} + 0.3V$ )
LVDS 出力短絡時間	連続
最大接合部温度	+ 150 °C
保存温度範囲	- 65 °C ~ + 150 °C
リード温度	
(ハンダ付け、10 秒)	+ 260 °C
パッケージ最大許容消費電力 (25 °C)	
128TQFP パッケージ:	1.4W

\* 周囲温度 + 25 °C を超える場合は、25.6mW/°C を減じてください。

ESD 耐圧

(人体モデル、1.5k $\Omega$ 、100pF)

&gt; 2kV

(EIAJ、0 $\Omega$ 、200pF)

&gt; 200V

**推奨動作条件**

	最小値	代表値	最大値	単位
電源電圧 ( $V_{DD}$ )	3.15	3.3	3.6	V
動作温度範囲 ( $T_A$ )	0	+ 25	+ 70	°C
電源ノイズ電圧 ( $V_{P-P}$ )			$\pm 100$	mV <sub>P-P</sub>
トランスミッタ入力電圧範囲	0		$V_{DD}$	V
入力クロック周波数 (f)	8		135	MHz
TCLKIN 周期 ( $T_{CIP}$ )	7.4		125	ns

**電気的特性** (Note 2、3、5)

特記のない限り、推奨動作条件での電源電圧と温度範囲での値です。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
<b>LVC MOS/LVTTL DC SPECIFICATIONS (Tx inputs, control inputs)</b>						
$V_{IH}$	High Level Input Voltage		2.0		$V_{DD}$	V
$V_{IL}$	Low Level Input Voltage		0		0.8	V
$V_{CL}$	Input Clamp Voltage	$I_{CL} = -18mA$		-0.8	-1.5	V
$I_{IN}$	Input Current	$0V \leq V_{IN} \leq V_{DD}$			+10	$\mu A$
		$V_{IN} = 0V$	-10	0		$\mu A$
<b>LVDS TRANSMITTER DC SPECIFICATIONS</b>						
$V_{OD}$	Differential Output Voltage (Programmable register)	$R_L = 100\Omega$ , Register addr 28d/1ch bit [5] (TXE) = 0b, bit [4] (TXO) = 0b (Default)	200	400	620	mV
		$R_L = 100\Omega$ , Register addr 28d/1ch bit [5] (TXE) = 1b, bit [4] (TXO) = 1b	100	250	400	mV
$\Delta V_{OD}$	Change in $V_{OD}$ between complimentary output states	$R_L = 100\Omega$			50	mV
$V_{OS}$	Offset Voltage (Programmable register)	$R_L = 100\Omega$ , Register addr 28d/1ch bit [3:2] (TXE) = 00b, bit [1:0] (TXO) = 00b, (Default)	1.0	1.2	1.5	V
		$R_L = 100\Omega$ , Register addr 28d/1ch bit [3:2] (TXE) = 01b, bit [1:0] (TXO) = 01b	0.8	1.0	1.2	V
		$R_L = 100\Omega$ , Register addr 28d/1ch bit [3:2] (TXE) = 10b, bit [1:0] (TXO) = 10b	0.6	0.8	1.0	V
$\Delta V_{OS}$	Change in $V_{OS}$ between complimentary output states				50	mV
$I_{OS}$	Output Short Circuit Current	$V_{OUT} = 0V$			-50	mA

**電気的特性** (Note 2、3、5)

特記のない限り、推奨動作条件での電源電圧と温度範囲での値です。

Symbol	Parameter	Conditions	Min	Typ	Max	Units	
<b>TRANSMITTER SUPPLY CURRENT</b>							
ICCTW	Transmitter Supply Current Worst Case (Figures 2, 4) (Note 8)	$R_L = 100\Omega$ $C_L = 5pF$ , Worst Case Pattern Default Register Settings	$f = 8\text{ MHz}$	20	60	95	mA
			$f = 135\text{ MHz}$	65	150	235	mA
ICCTG	Transmitter Supply Current Incremental Test Pattern (Figures 3, 4) (Note 9)	$R_L = 100\Omega$ $C_L = 5pF$ , Worst Case Pattern Default Register Settings	$f = 8\text{ MHz}$	15	55	90	mA
			$f = 135\text{ MHz}$	40	110	175	mA
ICCTZ	Transmitter Supply Current Power Down	PDWNB = Low $R_L = 100\Omega$ , $C_L = 5pF$ , Default Register Settings			2	mA	

**Note 1:** 「絶対最大定格」とは、この値を超えるとデバイスの安全を保証できない値のことです。デバイスをこのリミット値で動作させることを意図しているわけではありません。「電気的特性」の表にデバイスの実動作条件を記載しています。

**Note 2:** 代表値 (Typ) は、 $V_{DD} = 3.3V$ 、 $T_A = +25^\circ C$ での値です。

**Note 3:** デバイスのピンに流れ込む電流を正と定義しています。デバイスのピンから流れ出す電流を負と定義しています。特記のない限り、電圧はグラウンドを基準とした値です。

**推奨トランスミッタ入力特性**

特記のない限り、推奨動作条件での電源電圧と温度範囲での値です。

Symbol	Parameter	Min	Typ	Max	Units
$T_{CIT}$	TCLK IN Transition Time (Figure 6)			(Note 4)	ns
$T_{CIP}$	TCLK IN Period (Figure 7)	7.4	T	125.0	ns
$T_{CIH}$	TCLK IN High Time (Figure 7)	$0.30T_{CIP}$	$0.50T_{CIP}$	$0.70T_{CIP}$	ns
$T_{CIL}$	TCLK IN Low Time (Figure 7)	$0.30T_{CIP}$	$0.50T_{CIP}$	$0.70T_{CIP}$	ns
$T_{XIT}$	TxIN Transition Time	(Note 4)		(Note 4)	ns
$T_{JIT_{RMS}}$	TCLK IN Jitter (RMS)		$\pm 200$		ps

**Note 4:** 5ns または  $T_{CIP}$  の 30% のいずれか小さい方の値未満。

## トランスミッタ・スイッチング特性

特記のない限り、推奨動作条件での電源電圧と温度範囲での値です。

Symbol	Parameter	Min	Typ	Max	Units
LLHT	LVDS Low-to-High Transition Time (Figure 5)		0.6	1.5	ns
LHLT	LVDS High-to-Low Transition Time (Figure 5)		0.6	1.5	ns
TPPos1	Transmitter Output Pulse Position for bit 1 (1st bit) (Figure 13)	-0.2	0	+0.2	UI (Note 7)
TPPos0	Transmitter Output Pulse Position for bit 0 (2nd bit) (Figure 13)	1 UI - 0.2	1	1 UI + 0.2	UI (Note 7)
TPPos6	Transmitter Output Pulse Position for bit 6 (3rd bit) (Figure 13)	2 UI - 0.2	2	2 UI + 0.2	UI (Note 7)
TPPos5	Transmitter Output Pulse Position for bit 5 (4th bit) (Figure 13)	3 UI - 0.2	3	3 UI + 0.2	UI (Note 7)
TPPos4	Transmitter Output Pulse Position for bit 4 (5th bit) (Figure 13)	4 UI - 0.2	4	4 UI + 0.2	UI (Note 7)
TPPos3	Transmitter Output Pulse Position for bit 3 (6th bit) (Figure 13)	5 UI - 0.2	5	5 UI + 0.2	UI (Note 7)
TPPos2	Transmitter Output Pulse Position for bit 2 (7th bit) (Figure 13)	6 UI - 0.2	6	6 UI + 0.2	UI (Note 7)
TSTC	Required TxIN Setup to TCLK IN (Figure 7) Register addr 26d/19h bit [2:0] = 000b (Default)	1.5	0.69		ns
THTC	Required TxIN Hold to TCLK IN (Figure 7) Register addr 26d/19h bit [2:0] = 000b (Default)	1.5	0.70		ns
TSTC/THTC Programmable adjustment	Register addr 26d/19h bit [2:0] = 001b (Figure 12) Decrease TSTC ~400ps from Default; Increase THTC ~400ps from Default		0.5/ 1.0		ns
	Register addr 26d/19h bit [2:0] = 010b, Decrease TSTC ~800ps from default; Increase THTC ~800ps from Default		0/ 1.5		ns
	Register addr 26d/19h bit [2:0] = 011b, Decrease TSTC ~1200ps from Default; Increase THTC ~1200ps from Default		-0.5/ 2.0		ns
	Register addr 26d/19h bit [2:0] = 111b, Increase TSTC ~800ps from Default; Decrease THTC ~800ps from Default		1.5/ 0		ns
	Register addr 26d/19h bit [2:0] = 110b, Increase TSTC ~600ps from Default; Decrease THTC ~600ps from Default		1.4/ 0		ns
	Register addr 26d/19h bit [2:0] = 101b, Increase TSTC ~400ps from Default; Decrease THTC ~400ps from Default		1.1/ 0.3		ns
	Register addr 26d/19h bit [2:0] = 100b, Increase TSTC ~200ps from Default; Decrease THTC ~200ps from Default		0.9/ 0.5		ns
TCCD	Transmitter TCLKIN (LVTTTL) to CLKOUT (LVDS) Latency (Figure 7) (Note 11)	f = 135 MHz	10	20	ns
		f = 85 MHz (Note 6)	20	30	ns
		f = 65 MHz (Note 6)	25	40	ns
		f = 40 MHz (Note 6)	40	50	ns
		f = 25 MHz (Note 6)	60	70	ns
		f = 8 MHz	180	200	ns
TPPLS	Transmitter Phase Lock Loop Set (Figure 8)			10	ms
TPDD	Transmitter Powerdown Delay (Figure 9)			100	ns

**Note 5:** 最大および最小値は特性評価により設定されています。出荷時には動作確認のみのテストとなります。

**Note 6:** 仕様は特性評価によって保証されています。

**Note 7:** ユニット・インターバル (UI) は、理想クロック周期の 7 分の 1 (TCIP/7) と定義されます。例えばクロック周期が 11.76ns (85MHz) であれば、1 UI = 1.68ns (Figure 11) となります。

**Note 8:** ワorst・ケースのテスト・パターンは、デジタル回路、LVDS I/O、LVCMOS/LVTTTL I/O を最も多くトグルさせます。

**Note 9:** 増分テスト・パターンは LCD ディスプレイの代表的パターンにおけるデバイスの消費電力を算定するためのものです。

**Note 10:** Figure 2、4、7 でのデータ・ストロブは立ち下がりがエッジです (TCLK IN)。

**Note 11:** 標準的なトランスミッタの TCCD レイテンシは、 $1.786 \cdot T + 4.19\text{ns} - 2 \text{ UI}$  (T は TCLK IN 周期) です。

## 2 線式シリアル通信インタフェース

特記のない限り、推奨動作条件での電源電圧と温度範囲での値です。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
$f_{sc}$	S2CLK Clock Frequency				400	kHz
SC:LOW	Clock Low Period	$R_p = 4.7k\Omega, C_L = 50pF$	1.5			us
SC:HIGH	Clock High Period	$R_p = 4.7k\Omega, C_L = 50pF$	0.6			us
SCD:TR	S2CLK and S2DAT Rise Time	$R_p = 4.7k\Omega, C_L = 50pF$			0.3	us
SCD:TF	S2CLK and S2DAT Fall Time	$R_p = 4.7k\Omega, C_L = 50pF$			0.3	us
SU:STA	Start Condition Setup Time	$R_p = 4.7k\Omega, C_L = 50pF$	0.6			us
HD:STA	Start Condition Hold Time	$R_p = 4.7k\Omega, C_L = 50pF$	0.6			us
HD:STO	Stop Condition Hold Time	$R_p = 4.7k\Omega, C_L = 50pF$	0.6			us
SC:SD	Clock Falling Edge to Data	$R_p = 4.7k\Omega, C_L = 50pF$	0			us
SD:SC	Data to Clock Rising Edge	$R_p = 4.7k\Omega, C_L = 50pF$	0.1			us
SCL:SD	S2CLK Low to S2DAT Data Valid	$R_p = 4.7k\Omega, C_L = 50pF$	0.1		0.9	us
BUF	Bus Free Time	$R_p = 4.7k\Omega, C_L = 50pF$	13			us

### AC タイミング図

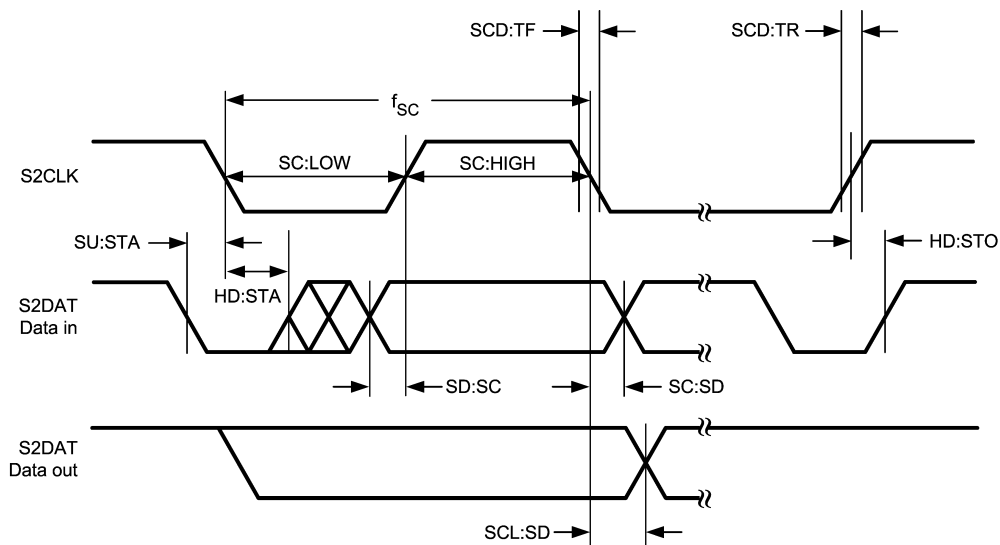


FIGURE 1. Two-Wire Serial Communication Interface Timing Diagram

AC タイミング図 (つづき)

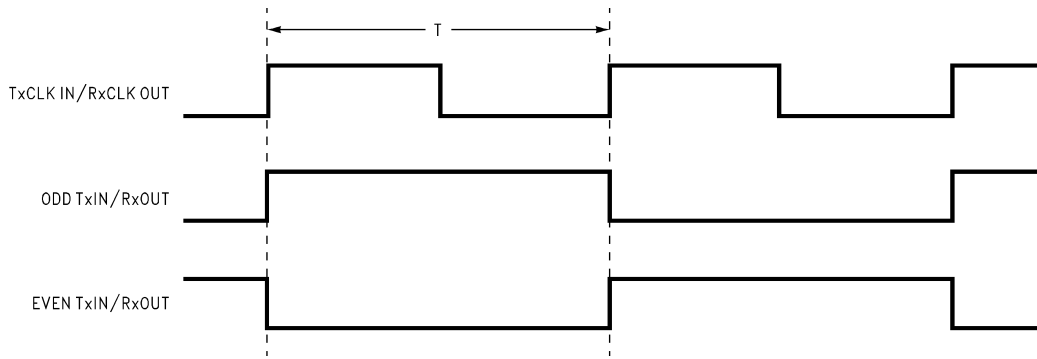


FIGURE 2. "Worst Case" Test Pattern

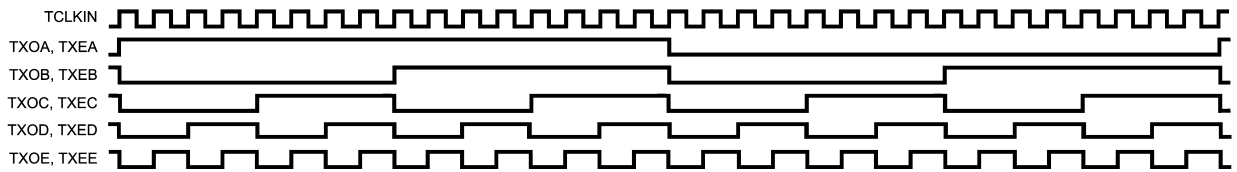


FIGURE 3. Incremental Test Pattern

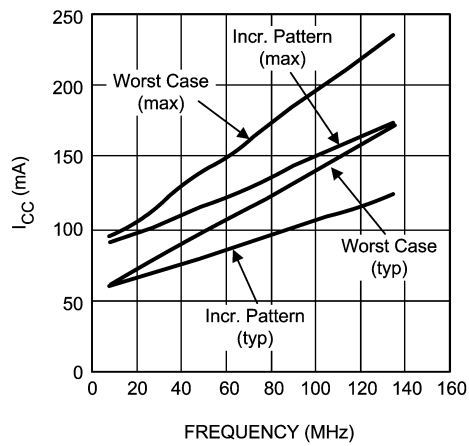


FIGURE 4. Typical and Max  $I_{CC}$  with Worst Case and Incremental Test Pattern



FIGURE 5. LVDS Transition Times



AC タイミング図 (つづき)

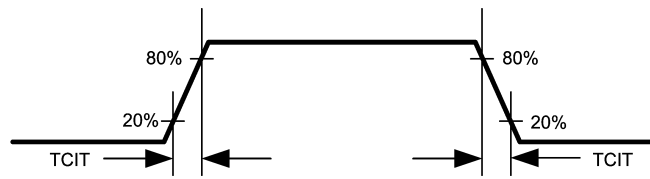


FIGURE 6. Input Clock Transition Time

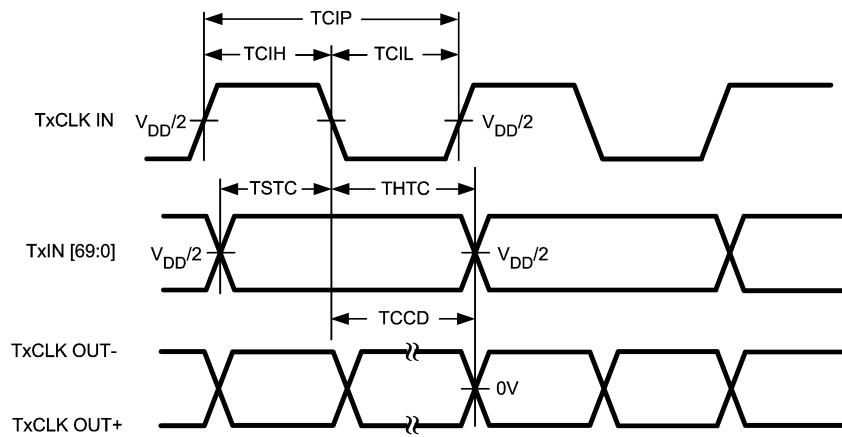


FIGURE 7. Input Setup/Hold Time, High/Low Time, and Clock In to Clock Out Latency

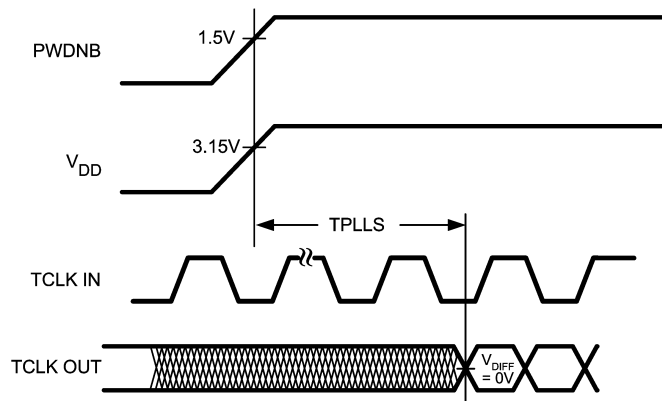


FIGURE 8. Phase Lock Loop Set Time

AC タイミング図 (つづき)

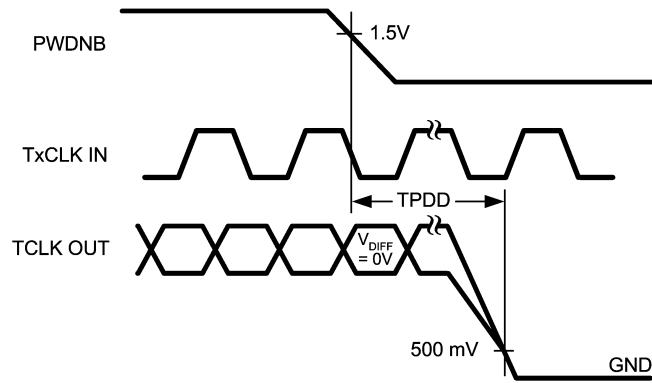


FIGURE 9. Transmitter Powerdown Delay

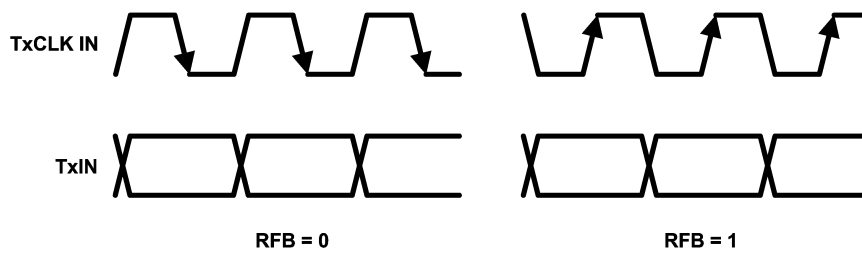


FIGURE 10. LVTTL Input Programmable Strobe Select

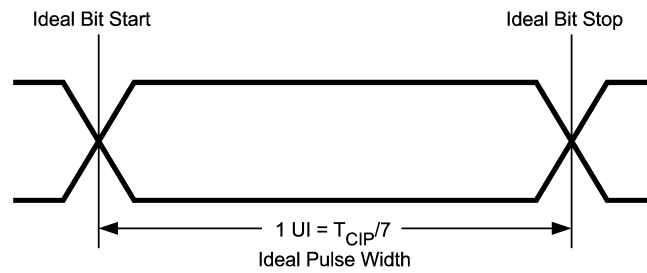


FIGURE 11. Serializer Ideal Pulse Width

AC タイミング図 (つづき)

User Programmable Internal Clock Delay Adjustment for Input Data Setup/Hold Optimization  
Input Data Sampling Clock (TCLK<sub>IDS</sub>)

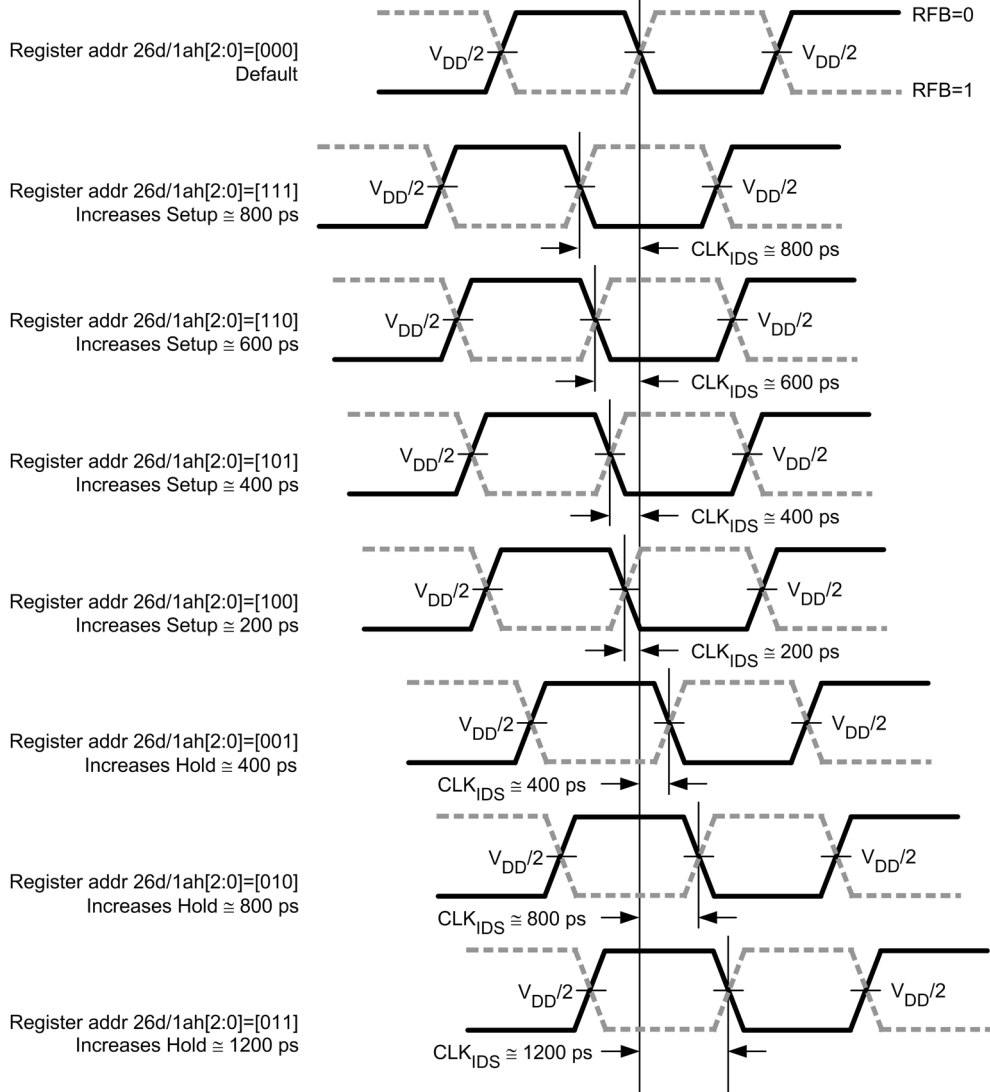


FIGURE 12. Input Data Sampling Clock

AC タイミング図 (つづき)

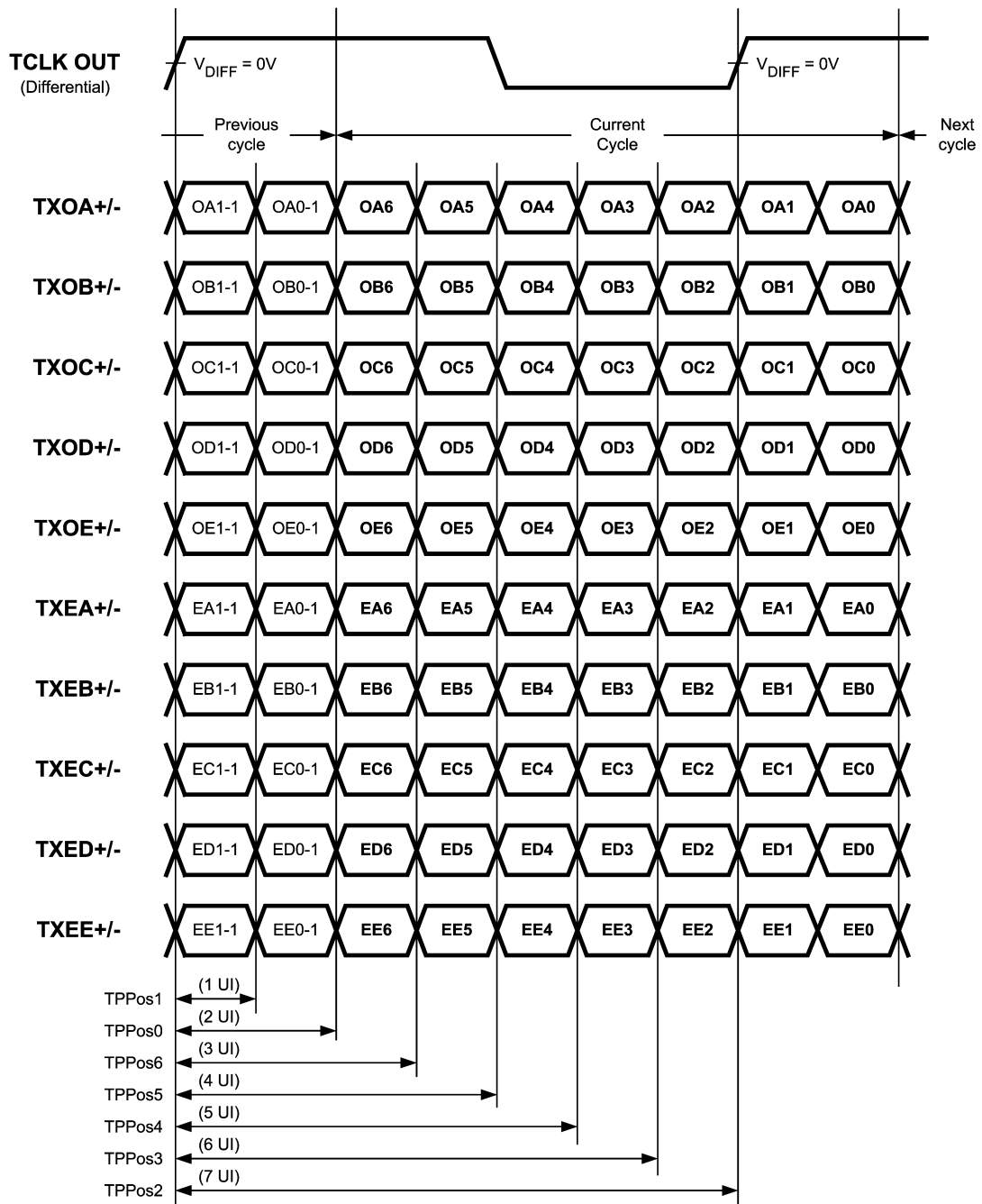
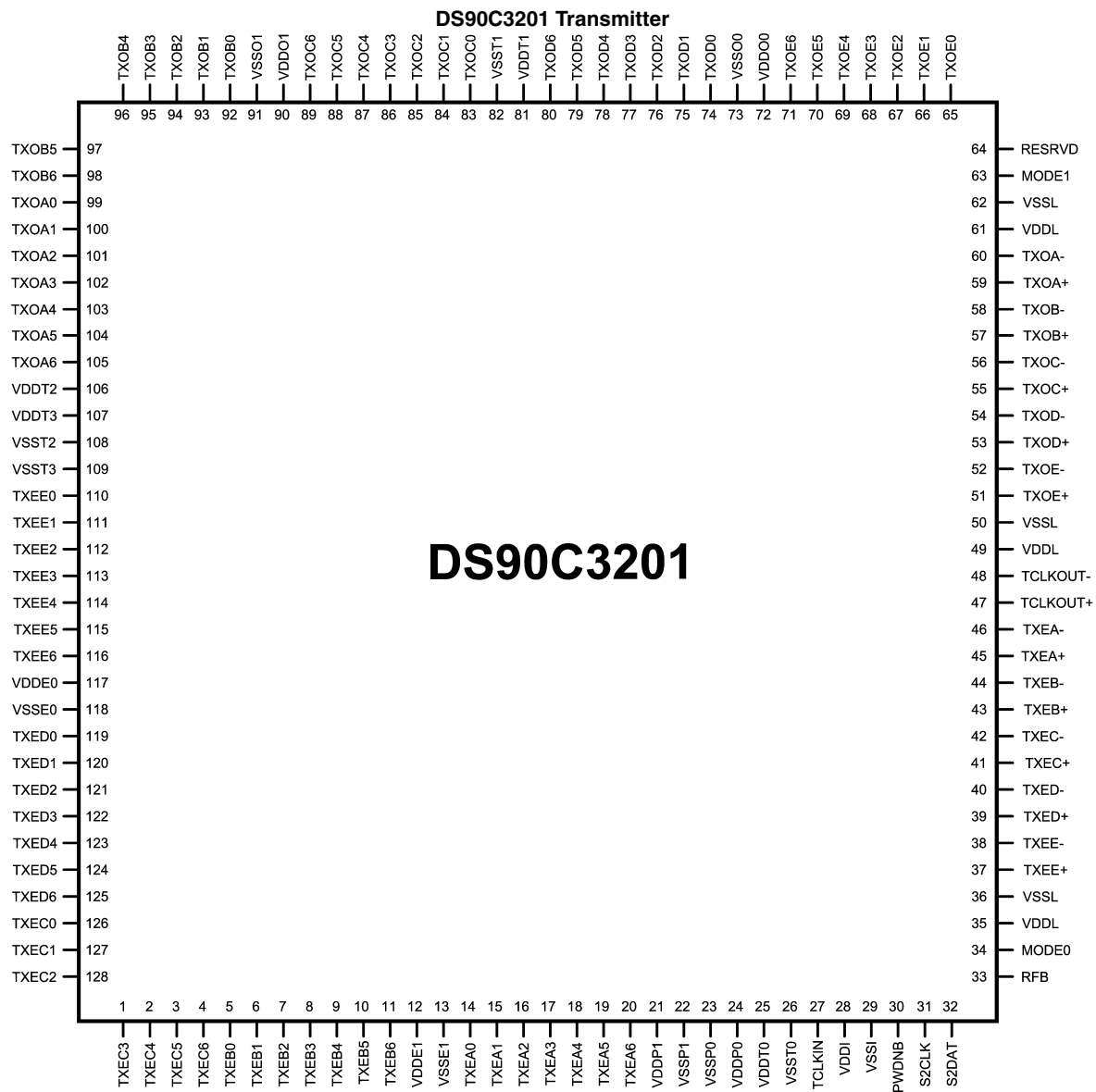


FIGURE 13. LVDS Input Mapping and Ideal Transmitter Pulse Position

ピン配置図



## DS90C3201 のピン説明

ピン番号	名称	I/O	種類	説明
1	TXEC3	I/P	LVTTTL I/P (プルダウン)	LVTTTL レベル・データ入力
2	TXEC4	I/P	LVTTTL I/P (プルダウン)	LVTTTL レベル・データ入力
3	TXEC5	I/P	LVTTTL I/P (プルダウン)	LVTTTL レベル・データ入力
4	TXEC6	I/P	LVTTTL I/P (プルダウン)	LVTTTL レベル・データ入力
5	TXEB0	I/P	LVTTTL I/P (プルダウン)	LVTTTL レベル・データ入力
6	TXEB1	I/P	LVTTTL I/P (プルダウン)	LVTTTL レベル・データ入力
7	TXEB2	I/P	LVTTTL I/P (プルダウン)	LVTTTL レベル・データ入力
8	TXEB3	I/P	LVTTTL I/P (プルダウン)	LVTTTL レベル・データ入力
9	TXEB4	I/P	LVTTTL I/P (プルダウン)	LVTTTL レベル・データ入力
10	TXEB5	I/P	LVTTTL I/P (プルダウン)	LVTTTL レベル・データ入力
11	TXEB6	I/P	LVTTTL I/P (プルダウン)	LVTTTL レベル・データ入力
12	VDDE1	VDD	DIGITAL	デジタル回路用電源
13	VSSE1	GND	DIGITAL	デジタル回路用グラウンド・ピン
14	TXEA0	I/P	LVTTTL I/P (プルダウン)	LVTTTL レベル・データ入力
15	TXEA1	I/P	LVTTTL I/P (プルダウン)	LVTTTL レベル・データ入力
16	TXEA2	I/P	LVTTTL I/P (プルダウン)	LVTTTL レベル・データ入力
17	TXEA3	I/P	LVTTTL I/P (プルダウン)	LVTTTL レベル・データ入力
18	TXEA4	I/P	LVTTTL I/P (プルダウン)	LVTTTL レベル・データ入力
19	TXEA5	I/P	LVTTTL I/P (プルダウン)	LVTTTL レベル・データ入力
20	TXEA6	I/P	LVTTTL I/P (プルダウン)	LVTTTL レベル・データ入力
21	VDDP1	VDD	PLL	PLL 回路用電源
22	VSSP1	GND	PLL	PLL 回路用グラウンド・ピン
23	VSSP0	GND	PLL	PLL 回路用グラウンド・ピン
24	VDDP0	VDD	PLL	PLL 回路用電源
25	VDDT0	VDD	TX LOGIC	ロジック用電源
26	VSST0	GND	TX LOGIC	ロジック用グラウンド・ピン
27	TCLKIN	I/P	LVTTTL I/P (プルダウン)	LVTTTL レベル・データ・クロック入力
28	VDDI	VDD	DIGITAL	デジタル回路用電源
29	VSSI	GND	DIGITAL	デジタル回路用グラウンド・ピン
30	PWDNB	I/P	LVTTTL I/P (プルダウン)	パワーダウン・バー (アクティブ Low) 0 = デバイス・ディスエーブル 1 = デバイス・イネーブル
31	S2CLK	I/P	DIGITAL	2 線式シリアル・インタフェース - クロック
32	S2DAT	I/OP	DIGITAL	2 線式シリアル・インタフェース - データ
33	RFB	VDD	LVTTTL I/P (プルダウン)	立ち上がり / 立ち下がりバー (Figure 10) 0 = 立ち下がりエッジ 1 = 立ち上がりエッジ
34	MODE0	I/P	LVTTTL I/P (プルダウン)	「偶数」バンク・イネーブル 0 = LVDS 偶数出力ディスエーブル 1 = LVDS 偶数出力イネーブル
35	VDDL	VDD	ANALOG	アナログ回路用電源
36	VSSL	GND	ANALOG	アナログ回路用グラウンド・ピン
37	TXEE +	O/P	LVDS O/P	正極性 LVDS 差動データ出力
38	TXEE -	O/P	LVDS O/P	負極性 LVDS 差動データ出力
39	TXED +	O/P	LVDS O/P	正極性 LVDS 差動データ出力
40	TXED -	O/P	LVDS O/P	負極性 LVDS 差動データ出力
41	TXEC +	O/P	LVDS O/P	正極性 LVDS 差動データ出力

## DS90C3201 のピン説明 (つづき)

ピン番号	名称	I/O	種類	説明
42	TXEC -	O/P	LVDS O/P	負極性 LVDS 差動データ出力
43	TXEB +	O/P	LVDS O/P	正極性 LVDS 差動データ出力
44	TXEB -	O/P	LVDS O/P	負極性 LVDS 差動データ出力
45	TXEA +	O/P	LVDS O/P	正極性 LVDS 差動データ出力
46	TXEA -	O/P	LVDS O/P	負極性 LVDS 差動データ出力
47	TCLKOUT +	O/P	LVDS O/P	正極性 LVDS 差動データ出力
48	TCLKOUT -	O/P	LVDS O/P	負極性 LVDS 差動データ出力
49	VDDL	VDD	ANALOG	アナログ回路用電源
50	VSSL	GND	ANALOG	アナログ回路用グラウンド・ピン
51	TXOE +	O/P	LVDS O/P	正極性 LVDS 差動データ出力
52	TXOE -	O/P	LVDS O/P	負極性 LVDS 差動データ出力
53	TXOD +	O/P	LVDS O/P	正極性 LVDS 差動データ出力
54	TXOD -	O/P	LVDS O/P	負極性 LVDS 差動データ出力
55	TXOC +	O/P	LVDS O/P	正極性 LVDS 差動データ出力
56	TXOC -	O/P	LVDS O/P	負極性 LVDS 差動データ出力
57	TXOB +	O/P	LVDS O/P	正極性 LVDS 差動データ出力
58	TXOB -	O/P	LVDS O/P	負極性 LVDS 差動データ出力
59	TXOA +	O/P	LVDS O/P	正極性 LVDS 差動データ出力
60	TXOA -	O/P	LVDS O/P	負極性 LVDS 差動データ出力
61	VDDL	VDD	ANALOG	アナログ回路用電源
62	VSSL	GND	ANALOG	アナログ回路用グラウンド・ピン
63	MODE1	I/P	LVTTTL I/P (プルダウン)	「奇数」バンク・イネーブル 0 = LVDS 奇数出力ディスエーブル 1 = LVDS 奇数出力イネーブル
64	RESRVD	I/P	LVTTTL I/P (プルダウン)	正しい動作のために VSS と接続
65	TXOE0	I/P	LVTTTL I/P (プルダウン)	LVTTTL レベル・データ入力
66	TXOE1	I/P	LVTTTL I/P (プルダウン)	LVTTTL レベル・データ入力
67	TXOE2	I/P	LVTTTL I/P (プルダウン)	LVTTTL レベル・データ入力
68	TXOE3	I/P	LVTTTL I/P (プルダウン)	LVTTTL レベル・データ入力
69	TXOE4	I/P	LVTTTL I/P (プルダウン)	LVTTTL レベル・データ入力
70	TXOE5	I/P	LVTTTL I/P (プルダウン)	LVTTTL レベル・データ入力
71	TXOE6	I/P	LVTTTL I/P (プルダウン)	LVTTTL レベル・データ入力
72	VDDO0	VDD	DIGITAL	デジタル回路用電源
73	VSSO0	GND	DIGITAL	デジタル回路用グラウンド・ピン
74	TXOD0	I/P	LVTTTL I/P (プルダウン)	LVTTTL レベル・データ入力
75	TXOD1	I/P	LVTTTL I/P (プルダウン)	LVTTTL レベル・データ入力
76	TXOD2	I/P	LVTTTL I/P (プルダウン)	LVTTTL レベル・データ入力
77	TXOD3	I/P	LVTTTL I/P (プルダウン)	LVTTTL レベル・データ入力
78	TXOD4	I/P	LVTTTL I/P (プルダウン)	LVTTTL レベル・データ入力
79	TXOD5	I/P	LVTTTL I/P (プルダウン)	LVTTTL レベル・データ入力
80	TXOD6	I/P	LVTTTL I/P (プルダウン)	LVTTTL レベル・データ入力
81	VDDT1	VDD	TX LOGIC	ロジック用電源
82	VSST1	GND	TX LOGIC	ロジック用グラウンド・ピン
83	TXOC0	I/P	LVTTTL I/P (プルダウン)	LVTTTL レベル・データ入力
84	TXOC1	I/P	LVTTTL I/P (プルダウン)	LVTTTL レベル・データ入力
85	TXOC2	I/P	LVTTTL I/P (プルダウン)	LVTTTL レベル・データ入力

## DS90C3201 のピン説明 (つづき)

ピン番号	名称	I/O	種類	説明
86	TXOC3	I/P	LVTTL I/P (プルダウン)	LVTTL レベル・データ入力
87	TXOC4	I/P	LVTTL I/P (プルダウン)	LVTTL レベル・データ入力
88	TXOC5	I/P	LVTTL I/P (プルダウン)	LVTTL レベル・データ入力
89	TXOC6	I/P	LVTTL I/P (プルダウン)	LVTTL レベル・データ入力
90	VDDO1	VDD	DIGITAL	デジタル回路用電源
91	VSSO1	GND	DIGITAL	デジタル回路用グラウンド・ピン
92	TXOB0	I/P	LVTTL I/P (プルダウン)	LVTTL レベル・データ入力
93	TXOB1	I/P	LVTTL I/P (プルダウン)	LVTTL レベル・データ入力
94	TXOB2	I/P	LVTTL I/P (プルダウン)	LVTTL レベル・データ入力
95	TXOB3	I/P	LVTTL I/P (プルダウン)	LVTTL レベル・データ入力
96	TXOB4	I/P	LVTTL I/P (プルダウン)	LVTTL レベル・データ入力
97	TXOB5	I/P	LVTTL I/P (プルダウン)	LVTTL レベル・データ入力
98	TXOB6	I/P	LVTTL I/P (プルダウン)	LVTTL レベル・データ入力
99	TXOA0	I/P	LVTTL I/P (プルダウン)	LVTTL レベル・データ入力
100	TXOA1	I/P	LVTTL I/P (プルダウン)	LVTTL レベル・データ入力
101	TXOA2	I/P	LVTTL I/P (プルダウン)	LVTTL レベル・データ入力
102	TXOA3	I/P	LVTTL I/P (プルダウン)	LVTTL レベル・データ入力
103	TXOA4	I/P	LVTTL I/P (プルダウン)	LVTTL レベル・データ入力
104	TXOA5	I/P	LVTTL I/P (プルダウン)	LVTTL レベル・データ入力
105	TXOA6	I/P	LVTTL I/P (プルダウン)	LVTTL レベル・データ入力
106	VDDT2	VDD	TX LOGIC	ロジック用電源
107	VDDT3	VDD	TX LOGIC	ロジック用電源
108	VSST2	GND	TX LOGIC	ロジック用グラウンド・ピン
109	VSST3	GND	TX LOGIC	ロジック用グラウンド・ピン
110	TXEE0	I/P	LVTTL I/P (プルダウン)	LVTTL レベル・データ入力
111	TXEE1	I/P	LVTTL I/P (プルダウン)	LVTTL レベル・データ入力
112	TXEE2	I/P	LVTTL I/P (プルダウン)	LVTTL レベル・データ入力
113	TXEE3	I/P	LVTTL I/P (プルダウン)	LVTTL レベル・データ入力
114	TXEE4	I/P	LVTTL I/P (プルダウン)	LVTTL レベル・データ入力
115	TXEE5	I/P	LVTTL I/P (プルダウン)	LVTTL レベル・データ入力
116	TXEE6	I/P	LVTTL I/P (プルダウン)	LVTTL レベル・データ入力
117	VDDE0	VDD	DIGITAL	デジタル回路用電源
118	VSSE0	GND	DIGITAL	デジタル回路用グラウンド・ピン
119	TXED0	I/P	LVTTL I/P (プルダウン)	LVTTL レベル・データ入力
120	TXED1	I/P	LVTTL I/P (プルダウン)	LVTTL レベル・データ入力
121	TXED2	I/P	LVTTL I/P (プルダウン)	LVTTL レベル・データ入力
122	TXED3	I/P	LVTTL I/P (プルダウン)	LVTTL レベル・データ入力
123	TXED4	I/P	LVTTL I/P (プルダウン)	LVTTL レベル・データ入力
124	TXED5	I/P	LVTTL I/P (プルダウン)	LVTTL レベル・データ入力
125	TXED6	I/P	LVTTL I/P (プルダウン)	LVTTL レベル・データ入力
126	TXEC0	I/P	LVTTL I/P (プルダウン)	LVTTL レベル・データ入力
127	TXEC1	I/P	LVTTL I/P (プルダウン)	LVTTL レベル・データ入力
128	TXEC2	I/P	LVTTL I/P (プルダウン)	LVTTL レベル・データ入力



## 2 線式シリアル通信インタフェースの説明

DS90C3201 はシリアル・バス上でスレーブとして動作するので、S2CLK ラインは入力 (DS90C3201 はクロックを生成しません)、S2DAT ラインは双方向となります。DS90C3201 には 7 ビットの固定されたスレーブ・アドレスがあります。ユーザーはこのアドレスを設定できません。

レジスタ・アドレスの先頭にはゼロを付ける必要があります。例えば、0x0Fh のレジスタにアクセスするには、「0F」がレジスタにアクセスする正しい方法です。

### DS90C3201 の制御レジスタとの通信

DS90C3201 には 32 のデータ・レジスタ (それぞれ 1 バイト) があり、32 のアドレスによってアクセスできます。すべてのレジスタは、読み取り専用か読み取り/書き込みとしてあらかじめ定義されています。DS90C3201 スレーブ・ステート・マシンは内部クロックが不要であり、バイトの読み取り/書き込みのみをサポートします。ページ・モードには対応していません。7 ビットのバイナリ・アドレスは 0111111 です。7 つのビットはすべて内部に組み込まれています。

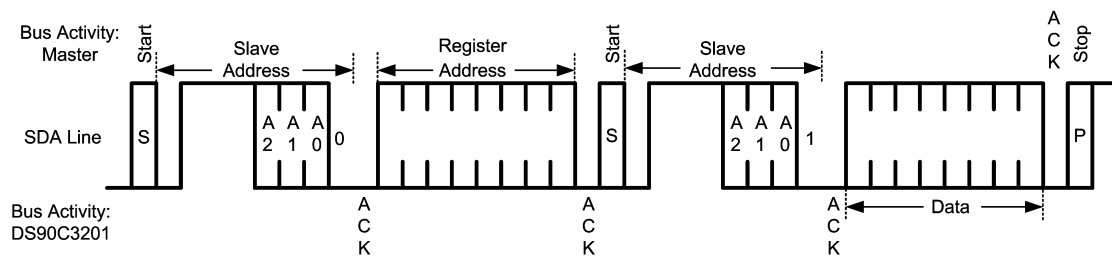


FIGURE 14. Byte Read

マスターは、7 ビットのスレーブ・アドレスの先頭に 0 を加えてスタートを生成し、DS90C3201 からの ACK 応答を待つ必要があります。マスターが呼び出していることを DS90C3201 が確認応答すると (最初の ACK)、マスターはデータ・レジスタ・アドレス・バイトを送信し、スレーブからの ACK 応答を待ちます。スレーブが確認応答すると (2 番目の ACK)、マスターは 7 ビットのスレーブ・アドレスに 1 (読み取り動作が進行中であることを示します) を加えて送信することによって「スタート」を繰り返し、

読み取り DS90C3201 では次の 3 つの方法のいずれかによって行います。

1. データ・レジスタ・アドレス内でラッチされた位置が正しければ、読み取りはスレーブ・アドレス・バイトのみで可能であり、その後にデータ・バイトの読み出しが行われます。
2. データ・レジスタ・アドレスを設定し、次にスレーブ・アドレス・バイトを設定する必要がある場合は、データ・レジスタ・アドレスをまず送信した後、マスターは再度スタートし、スレーブ・アドレス・バイトとデータ・バイトを送信して読み取りを実行します。
3. 読み取り動作を連続して行うときは、2 線式シリアル・インタフェース・モジュールを繰り返し読み取るために、読み取りの合間にある別の書き込み (または読み取り) 命令を完了する必要があります。

データ・バイトにはまず最上位ビットがあります。読み取り終了時、DS90C3201 は ACK か NACK のいずれかをマスターから受け取ります (NACK は、通常、マスターが最後のバイトを読み出したことを示すスレーブへの信号として使われます)。

DS90C3201 からの ACK 応答を待ちます。スレーブが応答した後 (3 番目の ACK)、スレーブはバスへデータを送信し、マスターからの ACK 応答を待ちます。マスターは、確認応答するときに (4 番目の ACK)、「ストップ」を生成します。これで「読み取り」が完了します。

DS90C3201 への書き込みでは、スレーブ・アドレス、データ・レジスタ・アドレス・バイト、データ・バイトが常に含まれます。

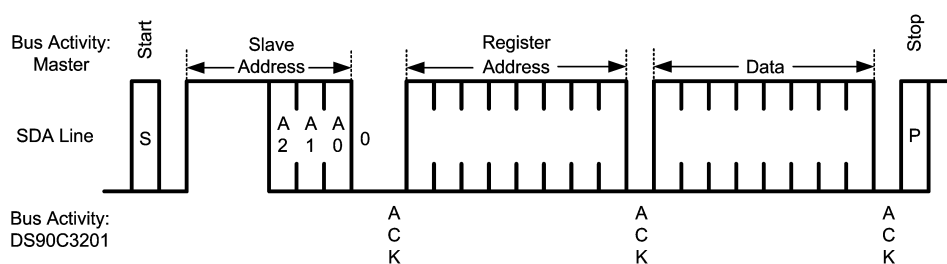


FIGURE 15. Byte Write

マスターは、7 ビットのスレーブ・アドレスに 0 を加えて「スタート」を生成し、DS90C3201 からの ACK 応答を待つ必要があります。マスターが呼び出していることを DS90C3201 が確認応答すると (最初の ACK)、マスターはデータ・レジスタ・アドレス・バイトを送信し、スレーブからの確認応答を待ちます。スレーブが

確認応答すると (2 番目の ACK)、マスターはデータ・バイトを送信し、スレーブからの ACK 応答を待ちます。スレーブが確認応答すると (3 番目の ACK)、マスターが「ストップ」を生成します。これで「書き込み」が完了します。

## DS90C3201 2 線式シリアル・インタフェースのレジスタ表

アドレス	R/W	リセット	ビット番号	説明	デフォルト値
0d/0h	R	PWDN	[7:0]	ベンダ ID Low バイト [7:0] = 05h	0000_0101
1d/1h	R	PWDN	[7:0]	ベンダ ID High バイト [15:8] = 13h	0001_0011
2d/2h	R	PWDN	[7:0]	デバイス ID Low バイト [7:0] = 27h	0010_0111
3d/3h	R	PWDN	[7:0]	デバイス ID High バイト [15:8] = 67h	0110_0111
4d/4h	R	PWDN	[7:0]	デバイス・リビジョン [7:0] = 00h から開始	0000_0000
5d/5h	R	PWDN	[7:0]	低周波数制限、8Mhz = 8h	0000_1000
6d/6h	R	PWDN	[7:0]	高周波数制限 135Mhz = 87h = 0000_0000_1000_0111	1000_0111
7d/7h	R	PWDN	[7:0]	予備	0000_0000
8d/8h	R	PWDN	[7:0]	予備	0000_0000
9d/9h	R	PWDN	[7:0]	予備	0000_0000
10d/ah	R	PWDN	[7:0]	予備	0000_0000
11d/bh	R	PWDN	[7:0]	予備	0000_0000
20d/14h	R/W	PWDN	[7:0]	予備	0000_0000
21d/15h	R/W	PWDN	[7:0]	予備	0000_0000
22d/16h	R/W	PWDN	[7:0]	予備	0000_0000
23d/17h	R/W	PWDN	[7:0]	予備	0000_0000
24d/18h	R/W	PWDN	[7:0]	予備	0000_0000
25d/19h	R/W	PWDN	[7:0]	予備	0000_0000
26d/1ah	R/W	PWDN	[7:3]	予備	0000_0000
			[2:0]	TCLK チャネルの LVTTTL 入力遅延制御、000 はデフォルト (TCLK に遅延が追加されない)、Tsetup のステップ調整ごとに 2 バッファ遅延、Thold についてはステップ調整ごとに 1 バッファ遅延	
				[111]: 4 バッファ遅延分、内部クロックを早める (セットアップ時間を増やす)	
				[110]: 3 バッファ遅延分、内部クロックを早める (セットアップ時間を増やす)	
				[101]: 2 バッファ遅延分、内部クロックを早める (セットアップ時間を増やす)	
				[100]: 1 バッファ遅延分、内部クロックを早める (セットアップ時間を増やす)	
				[001]: 2 バッファ遅延分、内部クロックを遅くする (ホールド時間を増やす)	
				[010]: 4 バッファ遅延分、内部クロックを遅くする (ホールド時間を増やす)	
				[011]: 6 バッファ遅延分、内部クロックを遅くする (ホールド時間を増やす)	
				[000]: デフォルト	
27d/1bh	R/W	PWDN	[7:0]	予備	0000_0000

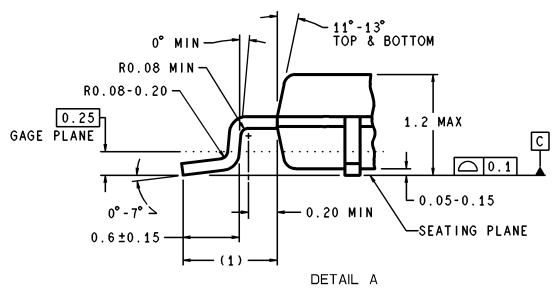
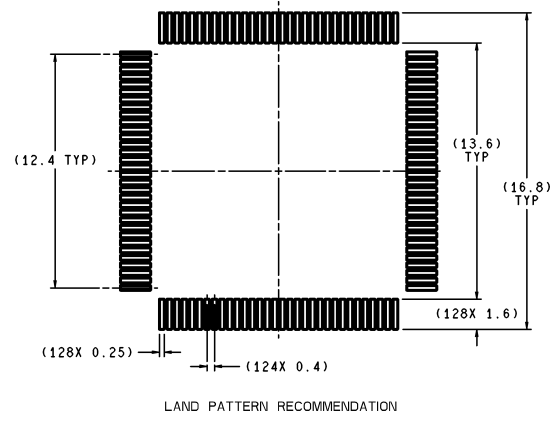
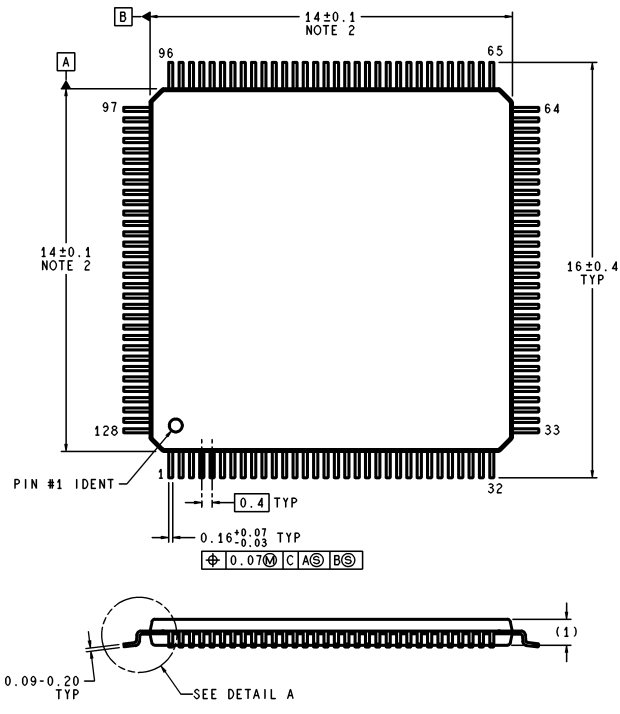
## DS90C3201 2 線式シリアル・インタフェースのレジスタ表 (つづき)

アドレス	R/W	リセット	ビット番号	説明	デフォルト値
28d/1ch	R/W	PWDN	[7]	TCLK チャネルの Vod 調整 0:TCLK Vod は TXE EVEN BANK (デフォルト) と同じ 1:TCLK Vod は TXO ODD BANK と同じ	0000_0000
			[6]	TCLK チャネルの Vos 調整 0:TCLK Vos は TXE EVEN BANK (デフォルト) と同じ 1:TCLK Vos は TXO ODD BANK と同じ	
			[5]	TXE EVEN BANK の Vod 調整 0:Vod は 400mV (デフォルト) で設定 1:Vod は 250mV で設定	
			[4]	TXO ODD BANK の Vod 調整 0:Vod は 400mV (デフォルト) で設定 1:Vod は 250mV で設定	
			[3:2]	TXE EVEN BANK の Vos 調整 11: なし 10:LVDS DR O/P Vos は 0.8V で設定 01:LVDS DR O/P Vos は 1.0V で設定 00:LVDS DR O/P Vos は 1.2V (デフォルト) で設定	
			[1:0]	TXO ODD BANK の Vos 調整 11: なし 10:LVDS DR O/P Vos は 0.8V で設定 01:LVDS DR O/P Vos は 1.0V で設定 00:LVDS DR O/P Vos は 1.2V (デフォルト) で設定	
29d/1dh	R/W	PWDN	[7:5]	予備	0000_0000
			[4]	TXE EVEN BANK チャネル E の I/O ディスエーブル制御、 1: ディスエーブル、0: イネーブル (デフォルト)	
			[3]	TXE EVEN BANK チャネル D の I/O ディスエーブル制御、 1: ディスエーブル、0: イネーブル (デフォルト)	
			[2]	TXE EVEN BANK チャネル C の I/O ディスエーブル制御、 1: ディスエーブル、0: イネーブル (デフォルト)	
			[1]	TXE EVEN BANK チャネル B の I/O ディスエーブル制御、 1: ディスエーブル、0: イネーブル (デフォルト)	
			[0]	TXE EVEN BANK チャネル A の I/O ディスエーブル制御、 1: ディスエーブル、0: イネーブル (デフォルト)	
30d/1eh	R/W	PWDN	[7:5]	予備	0000_0000
			[4]	TXO ODD BANK チャネル E の I/O ディスエーブル制御、 1: ディスエーブル、0: イネーブル (デフォルト)	
			[3]	TXO ODD BANK チャネル D の I/O ディスエーブル制御、 1: ディスエーブル、0: イネーブル (デフォルト)	
			[2]	TXO ODD BANK チャネル C の I/O ディスエーブル制御、 1: ディスエーブル、0: イネーブル (デフォルト)	
			[1]	TXO ODD BANK チャネル B の I/O ディスエーブル制御、 1: ディスエーブル、0: イネーブル (デフォルト)	
			[0]	TXO ODD BANK チャネル A の I/O ディスエーブル制御、 1: ディスエーブル、0: イネーブル (デフォルト)	

## DS90C3201 2 線式シリアル・インタフェースのレジスタ表 (つづき)

アドレス	R/W	リセット	ビット番号	説明	デフォルト値
31d/1fh	R/W	PWDN	[7:6]	11: PLL がロックされているかどうかに関係なく、"NO CLK" が High である限り LVDS O/P が利用可能	0000_0000
				10: TCLK サイクルの 1K が検出され、PLL の生成したストロブが REFCLK に対して 0.5UI 以内になった後、LVDS O/P が利用可能	
				01: TCLK サイクルの 2K が検出された後、LVDS O/P が利用可能	
				00: デフォルト; TCLK サイクルの 1K が検出された後、LVDS O/P が利用可能	
			[5]	0: デフォルト; ウェイト・カウンタのサイズを 1K または 2K から選ぶ場合、デフォルトは 1K	
[0:4]	予備				

外形寸法図 特記のない限り inches (millimeters)



DIMENSIONS ARE IN MILLIMETERS

VJX128A (Rev A)

128-Pin TQFP Package  
 Order Number DS90C3201VS  
 NS Package Number VJX128A

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務を負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売か使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

#### 生命維持装置への使用について

**ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。**

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2009 National Semiconductor Corporation

製品の最新情報については [www.national.com](http://www.national.com) をご覧ください。

## ナショナル セミコンダクター ジャパン株式会社

本社 / 〒135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

[www.national.com/jpn/](http://www.national.com/jpn/)

# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated (TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2012, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上