

DS90C385A

DS90C385A +3.3V Programmable LVDS Transmitter 24-Bit Flat Panel Display

Link-87.5 MHz



Literature Number: JAJSA50



2006年4月

DS90C385A

+ 3.3V プログラマブル LVDS トランスミッタ 24-Bit Flat Panel Display (FPD) Link-87.5MHz

概要

DS90C385A は、LVDS トランスミッタ・ファミリの DS90C383、DS90C383A、DS90C385 とピン互換で、さらに機能の追加と拡張を加えた理想的な代替製品です。

トランスミッタ DS90C385A は、28 ビットの LVCMOS/LVTTL 入力パラレル・データを 4 組の LVDS (Low Voltage Differential Signaling) シリアル・データに変換します。位相調整されたトランスミット・クロックは、データ・ストリームと並列に 5 つ目の LVDS リンクを介して伝送されます。28 ビットの入力データは、トランスミット・クロックのサイクル毎にサンプリングされて伝送されます。トランスミット・クロック周波数が 87.5MHz 時、24 ビットの RGB データと、3 ビットの LCD タイミングおよび制御信号 (FPLINE, FPFRAME, DRDY) は、LVDS データ 1 チャンネルあたり、612.5Mbps で伝送されます。したがって、クロックが 87.5MHz のときのデータ総スループットは 306.25MB/s となります。このトランスミッタは、外部ピンにより立ち上がりエッジ・ストロブか立ち下がりエッジ・ストロブの設定が可能です。立ち上がりエッジ・ストロブまたは立ち下がりエッジ・ストロブのトランスミッタと、立ち下がりエッジ・ストロブの FPDLink レシーバは変換回路なしで接続可能です。

スペクトラム拡散クロックのサポートが追加されたこのチップセットは、バス幅が広く高速な TTL インタフェースで問題となっている EMI やケーブルサイズを解決する理想的なチップセットです。

特長

DS90C383、DS90C383A および DS90C385 とのピン互換性
入力信号 (クロックおよびデータ) の印加はクロック / データと /PD ピンの間で特別なスタートアップ・シーケンスなしでデバイスの電源投入後にいずれも可能。

スペクトラム拡散クロックの変調周波数は最大 100kHz、拡散率はセンター拡散 $\pm 2.5\%$ 、ダウン拡散 - 5%。

「入力クロック検出」機能により、入力クロックの欠落および /PD ピンのロジック High を検出し、すべての LVDS ペアをロジック Low にプルダウン。

クロック周波数 18 ~ 87.5MHz に対応

87.5MHz グレイスケール時の消費電力 < 147mW (typ)

パワーダウン・モード時の消費電力 < 60 μ W (typ)

VGA、SVGA、XGA、SXGA (デュアル・ピクセル)、SXGA + (デュアル・ピクセル)、UXGA (デュアル・ピクセル) の高解像度をサポート

バス幅の低減によりケーブルのスペースとコストを節約

最大スループット 2.45Gbps

最大 306.25MB/s の高速伝送

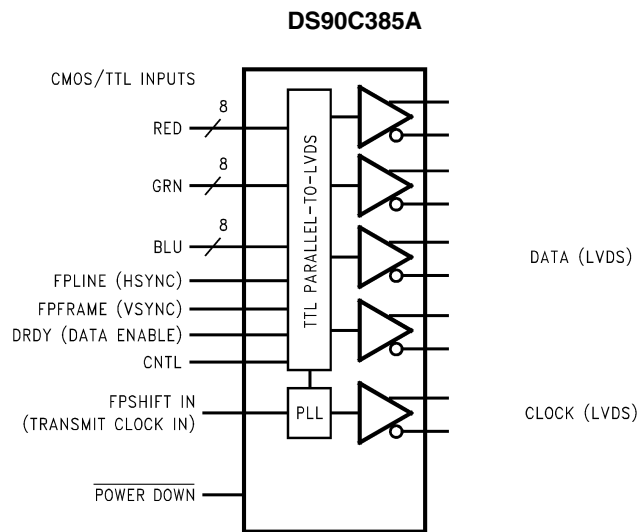
低 EMI を実現する 345mV (typ) 信号振幅

PLL は外付け部品不要

TIA/EIA-644 LVDS 標準に準拠

高密度実装を可能にする 56 ピン TSSOP パッケージ

ブロック図



Order Number DS90C385AMT
See NS Package Number MTD56

絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電気的信頼性試験方法の規格を参照ください。

電源電圧 (V_{CC})	- 0.3V ~ + 4V
CMOS/TTL 入力電圧	- 0.5V ~ ($V_{CC} + 0.3V$)
LVDSドライバ出力電圧	- 0.3V ~ ($V_{CC} + 0.3V$)
LVDS 出力短絡時間	連続
接合部温度	+ 150
保存温度範囲	- 65 ~ + 150
リード温度 (ハンダ付け 4 秒)	+ 260
パッケージ最大許容消費電力 (25 °C)	
MTD56 (TSSOP) パッケージ: DS90C385AMT	1.63W
パッケージ・デレーティング: DS90C385AMT	25 以上において 12.5mW/

ESD 耐圧

(人体モデル、1.5k、100pF)

7kV

(EIAJ、0、200pF)

500V

25 におけるラッチアップ耐圧

± 100mA

推奨動作条件

	最小値	代表値	最大値	単位
電源電圧 (V_{CC})	3.0	3.3	3.6	V
動作周囲温度 (T_A)	- 10	+25	+70	
電源ノイズ電圧 (V_{CC})			200	mV _{pp}
TxCLK IN 周波数	18		87.5	MHz

電気的特性

特記のない限り、推奨動作条件での電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units	
LVC MOS/LVTTL DC SPECIFICATIONS							
V_{IH}	High Level Input Voltage		2.0		V_{CC}	V	
V_{IL}	Low Level Input Voltage		0		0.8	V	
V_{CL}	Input Clamp Voltage	$I_{CL} = -18 \text{ mA}$		-0.79	-1.5	V	
I_{IN}	Input Current	$V_{IN} = 0.4V, 2.5V \text{ or } V_{CC}$		+1.8	+10	μA	
		$V_{IN} = GND$	-10	0		μA	
LVDS DC SPECIFICATIONS							
V_{OD}	Differential Output Voltage	$R_L = 100\Omega$	250	345	450	mV	
ΔV_{OD}	Change in V_{OD} between complimentary output states				35	mV	
V_{OS}	Offset Voltage (Note 4)		1.13	1.25	1.38	V	
ΔV_{OS}	Change in V_{OS} between complimentary output states				35	mV	
I_{OS}	Output Short Circuit Current	$V_{OUT} = 0V, R_L = 100\Omega$		-3.5	-5	mA	
I_{OZ}	Output TRI-STATE® Current	Power Down = 0V, $V_{OUT} = 0V \text{ or } V_{CC}$		±1	±10	μA	
TRANSMITTER SUPPLY CURRENT							
ICCTW	Transmitter Supply Current Worst Case	$R_L = 100\Omega,$ $C_L = 5 \text{ pF},$ Worst Case Pattern (Figures 1, 3) "Typ" values are given for $V_{CC} = 3.6V$ and $T_A = +25^\circ\text{C}$, "Max" values are given for $V_{CC} = 3.6V$ and $T_A = -10^\circ\text{C}$	$f = 25 \text{ MHz}$		31	45	mA
			$f = 40 \text{ MHz}$		37	50	mA
			$f = 65 \text{ MHz}$		48	60	mA
			$f = 87.5 \text{ MHz}$		55	65	mA

電気的特性 (つづき)

特記のない限り、推奨動作条件での電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units	
TRANSMITTER SUPPLY CURRENT							
ICCTG	Transmitter Supply Current 16 Grayscale	$R_L = 100\Omega$, $C_L = 5\text{ pF}$, 16 Grayscale Pattern (Figures 2, 3) "Typ" values are given for $V_{CC} = 3.6\text{V}$ and $T_A = +25^\circ\text{C}$, "Max" values are given for $V_{CC} = 3.6\text{V}$ and $T_A = -10^\circ\text{C}$	$f = 25\text{ MHz}$		29	40	mA
			$f = 40\text{ MHz}$		33	45	mA
			$f = 65\text{ MHz}$		39	50	mA
			$f = 87.5\text{ MHz}$		44	55	mA
ICCTZ	Transmitter Supply Current Power Down	Power Down = Low Driver Outputs in TRI-STATE under Power Down Mode		17	150	μA	

Note 1: 「絶対最大定格」とはこの値を超えるとデバイスの安全を保障できない値です。デバイスをこのリミット値で動作させることを意図しているわけではありません。電気的特性の表にデバイスの実動作条件を記載しています。

Note 2: 特記のない限り、代表値 (Typ) はすべて $V_{CC} = 3.3\text{V}$ 、 $T_A = +25^\circ\text{C}$ で得られる最も標準的な数値です。

Note 3: デバイスのピンに流れ込む電流は正と定義されます。デバイスのピンから流れ出る電流は負と定義されます。電圧は、差動電圧である V_{OD} 、 V_{OD} および特記のある場合を除いてグラウンド基準です。

Note 4: V_{OS} は以前は V_{CM} と表記されていました。

推奨トランスミッタ入力特性

特記のない限り、推奨動作条件の電源電圧と動作周囲温度を対象。

Symbol	Parameter	Min	Typ	Max	Units
TCIT	TxCLK IN Transition Time (Figure 5)	1.0		6.0	ns
TCIP	TxCLK IN Period (Figure 6)	11.42	T	55.55	ns
TCIH	TxCLK IN High Time (Figure 6)	0.35T	0.5T	0.65T	ns
TCIL	TxCLK IN Low Time (Figure 6)	0.35T	0.5T	0.65T	ns
TXIT	TxIN, and PWR DOWN pin Transition Time	1.5		6.0	ns
TXPD	Minimum pulse width for PWR DOWN pin signal.	1			us

トランスミッタ・スイッチング特性

特記のない限り、推奨動作条件の電源電圧と動作周囲温度を対象。

Symbol	Parameter	Min	Typ	Max	Units	
LLHT	LVDS Low-to-High Transition Time (Figure 4)		0.75	1.4	ns	
LHLT	LVDS High-to-Low Transition Time (Figure 4)		0.75	1.4	ns	
TPPos0	Transmitter Output Pulse Position (Figure 12) (Note 5)	$f = 25\text{ MHz}$	-0.45	0	+0.45	ns
TPPos1	Transmitter Output Pulse Position		5.26	5.71	6.16	ns
TPPos2	Transmitter Output Pulse Position		10.98	11.43	11.88	ns
TPPos3	Transmitter Output Pulse Position		16.69	17.14	17.59	ns
TPPos4	Transmitter Output Pulse Position		22.41	22.86	23.31	ns
TPPos5	Transmitter Output Pulse Position		28.12	28.57	29.02	ns
TPPos6	Transmitter Output Pulse Position		33.84	34.29	34.74	ns

トランスミッタ・スイッチング特性 (つづき)

特記のない限り、推奨動作条件の電源電圧と動作周囲温度を対象。

Symbol	Parameter		Min	Typ	Max	Units
TPPos0	Transmitter Output Pulse Position (Figure 12) (Note 5)	f = 40 MHz	-0.25	0	+0.25	ns
TPPos1	Transmitter Output Pulse Position		3.32	3.57	3.82	ns
TPPos2	Transmitter Output Pulse Position		6.89	7.14	7.39	ns
TPPos3	Transmitter Output Pulse Position		10.46	10.71	10.96	ns
TPPos4	Transmitter Output Pulse Position		14.04	14.29	14.54	ns
TPPos5	Transmitter Output Pulse Position		17.61	17.86	18.11	ns
TPPos6	Transmitter Output Pulse Position		21.18	21.43	21.68	ns
TPPos0	Transmitter Output Pulse Position (Figure 12) (Note 5)	f = 65 MHz	-0.20	0	+0.20	ns
TPPos1	Transmitter Output Pulse Position		2.00	2.20	2.40	ns
TPPos2	Transmitter Output Pulse Position for Bit 2		4.20	4.40	4.60	ns
TPPos3	Transmitter Output Pulse Position for Bit 3		6.39	6.59	6.79	ns
TPPos4	Transmitter Output Pulse Position		8.59	8.79	8.99	ns
TPPos5	Transmitter Output Pulse Position		10.79	10.99	11.19	ns
TPPos6	Transmitter Output Pulse Position		12.99	13.19	13.39	ns
TPPos0	Transmitter Output Pulse Position (Figure 12) (Note 5)	f = 87.5 MHz	-0.20	0	+0.20	ns
TPPos1	Transmitter Output Pulse Position		1.48	1.68	1.88	ns
TPPos2	Transmitter Output Pulse Position		3.16	3.36	3.56	ns
TPPos3	Transmitter Output Pulse Position		4.84	5.04	5.24	ns
TPPos4	Transmitter Output Pulse Position		6.52	6.72	6.92	ns
TPPos5	Transmitter Output Pulse Position		8.20	8.40	8.60	ns
TPPos6	Transmitter Output Pulse Position		9.88	10.08	10.28	ns
TSTC	Required TxIN Setup to TxCLK IN (Figure 6) at 85MHz		2.5			ns
THTC	Required TxIN Hold to TxCLK IN (Figure 6) at 87.5 MHz		0.5			ns
TCCD	TxCLK IN to TxCLK OUT Delay. Measure from TxCLK IN edge to immediately crossing point of differential TxCLK OUT by following the positive TxCLK OUT. 50% duty cycle input clock is assumed. (Figure 7)	T _A = -10°, and 87.5MHz for " Min ", T _A = 70°, and 25MHz for " Max ", V _{CC} = 3.6V, R_FB pin = VCC	3.086		7.211	ns
	Measure from TxCLK IN edge to immediately crossing point of differential TxCLK OUT by following the positive TxCLK OUT. 50% duty cycle input clock is assumed. (Figure 8)	T _A = -10°, and 87.5MHz for " Min ", T _A = 70°, and 25MHz for " Max ", V _{CC} = 3.6V, R_FB pin = GND	2.868		6.062	ns

トランスミッタ・スイッチング特性 (つづき)

特記のない限り、推奨動作条件の電源電圧と動作周囲温度を対象。

Symbol	Parameter	Min	Typ	Max	Units
SSCG	Spread Spectrum Clock support; Modulation frequency with a linear profile.(Note 6)	f = 25 MHz	100kHz ± 2.5%/-5%		
		f = 40 MHz	100kHz ± 2.5%/-5%		
		f = 65 MHz	100kHz ± 2.5%/-5%		
		f = 87.5 MHz	100kHz ± 2.5%/-5%		
TPLLS	Transmitter Phase Lock Loop Set (Figure 9)			10	ms
TPDD	Transmitter Power Down Delay (Figure 11)			100	ns

Note 5: 最大および最小値は特性評価により設定されています。出荷時には動作確認のみのテストとなります。

Note 6: 入力データが適切にサンプリングされるためには、TSTCとTHTCが一致するように注意する必要があります。このSSCGパラメータは、TxCLK INピンに印加されるスペクトラム拡散クロックのトラッキングの性能のみを示し、TxCLKOUT +ピンおよびTxCLKOUT -ピンの結果を反映します。

AC タイミング図

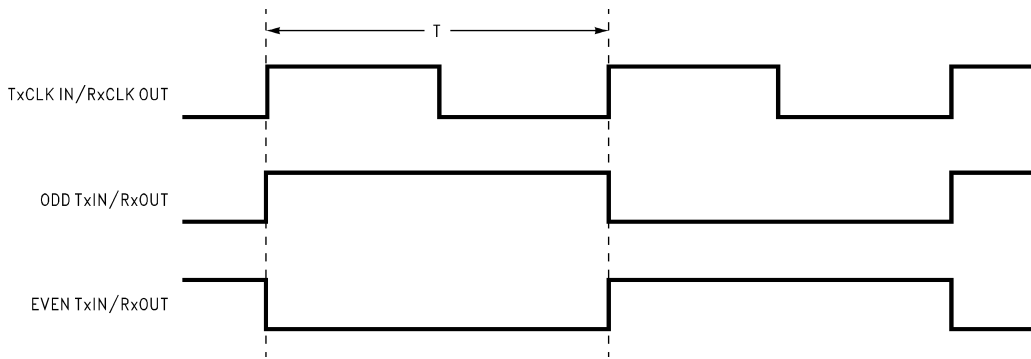


FIGURE 1. “Worst Case” Test Pattern (Note 7)

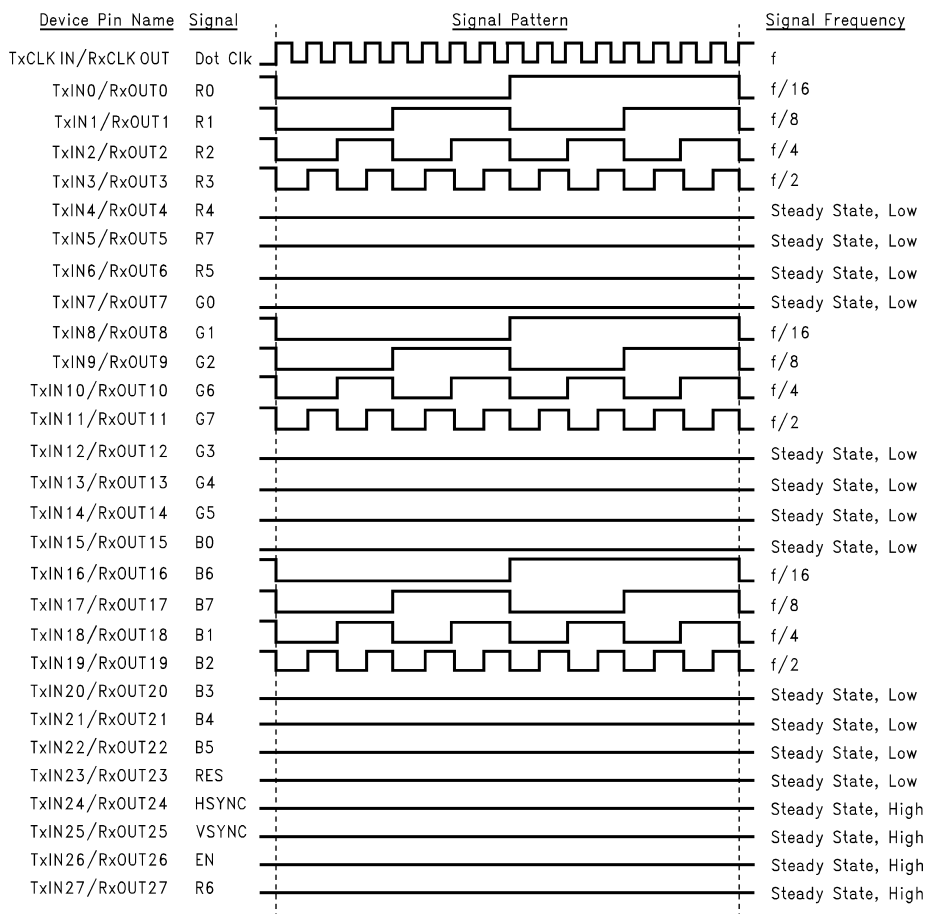


FIGURE 2. “16 Grayscale” Test Pattern - DS90C385A (Note 8, 9, 10)

Note 7: ワorst・ケースのテスト・パターンは、デジタル回路、LVDS I/O、LVCMOS/LVTTL I/O を最も多くトグルさせます。

Note 8: 16 階調テスト・パターンが、「標準的」な LCD 表示パターンでのデバイスの電力消費テストに用いられます。このテスト・パターンは、画面に 16 ラインの垂直ストライブを表示させるときに必要となる信号スイッチングに相当します。

Note 9: Figure 1、Figure 2 は、立ち下がりのエッジ・ストローブの場合です (TxCLK IN/RxCLK OUT)。

Note 10: 推奨ピン・アサインです。独自のアサインにすることも可能です。

AC タイミング図 (つづき)

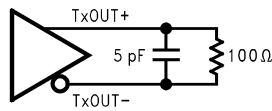


FIGURE 3. DS90C385A (Transmitter) LVDS Output Load. 5pF is shown as board loading

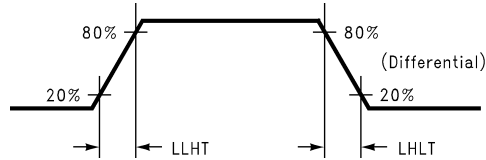


FIGURE 4. DS90C385A (Transmitter) LVDS Transition Times

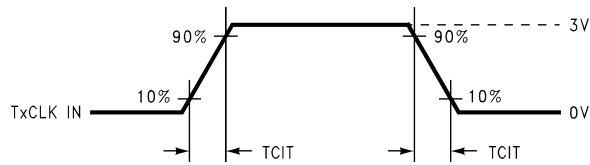


FIGURE 5. DS90C385A (Transmitter) Input Clock Transition Time

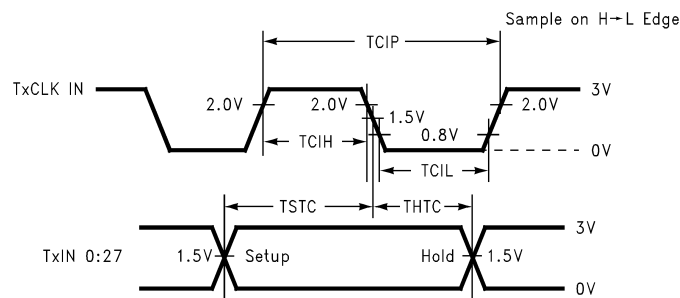


FIGURE 6. DS90C385A (Transmitter) Setup/Hold and High/Low Times with R_FB pin = GND (Falling Edge Strobe)

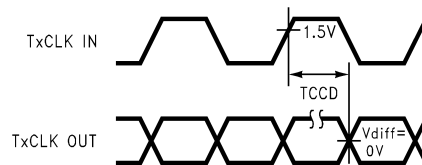


FIGURE 7. DS90C385A (Transmitter) Clock In to Clock Out Delay with R_FB pin = VCC

AC タイミング図 (つづき)

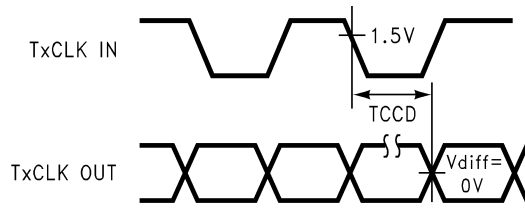


FIGURE 8. DS90C385A (Transmitter) Clock In to Clock Out Delay with R_FB pin = GND

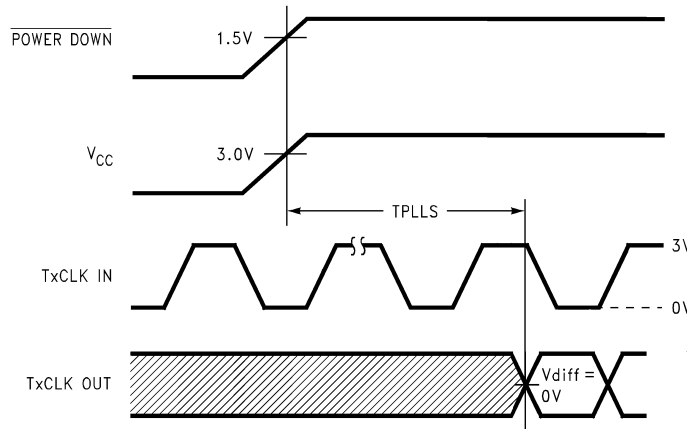


FIGURE 9. DS90C385A (Transmitter) Phase Lock Loop Set Time

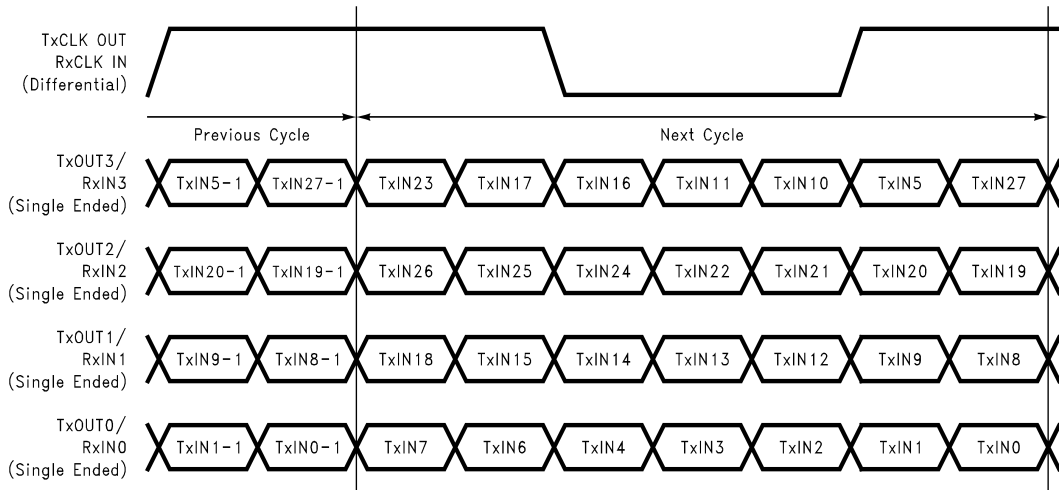


FIGURE 10. 28 Parallel TTL Data Inputs Mapped to LVDS Outputs - DS90C385A

AC タイミング図 (つづき)

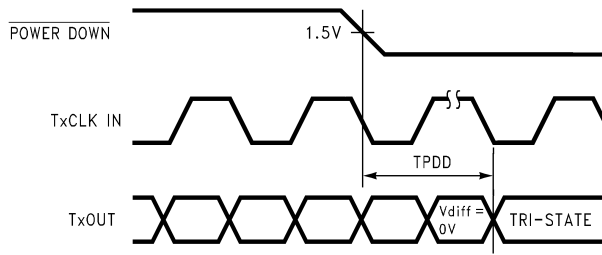


FIGURE 11. Transmitter Power Down Delay

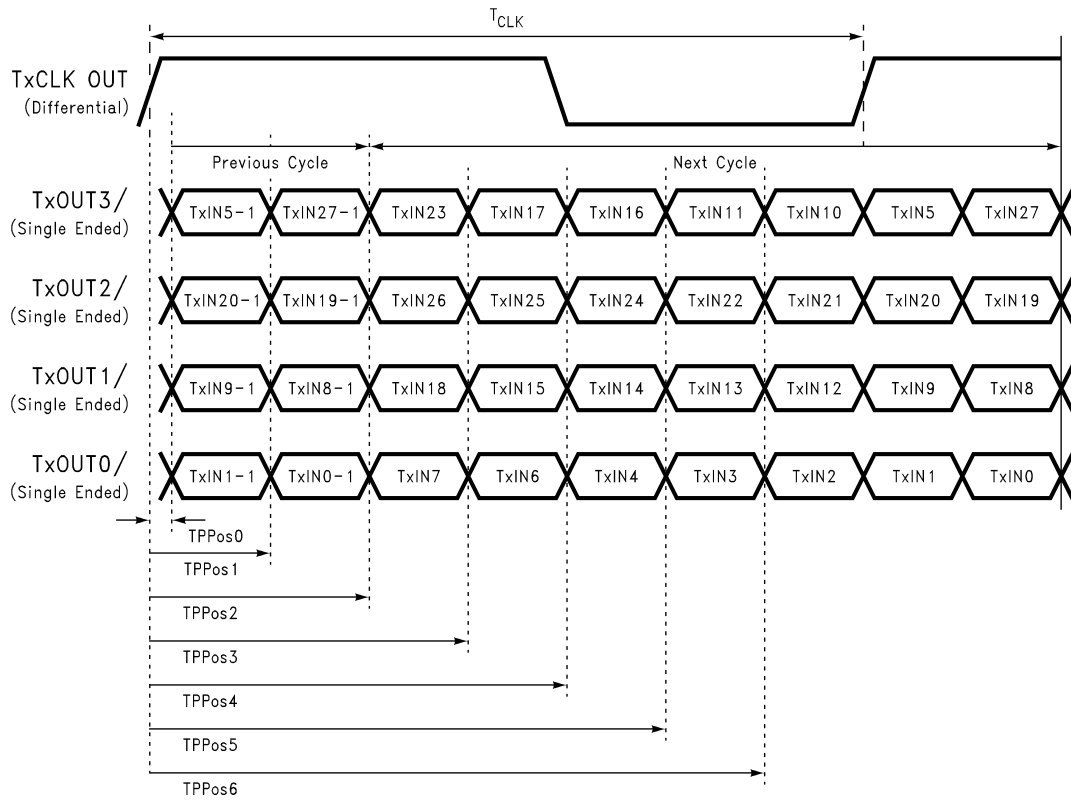


FIGURE 12. Transmitter LVDS Output Pulse Position Measurement - DS90C385A

DS90C385A MTD56 (TSSOP) パッケージ・ピン説明 — FPD リンク・トランスミッタ

ピン名称	入出力	ピン番号	説明
TxIN	I	28	LVTTL レベル入力。これには、8 ビットの Red、8 ビットの Green、8 ビットの Blue、4 ビットの制御信号 FPLINE、FPFRAME、DRDY (HSYNC、VSYNC、Data Enable と呼ばれる) が含まれます。
TxOUT +	O	4	正の LVDS 差動データ出力
TxOUT -	O	4	負の LVDS 差動データ出力
TxCLKIN	I	1	LVTTL レベルのクロック入力。ピン名は TxCLK IN です。
R_FB	I	1	LVTTL レベルのストロブ・エッジの選択 (Table 1 参照)
TxCLK OUT +	O	1	正の LVDS 差動クロック出力
TxCLK OUT -	O	1	負の LVDS 差動クロック出力
PWR DOWN	I	1	LVTTL レベル入力。入力が Low にアサートされると、出力は TRI-STATE になり、パワー・ダウン時に低電流となります。
V _{CC}	I	3	LVTTL 入力用の電源ピン
GND	I	5	LVTTL 入力用のグラウンド・ピン
PLL V _{CC}	I	1	PLL 用の電源ピン
PLL GND	I	2	PLL 用のグラウンド・ピン
LVDS V _{CC}	I	1	LVDS 出力用の電源ピン
LVDS GND	I	3	LVDS 出力用のグラウンド・ピン

ピン配置図 (TSSOP パッケージ)

DS90C385AMT	
V _{CC}	1
TxIN5	2
TxIN6	3
TxIN7	4
GND	5
TxIN8	6
TxIN9	7
TxIN10	8
V _{CC}	9
TxIN11	10
TxIN12	11
TxIN13	12
GND	13
TxIN14	14
TxIN15	15
TxIN16	16
R_FB	17
TxIN17	18
TxIN18	19
TxIN19	20
GND	21
TxIN20	22
TxIN21	23
TxIN22	24
TxIN23	25
TxIN24	26
V _{CC}	27
TxIN25	28
56	TxIN4
55	TxIN3
54	TxIN2
53	GND
52	TxIN1
51	TxIN0
50	TxIN27
49	LVDS GND
48	TxOUT0-
47	TxOUT0+
46	TxOUT1-
45	TxOUT1+
44	LVDS V _{CC}
43	LVDS GND
42	TxOUT2-
41	TxOUT2+
40	TxCLKOUT-
39	TxCLKOUT+
38	TxOUT3-
37	TxOUT3+
36	LVDS GND
35	PLL GND
34	PLL V _{CC}
33	PLL GND
32	PWR DWN
31	TxCLK IN
30	TxIN26
29	GND

アプリケーション情報

DS90C385A は、56 ピン TSSOP パッケージの DS90C385、DS90C383A、DS90C383 と下位互換のあるピン配置です。

さらに、DS90C385A では、デュアル・ピクセル・アプリケーションの場合に重要となる TCCD のパラッキを小さくしています (AN-1084 を参照)。

次の点に注意すれば DS90CF583 (5V、65MHz) と DS90CF581 (5V、40MHz) FPD リンク・トランスミッタから置き換えることも可能です。

1. 電源を 5V から 3.3V に変更してください。この 3.3V 電源を、トランスミッタの全電源ピン (V_{CC}、LVDS V_{CC}、PLL V_{CC}) に供給してください。
2. DS90C385A の入力ピンと制御入力ピンには 3.3V LVTTTL/LVCMOS 信号を入力してください。5V 信号入力耐圧はありません。
3. DS90C385A を立ち下がりエッジ・ストロープで使用する場合は、R_FB ピンをグラウンドまたはオープン (内部プルダウン回路により Low にバイアスされます) で使用してください。V_{CC} にプルアップした場合は立ち上がりエッジ・ストロープになります。

トランスミッタの入カピン

TxIN ピンおよび制御入力ピンは、LVCMOS レベルまたは LVTTTL レベルに互換です。ただしこれらの入力は 5V 耐圧ではありません。

トランスミッタの入カクロック / データ・シーケンス

DS90C385、DS90C(F)383A/363A とは異なり、DS90C385A は入カクロック / データおよび PD (PowerDown) 信号を特別な順序で印加する必要はありません。DS90C385A が備える優れた入力シーケンス機能により、入カクロック / データを PD 信号のリリース後に挿入することができます。グラフィック・コントローラでのビデオ

オ・モードの切り替えなど、クロック / データを停止してから再び印加する必要がある場合、PD 信号のサイクルを進める必要はありません。ただし、このようなモード切り替え時に PD をアサートする必要がある場合もあります。ソース (グラフィック・ソース) が LVDS トランスミッタに供給するクロック出力やスプリアス・ノイズ・クロック出力が不安定な場合に、LVDS トランスミッタがこの不安定なクロック信号に基づいてロックを試みても、クロック・ソースの不安定な状態または品質のためにロックできないことがあります。このような場合、安定したクロックが LVDS トランスミッタに印加された時点で、PD 信号をアサートします。PWR DWN ピンをアサートすると、実質的にデバイスはリセットされ、PLL はディスエーブルされて、LVDS トランスミッタは省電力スタンバイ・モードになります。クロック / データを停止して再び印加するとき常に PWR DWN ピンのアサートか LVDS トランスミッタのリセットを行うのは、一般に最善の処置であることに変わりはありません。ただし、DS90C385A ではこの方法は必須ではありません。

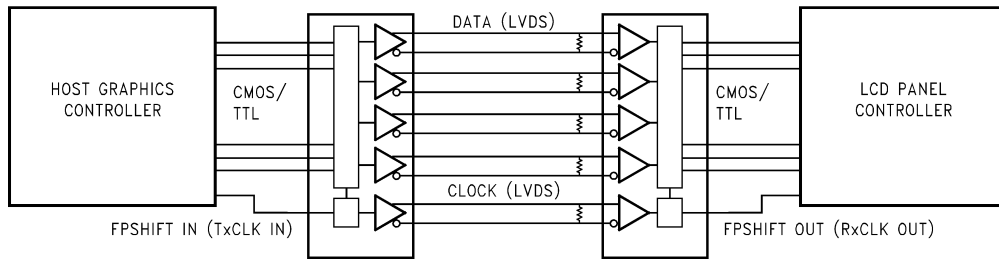
スペクトラム拡散クロックのサポート

DS90C385A は、スペクトラム拡散クロック信号タイプの入力をサポートできます。DS90C385A 出力は、変調周波数は最大 100kHz、拡散率はセンター拡散 ± 2.5% またはダウン拡散 - 5% で、スペクトラム拡散クロック / データ入力に正確に追従します。

電源ソース・シーケンス

代表的なアプリケーションでは、V_{CC}、LVDS V_{CC} および PLL V_{CC} を同じ電源ソースから、3 つの異なるデカップリング・バイパス・コンデンサのグループを介して供給することが推奨されます。どの V_{CC} を最初にデバイスに供給するかについて、特に要件はありません。

代表的なアプリケーション

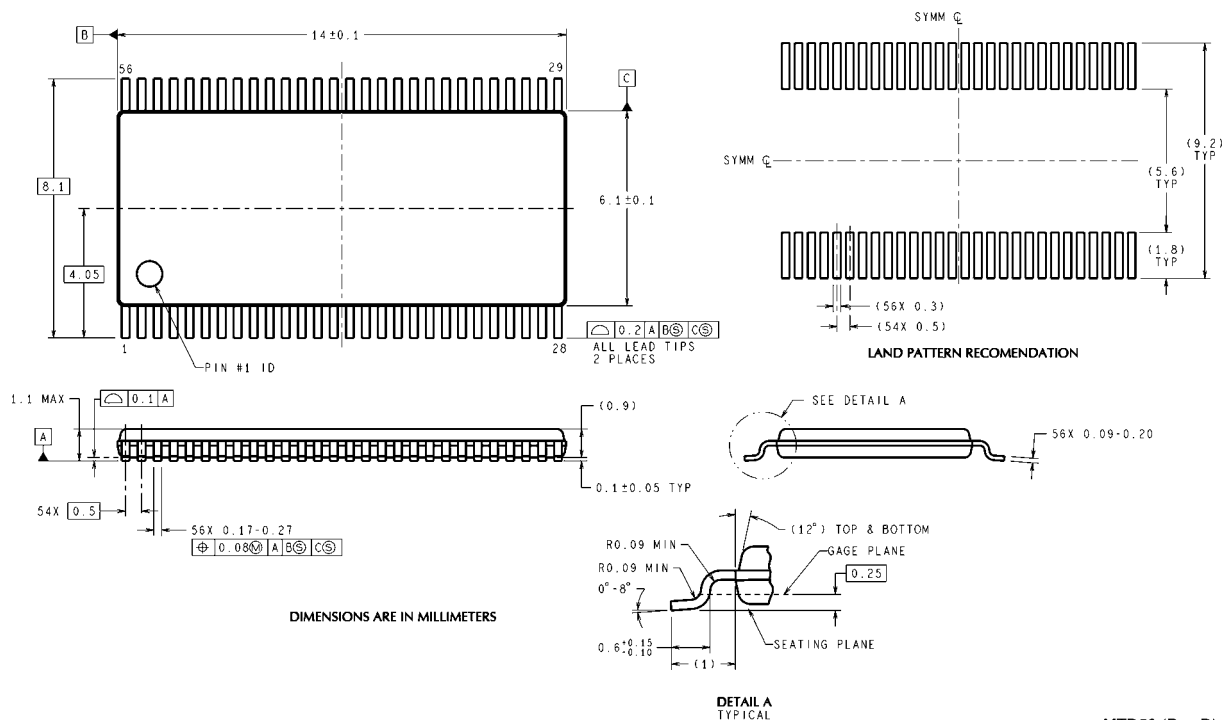


真理値表

TABLE 1. プログラマブル・トランスミッタ (DS90C385A)

ピン	条件	ストローブ・ステータス
R_FB	R_FB = V _{CC}	立ち上がりエッジ・ストローブ
R_FB	R_FB = GNDまたはNC	立ち下がりエッジ・ストローブ

外形寸法図 単位は millimeters



DIMENSIONS ARE IN MILLIMETERS

DETAIL A
TYPICAL

MTD56 (Rev D)

56-Lead Molded Thin Shrink Small Outline Package, JEDEC
Dimensions in millimeters only
Order Number DS90C385AMT
NS Package Number MTD56

このドキュメントの内容はナショナル セミコンダクター 製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売が使用、またはその両方に関連する特定の目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2009 National Semiconductor Corporation
 製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社
 本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。 www.national.com/jpn/

本資料に掲載されているすべての回路の使用に起因する第三者の特許権その他の権利侵害に関して、弊社ではその責を負いません。また掲載内容は予告無く変更されることがありますのでご了承ください。

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといたします）及びTexas Instruments Incorporated (TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといたします)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不公正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不公正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2012, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上