

# **DS90CF364A,DS90CF384A**

*DS90CF384A/DS90CF364A +3.3V LVDS Receiver 24-Bit Flat Panel Display (FPD)*

*Link - 65 MHz, +3.3V LVDS Receiver 18-Bit Flat Panel Display (FPD) Link -*

*65 MHz*



Literature Number: JAJ614



2007年7月

## DS90CF384A/DS90CF364A

+ 3.3V LVDS レシーバ 24-Bit Flat Panel Display (FPD) Link-65MHz

+ 3.3V LVDS レシーバ 18-Bit Flat Panel Display (FPD) Link-65MHz

### 概要

レシーバ DS90CF384A は、4 ペアの LVDS データ・ストリーム (最大スループット 1.8Gbps、バンド幅 227MB/sec) を 28 ビットの CMOS/TTL パラレル・データ (RGB24 ビットおよび HSYNC、VSYNC、DE、CNTL の 4 ビット) に変換します。また DS90CF364A は、3 ペアの LVDS データ・ストリーム (最大スループット 1.3Gbps、バンド幅 170MB/sec) を 21 ビットの CMOS/TTL パラレル・データ (RGB18 ビットおよび HSYNC、VSYNC、DE の 3 ビット) に変換します。どちらのレシーバも、出力は立ち上がりエッジ・ストロブです。この立ち上がりエッジ・ストロブのレシーバは、立ち上がりエッジ・ストロブもしくは立ち下がりエッジ・ストロブのトランスミッタ (DS90C383A/DS90C363A) と変換回路なしで接続可能です。

DS90CF384A/DS90CF364A は前世代のレシーバから機能が強化され、レシーバ出力端でのデータ有効時間が長くなりました。

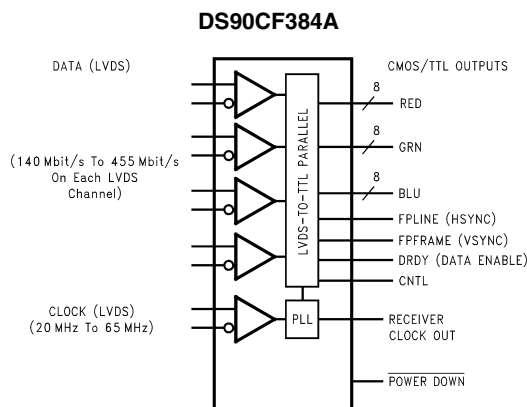
DS90CF384A は、ボール数 64、ピッチ間隔 0.8mm の FBGA (Fine Pitch Ball Grid Array) パッケージでも供給されます。このパッケージを使用すると、56 ピン TSSOP パッケージに比べてプリント基板の実装面積にして 44% 小さくなります。

このチップセットはバス幅が広く高速な TTL インタフェースで問題となっている EMI やケーブルサイズの解決に理想的です。

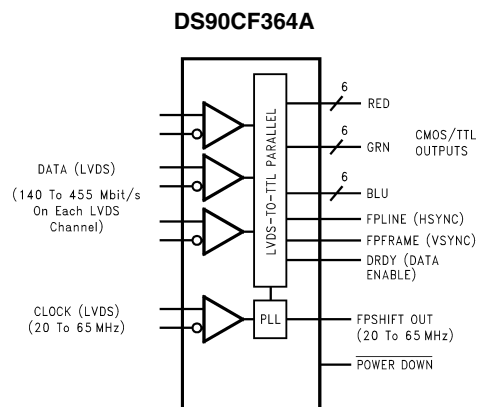
### 特長

- クロック周波数 20 ~ 65MHz に対応
- 50% デューティ・サイクルのレシーバ・クロック出力
- 高性能セットアップ / ホールド・タイム (RxOUTPUT)
- 65MHz グレイスケール表示においてレシーバの消費電力 142mW 以下 (typ)
- パワーダウン・モードにおいてレシーバの消費電力 200μW 以下 (max)
- ESD 耐圧 7kV 以上 (人体モデル)、700V 以上 (EIAJ)
- VGA、SVGA、XGA そしてデュアル・ピクセル SXGA の高解像度をサポート
- PLL は外付け部品不要
- TIA/EIA-644 LVDS 標準準拠
- 高密度実装を可能にする 56 ピンまたは 48 ピン TSSOP パッケージ
- DS90CF384A は 64 ピン、0.8mm ピッチの FBGA パッケージでも供給

### ブロック図



Order Number DS90CF384AMTD or DS90CF384ASLC  
See NS Package Number MTD56 or SLC64A



Order Number DS90CF364AMTD  
See NS Package Number MTD48

## 絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。  
関連する電気的信頼性試験方法の規格を参照ください。

電源電圧 ( $V_{CC}$ )	- 0.3V ~ + 4V
CMOS/TTL 入力電圧	- 0.3V ~ $V_{CC}$ + 0.3V
CMOS/TTL 出力電圧	- 0.3V ~ $V_{CC}$ + 0.3V
LVDS レシーバ入力電圧	- 0.3V ~ $V_{CC}$ + 0.3V
PN 接合温度	+ 150
保存温度範囲	- 65 ~ + 150
許容リード温度 (ハンダ付け 4 秒)	+ 260
ハンダ・リフロー温度 (FBGA で 20 秒)	+ 220

最大パッケージ許容損失 (+ 25 のとき)

MTD56(TSSOP) パッケージ:

DS90CF384A 1.61W

MTD48(TSSOP) パッケージ:

DS90CF364A 1.89W

SLC (FBGA) パッケージ:

DS90CF384A 2.0W

\*周囲温度 + 25 を超える場合は、

DS90CF384AMTD 12.4mW/

DS90CF364AMTD 15mW/

DS90CF384ASLC 10.2mW/

を減じてください。

ESD 耐圧

(HBM, 1.5 k $\Omega$ 、100 pF) > 7kV

(EIAJ, 0 $\Omega$ 、200 pF) > 700V

## 推奨動作条件

	最小値	標準値	最大値	単位
電源電圧 ( $V_{CC}$ )	3.0	3.3	3.6	V
動作周囲温度 ( $T_A$ )	- 10	+ 25	+ 70	
レシーバ入力電圧範囲	0		2.4	V
電源ノイズ電圧 ( $V_{CC}$ )			100	mV <sub>pp</sub>

## 電気的特性

特記のない限り、推奨動作電源電圧および動作温度範囲に対して適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units	
<b>CMOS/TTL DC SPECIFICATIONS (For Power Down Pin)</b>							
$V_{IH}$	High Level Input Voltage		2.0		$V_{CC}$	V	
$V_{IL}$	Low Level Input Voltage		GND		0.8	V	
$V_{CL}$	Input Clamp Voltage	$I_{CL} = -18$ mA		-0.79	-1.5	V	
$I_{IN}$	Input Current	$V_{IN} = 0.4V, 2.5V$ or $V_{CC}$		+1.8	+10	$\mu$ A	
		$V_{IN} = GND$	-10	0		$\mu$ A	
<b>CMOS/TTL DC SPECIFICATIONS</b>							
$V_{OH}$	High Level Output Voltage	$I_{OH} = -0.4$ mA	2.7	3.3		V	
$V_{OL}$	Low Level Output Voltage	$I_{OL} = 2$ mA		0.06	0.3	V	
$I_{OS}$	Output Short Circuit Current	$V_{OUT} = 0V$		-60	-120	mA	
<b>LVDS RECEIVER DC SPECIFICATIONS</b>							
$V_{TH}$	Differential Input High Threshold	$V_{CM} = +1.2V$			+100	mV	
$V_{TL}$	Differential Input Low Threshold		-100			mV	
$I_{IN}$	Input Current	$V_{IN} = +2.4V, V_{CC} = 3.6V$			$\pm 10$	$\mu$ A	
		$V_{IN} = 0V, V_{CC} = 3.6V$			$\pm 10$	$\mu$ A	
<b>RECEIVER SUPPLY CURRENT</b>							
ICCRW	Receiver Supply Current Worst Case	$C_L = 8$ pF, Worst Case Pattern, DS90CF384A (Figures 1, 4)	$f = 32.5$ MHz		49	65	mA
			$f = 37.5$ MHz		53	70	mA
			$f = 65$ MHz		81	105	mA
ICCRW	Receiver Supply Current Worst Case	$C_L = 8$ pF, Worst Case Pattern, DS90CF364A (Figures 1, 4)	$f = 32.5$ MHz		49	55	mA
			$f = 37.5$ MHz		53	60	mA
			$f = 65$ MHz		78	90	mA

## 電気的特性 (つづき)

特記のない限り、推奨動作電源電圧および動作温度範囲に対して適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units	
ICCRG	Receiver Supply Current, 16 Grayscale	$C_L = 8 \text{ pF}$ , 16 Grayscale Pattern, (Figures 2, 3, 4)	$f = 32.5 \text{ MHz}$		28	45	mA
			$f = 37.5 \text{ MHz}$		30	47	mA
			$f = 65 \text{ MHz}$		43	60	mA
ICCRZ	Receiver Supply Current Power Down	Power Down = Low Receiver Outputs Stay Low during Power Down Mode		10	55	$\mu\text{A}$	

**Note 1:** 「絶対最大定格」とは、この範囲を超えるとデバイスの安全性が保証されないリミット値をいい、これらのリミット値でデバイスが動作することを意味するものではありません。電気的特性の表にデバイスの実動作条件を記載しています。

**Note 2:** 代表値 (Typ) はすべて  $V_{CC} = 3.3\text{V}$ 、および  $T_A = +25^\circ\text{C}$  で得られる最も標準的な数値です。

**Note 3:** デバイス・ピンに流れ込む電流は正、デバイス・ピンから流れ出る電流は負と定義されます。  $V_{OD}$  と  $V_{OD}$  以外、すべての電圧値はグラウンド・ピンを基準とします。

## レシーバ・スイッチング特性

特記のない限り、推奨動作電源電圧および動作温度範囲に対して適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
CLHT	CMOS/TTL Low-to-High Transition Time (Figure 4)			2	5	ns
CHLT	CMOS/TTL High-to-Low Transition Time (Figure 4)			1.8	5	ns
RSPos0	Receiver Input Strobe Position for Bit 0 (Figure 11, Figure 12)	$f = 25 \text{ MHz}$	1.20	1.96	2.82	ns
RSPos1	Receiver Input Strobe Position for Bit 1		6.91	7.67	8.53	ns
RSPos2	Receiver Input Strobe Position for Bit 2		12.62	13.38	14.24	ns
RSPos3	Receiver Input Strobe Position for Bit 3		18.33	19.09	19.95	ns
RSPos4	Receiver Input Strobe Position for Bit 4		24.04	24.80	25.66	ns
RSPos5	Receiver Input Strobe Position for Bit 5		29.75	30.51	31.37	ns
RSPos6	Receiver Input Strobe Position for Bit 6		35.46	36.22	37.08	ns
RSPos0	Receiver Input Strobe Position for Bit 0 (Figure 11, Figure 12)	$f = 65 \text{ MHz}$	0.7	1.1	1.4	ns
RSPos1	Receiver Input Strobe Position for Bit 1		2.9	3.3	3.6	ns
RSPos2	Receiver Input Strobe Position for Bit 2		5.1	5.5	5.8	ns
RSPos3	Receiver Input Strobe Position for Bit 3		7.3	7.7	8.0	ns
RSPos4	Receiver Input Strobe Position for Bit 4		9.5	9.9	10.2	ns
RSPos5	Receiver Input Strobe Position for Bit 5		11.7	12.1	12.4	ns
RSPos6	Receiver Input Strobe Position for Bit 6		13.9	14.3	14.6	ns
RSKM	RxIN Skew Margin (Note 4) (Figure 13)	$f = 25 \text{ MHz}$	750			ps
		$f = 65 \text{ MHz}$	500			ps
RCOP	RxCLK OUT Period (Figure 5)		15	T	50	ns
RCOH	RxCLK OUT High Time (Figure 5)	$f = 65 \text{ MHz}$	5.0	7.6	9.0	ns
RCOL	RxCLK OUT Low Time (Figure 5)		5.0	6.3	9.0	ns
RSRC	RxOUT Setup to RxCLK OUT (Figure 5)		4.5	7.3		ns
RHRC	RxOUT Hold to RxCLK OUT (Figure 5)		4.0	6.3		ns
RCCD	RxCLK IN to RxCLK OUT Delay @ $25^\circ\text{C}$ , $V_{CC} = 3.3\text{V}$ (Figure 6)		3.5	5.0	7.5	ns
RPLLS	Receiver Phase Lock Loop Set (Figure 7)			10	ms	
RPDD	Receiver Power Down Delay (Figure 10)			1	$\mu\text{s}$	

**Note 4:** レシーバ・スキュー・マージンはレシーバ入力でのサンプリングに必要な有効データ範囲と定義されます。このマージンは DS90C383B のトランスミッタ・パルス・ポジション (TPPos min と max) とレシーバの入力セットアップ / ホールド・タイム (内部のデータ・サンプリング率・RSPos) により導き出されています。別のトランスミッタが使われる場合の RSKM は異なります。このマージンは LVDS 配線スキュー、符号間干渉 ISI (ケーブルのタイプと長さにより異なります) とクロック・ジッタ (250ps 以下) により減少します。

AC タイミング図

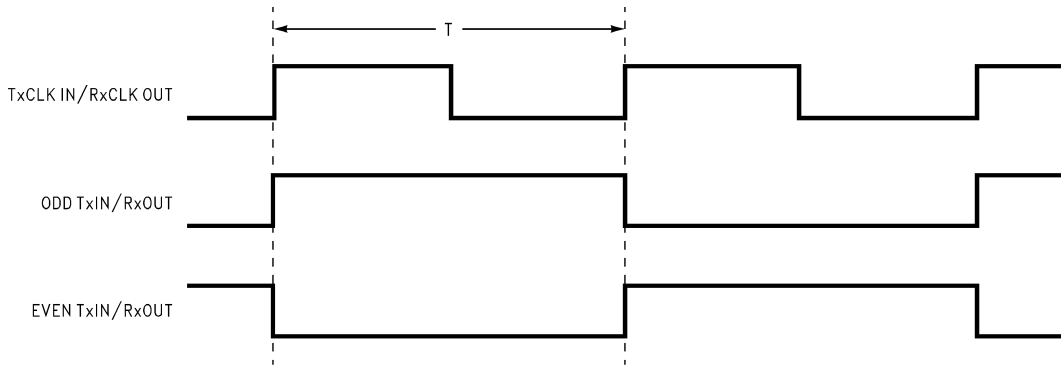


FIGURE 1. "Worst Case" Test Pattern

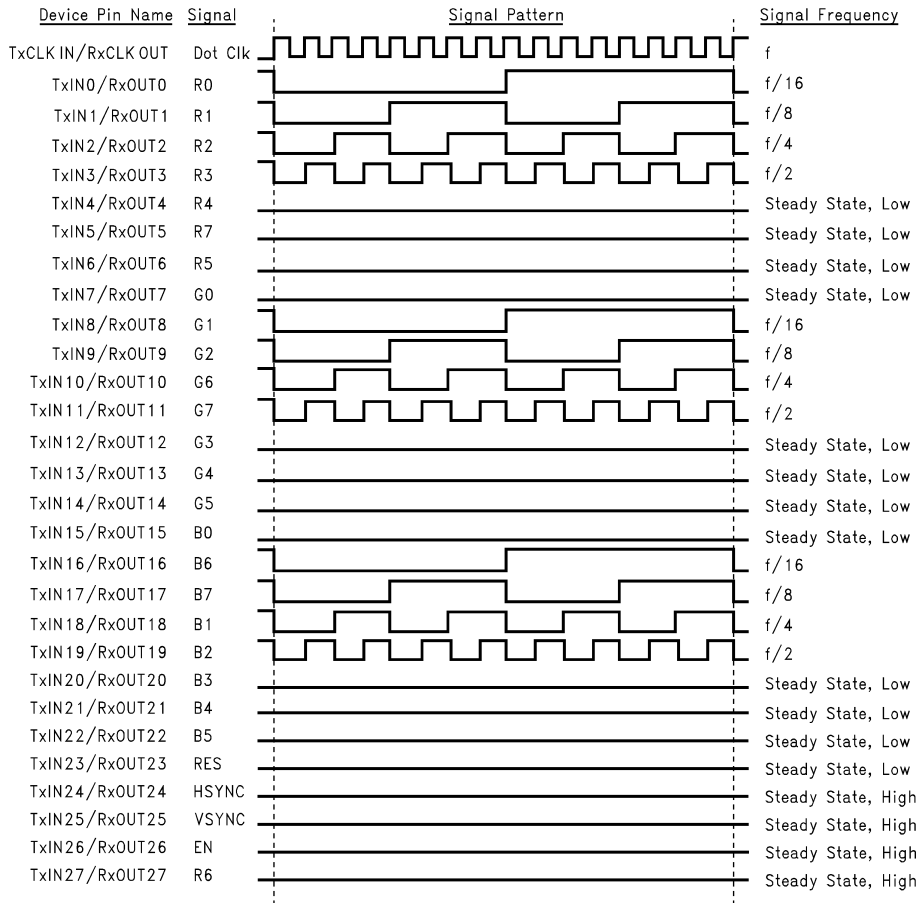


FIGURE 2. "16 Grayscale" Test Pattern (DS90CF384A)(Notes 5, 6, 7, 8)

AC タイミング図 (つづき)

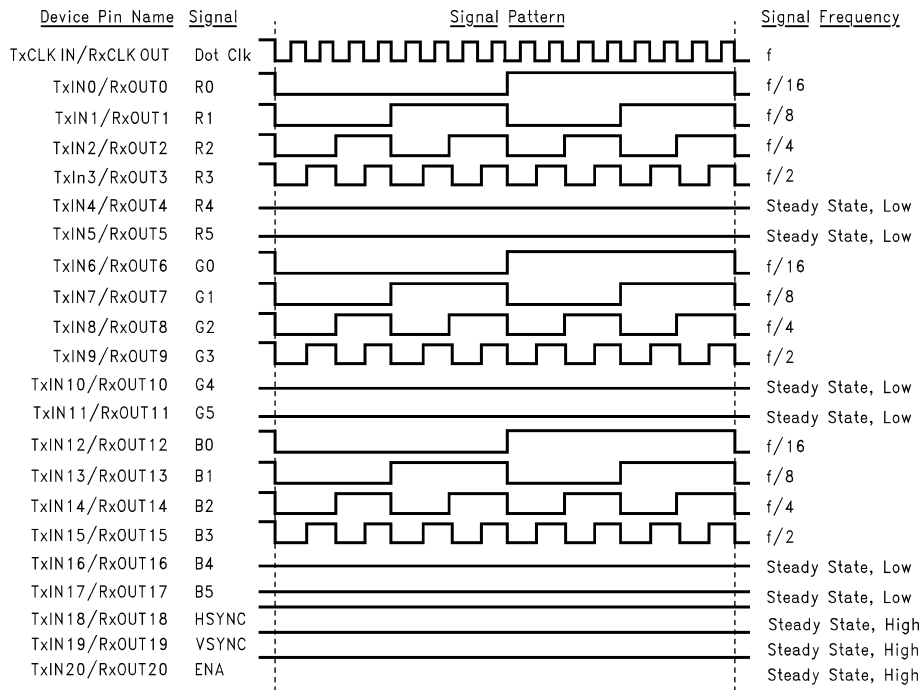


FIGURE 3. “16 Grayscale” Test Pattern (DS90CF364A)(Notes 5, 6, 7, 8)

- Note 5:** ワースト・ケース・パターンはデバイスのデジタル回路、LVDS I/O と TTL I/O が最もグルするよう考えられています。
- Note 6:** 16 階調テスト・パターンは LCD ディスプレイの代表的パターンにおけるデバイスの消費電力を算定するためのものです。このパターンは 16 の縦ストライプのグループがディスプレイに並ぶように信号を近似しています。
- Note 7:** Figure 1、Figure 3 ともに立ち下がりがエッジ・ストロープの場合です (TxCLK IN/RxCLK OUT)。
- Note 8:** 推奨ピンアサインですが、独自のアサインにすることも可能です。



FIGURE 4. DS90CF384A/DS90CF364A (Receiver) CMOS/TTL Output Load and Transition Times

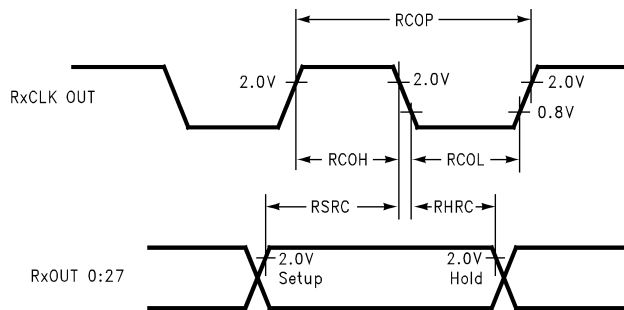


FIGURE 5. DS90CF384A/DS90CF364A (Receiver) Setup/Hold and High/Low Times

AC タイミング図 (つづき)

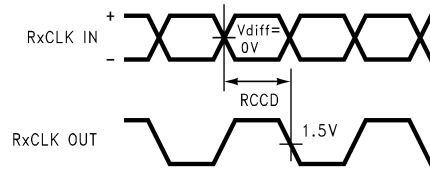


FIGURE 6. DS90CF384A/DS90CF364A (Receiver) Clock In to Clock Out Delay

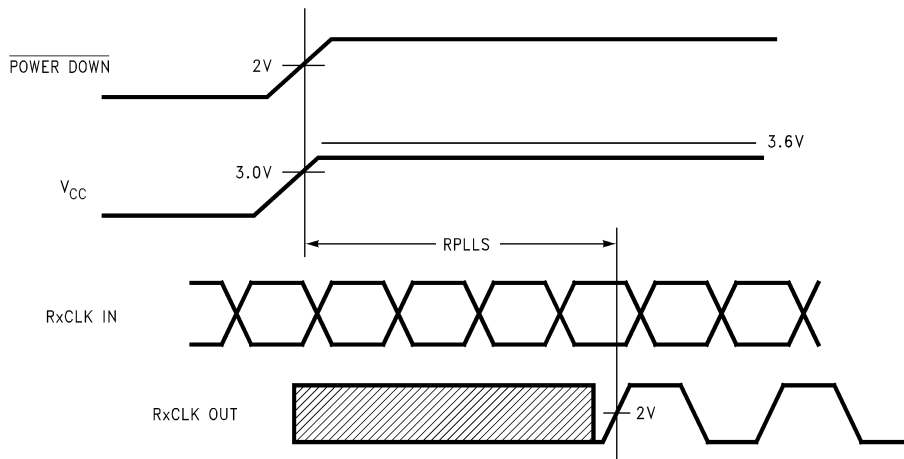


FIGURE 7. DS90CF384A/DS90CF364A (Receiver) Phase Lock Loop Set Time

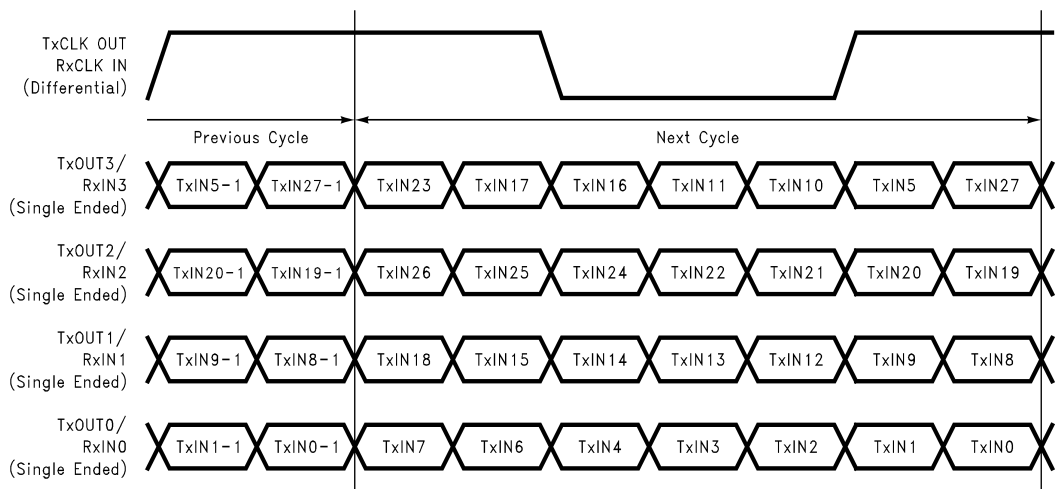


FIGURE 8. 28 Parallel TTL Data Inputs Mapped to LVDS Outputs - DS90CF384A

AC タイミング図 (つづき)

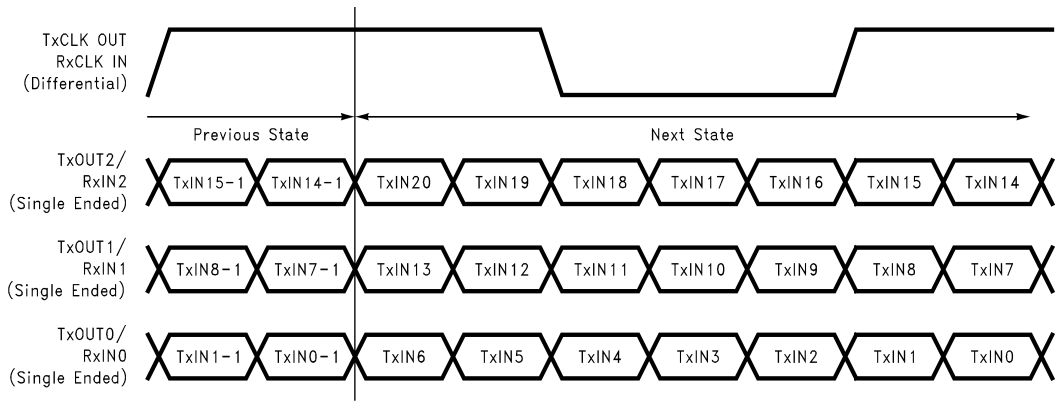


FIGURE 9. 21 Parallel TTL Data Inputs Mapped to LVDS Outputs - DS90CF364A

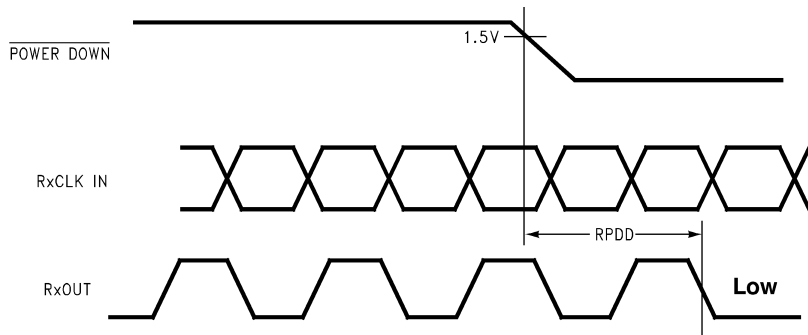


FIGURE 10. DS90CF384A/DS90CF364A (Receiver) Power Down Delay



AC タイミング図 (つづき)

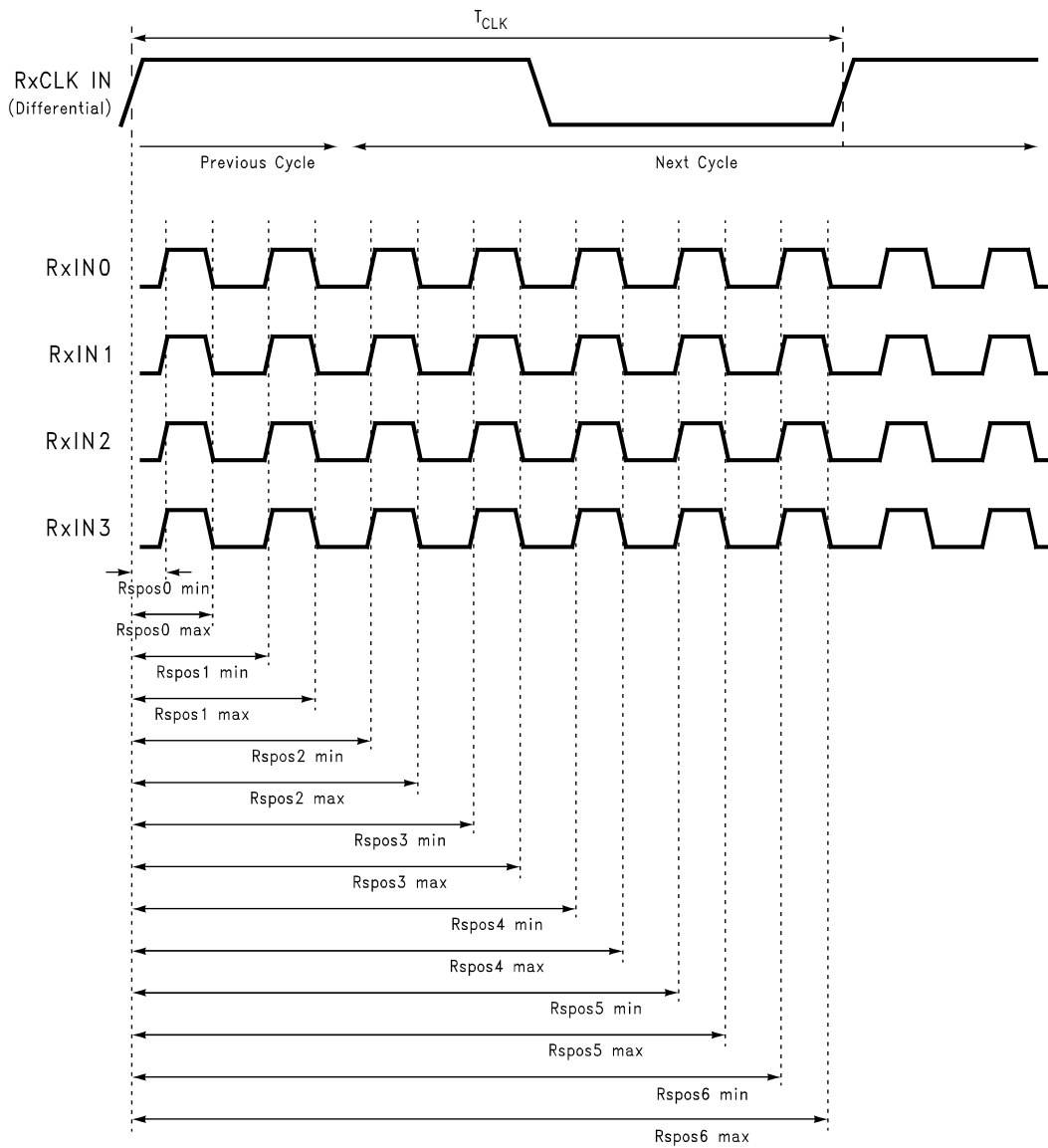


FIGURE 11. DS90CF384A (Receiver) LVDS Input Strobe Position

AC タイミング図 (つづき)

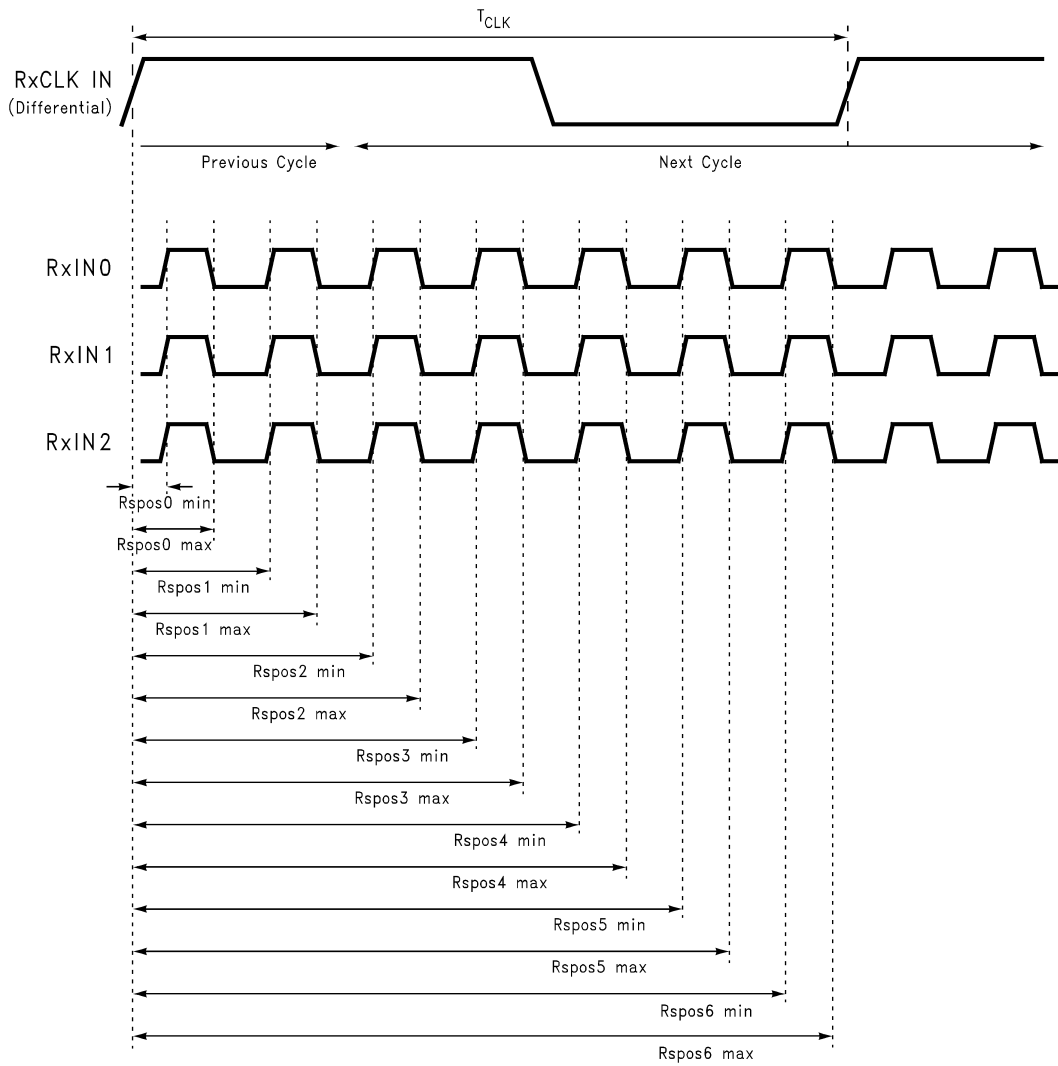
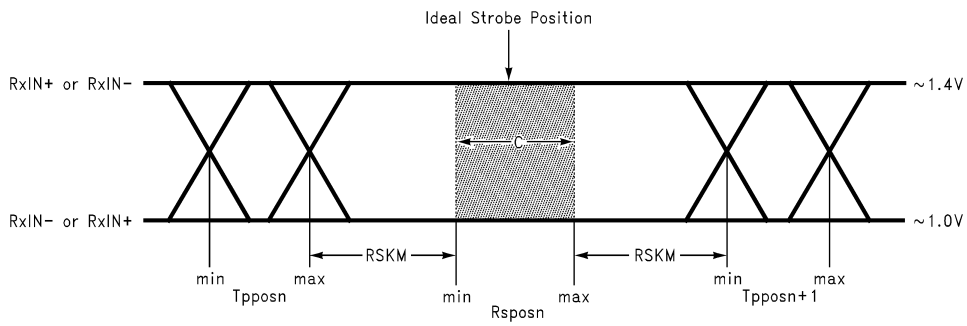


FIGURE 12. DS90CF364A (Receiver) LVDS Input Strobe Position

AC タイミング図 (つづき)



C セットアップ / ホールド・タイム ( 内部のデータ・サンプリング枠 ) は  $R_{spostn}$  ( レシーバ入力ストロブ・ポジション ) min と max により定義されます。

$T_{pposn}$  トランスミッタ出力パルス・ポジション ( min と max )

$RSKM$  ケーブル・スキュー ( タイプと長さによって異なります ) + ソース・クロック・ジッタ ( 連続する 2 クロック間 ) + ISI ( 符号間干渉 ) (Note 10)

ケーブル・スキュー 通常 10 ~ 40ps/300mm、ケーブルにより異なります。

**Note 9:** 65MHz 動作時のジッタは 250ps 以下にしてください。

**Note 10:** ISI は内部配線長によって異なります。通常は 0 です。

FIGURE 13. Receiver LVDS Input Skew Margin

**DS90CF384A** ピン説明 **56** ピン TSSOP パッケージ **24-Bit FPD Link** レシーバ

ピン名	I/O	No.	説明
RxIN +	I	4	正の LVDS 差動データ入力
RxIN -	I	4	負の LVDS 差動データ入力
RxOUT	O	28	TTL レベルデータ出力。これには、8 ビットの Red、8 ビットの Green、8 ビットの Blue、および 3 ビットの制御信号 FPLINE、FPFRAME、DRDY(HSYNC、VSYNC、Data Enable) が含まれます。
RxCLK IN +	I	1	正の LVDS 差動クロック入力
RxCLK IN -	I	1	負の LVDS 差動クロック入力
RxCLK OUT	O	1	TTL レベルのクロック出力。立ち下がりエッジがデータ取り込みに使用されます。
$\overline{\text{PWR DOWN}}$	I	1	TTL レベル入力。入力が Low が入力されると、レシーバ出力は Low になります。
V <sub>CC</sub>	I	4	TTL 出力用の電源ピン
GND	I	5	TTL 出力用のグラウンド・ピン
PLL V <sub>CC</sub>	I	1	PLL 用の電源ピン
PLL GND	I	2	PLL 用のグラウンド・ピン
LVDS V <sub>CC</sub>	I	1	LVDS 入力用の電源ピン
LVDS GND	I	3	LVDS 入力用のグラウンド・ピン

**DS90CF364A** ピン説明 **48** ピン TSSOP パッケージ **18-Bit FPD-Link** レシーバ

ピン名	I/O	No.	説明
RxIN +	I	3	正の LVDS 差動データ入力
RxIN -	I	3	負の LVDS 差動データ入力
RxOUT	O	21	TTL レベル・データ出力。これには、6 ビットの Red、6 ビットの Green、6 ビットの Blue、および 3 ビットの制御信号 FPLINE、FPFRAME、DRDY(HSYNC、VSYNC、Data Enable) が含まれます。
RxCLK IN +	I	1	正の LVDS 差動クロック入力
RxCLK IN -	I	1	負の LVDS 差動クロック入力
RxCLK OUT	O	1	TTL レベルのクロック出力。立ち下がりエッジがデータ取り込みに使用されます。
$\overline{\text{PWR DOWN}}$	I	1	TTL レベル入力。入力が Low が入力されると、レシーバ出力は Low になります。
V <sub>CC</sub>	I	4	TTL 出力用の電源ピン
GND	I	5	TTL 出力用のグラウンド・ピン
PLL V <sub>CC</sub>	I	1	PLL 用の電源ピン
PLL GND	I	2	PLL 用のグラウンド・ピン
LVDS V <sub>CC</sub>	I	1	LVDS 入力用の電源ピン
LVDS GND	I	3	LVDS 入力用のグラウンド・ピン

## DS90CF384A ピン説明 64 ピン FBGA パッケージ FPD-Link レシーバ

ピン名	I/O	No.	説明
RxIN +	I	4	正の LVDS 差動データ入力
RxIN -	I	4	負の LVDS 差動データ入力
RxOUT	O	28	TTL レベル出力。これには、8 ビットの Red、8 ビットの Green、8 ビットの Blue、および 4 ビットの制御信号 FPLINE、FPFRAME、DRDY(HSYNC、VSYNC、Data Enable、他)が含まれます。
RxCLK IN +	I	1	正の LVDS 差動クロック入力
RxCLK IN -	I	1	負の LVDS 差動クロック入力
RxCLK OUT	O	1	TTL レベルのクロック出力。立ち下がりエッジがデータ取り込みに使用されます。FPSHIFT OUT と表記されます。
PWR DOWN	I	1	TTL レベル入力。入力が Low が入力されると、レシーバ出力は、Low になります。
V <sub>CC</sub>	I	4	TTL 出力用の電源ピン
GND	I	5	TTL 出力用のグラウンド・ピン
PLL V <sub>CC</sub>	I	1	PLL 用の電源ピン
PLL GND	I	2	PLL 用のグラウンド・ピン
LVDS V <sub>CC</sub>	I	1	LVDS 入力用の電源ピン
LVDS GND	I	3	LVDS 入力用のグラウンド・ピン
NC		6	未接続ピン

## DS90CF384A ピン説明 64 ピン FBGA パッケージ FPD-Link レシーバ

By Pin			By Pin Type		
Pin	Pin Name	Type	Pin	Pin Name	Type
A1	RxOUT17	O	A4	GND	G
A2	VCC	P	B1	GND	G
A3	RxOUT15	O	B6	GND	G
A4	GND	G	D8	GND	G
A5	RxOUT12	O	E3	GND	G
A6	RxOUT8	O	E5	LVDS GND	G
A7	RxOUT7	O	G3	LVDS GND	G
A8	RxOUT6	O	G7	LVDS GND	G
B1	GND	G	H5	LVDS GND	G
B2	NC		F6	PLL GND	G
B3	RxOUT16	O	G8	PLL GND	G
B4	RxOUT11	O	E6	PWR DWN	I
B5	VCC	P	H6	RxCLKIN-	I
B6	GND	G	H7	RxCLKIN+	I
B7	RxOUT5	O	H2	RxIN0-	I
B8	RxOUT3	O	H3	RxIN0+	I
C1	RxOUT21	O	F4	RxIN1-	I
C2	NC		G4	RxIN1+	I
C3	RxOUT18	O	G5	RxIN2-	I
C4	RxOUT14	O	F5	RxIN2+	I
C5	RxOUT9	O	G6	RxIN3-	I
C6	RxOUT4	O	H8	RxIN3+	I
C7	NC		E7	RxCLKOUT	O
C8	RxOUT1	O	E8	RxOUT0	O
D1	VCC	P	C8	RxOUT1	O
D2	RxOUT20	O	D5	RxOUT10	O

## DS90CF384A ピン説明 64 ピン FBGA パッケージ FPD-Link レシーバ(つづき)

By Pin			By Pin Type		
D3	RxOUT19	O	B4	RxOUT11	O
D4	RxOUT13	O	A5	RxOUT12	O
D5	RxOUT10	O	D4	RxOUT13	O
D6	VCC	P	C4	RxOUT14	O
D7	RxOUT2	O	A3	RxOUT15	O
D8	GND	G	B3	RxOUT16	O
E1	RxOUT22	O	A1	RxOUT17	O
E2	RxOUT24	O	C3	RxOUT18	O
E3	GND	G	D3	RxOUT19	O
E4	LVDS VCC	P	D7	RxOUT2	O
E5	LVDS GND	G	D2	RxOUT20	O
E6	PWR DWN	I	C1	RxOUT21	O
E7	RxCLKOUT	O	E1	RxOUT22	O
E8	RxOUT0	O	F1	RxOUT23	O
F1	RxOUT23	O	E2	RxOUT24	O
F2	RxOUT26	O	G1	RxOUT25	O
F3	NC		F2	RxOUT26	O
F4	RxIN1-	I	H1	RxOUT27	O
F5	RxIN2+	I	B8	RxOUT3	O
F6	PLL GND	G	C6	RxOUT4	O
F7	PLL VCC	P	B7	RxOUT5	O
F8	NC		A8	RxOUT6	O
G1	RxOUT25	O	A7	RxOUT7	O
G2	NC		A6	RxOUT8	O
G3	LVDS GND	G	C5	RxOUT9	O
G4	RxIN1+	I	E4	LVDS VCC	P
G5	RxIN2-	I	H4	LVDS VCC	P
G6	RxIN3-	I	F7	PLL VCC	P
G7	LVDS GND	G	A2	VCC	P
G8	PLL GND	G	B5	VCC	P
H1	RxOUT27	O	D1	VCC	P
H2	RxIN0-	I	D6	VCC	P
H3	RxIN0+	I	B2	NC	
H4	LVDS VCC	P	C2	NC	
H5	LVDS GND	G	C7	NC	
H6	RxCLKIN-	I	F3	NC	
H7	RxCLKIN+	I	F8	NC	
H8	RxIN3+	I	G2	NC	

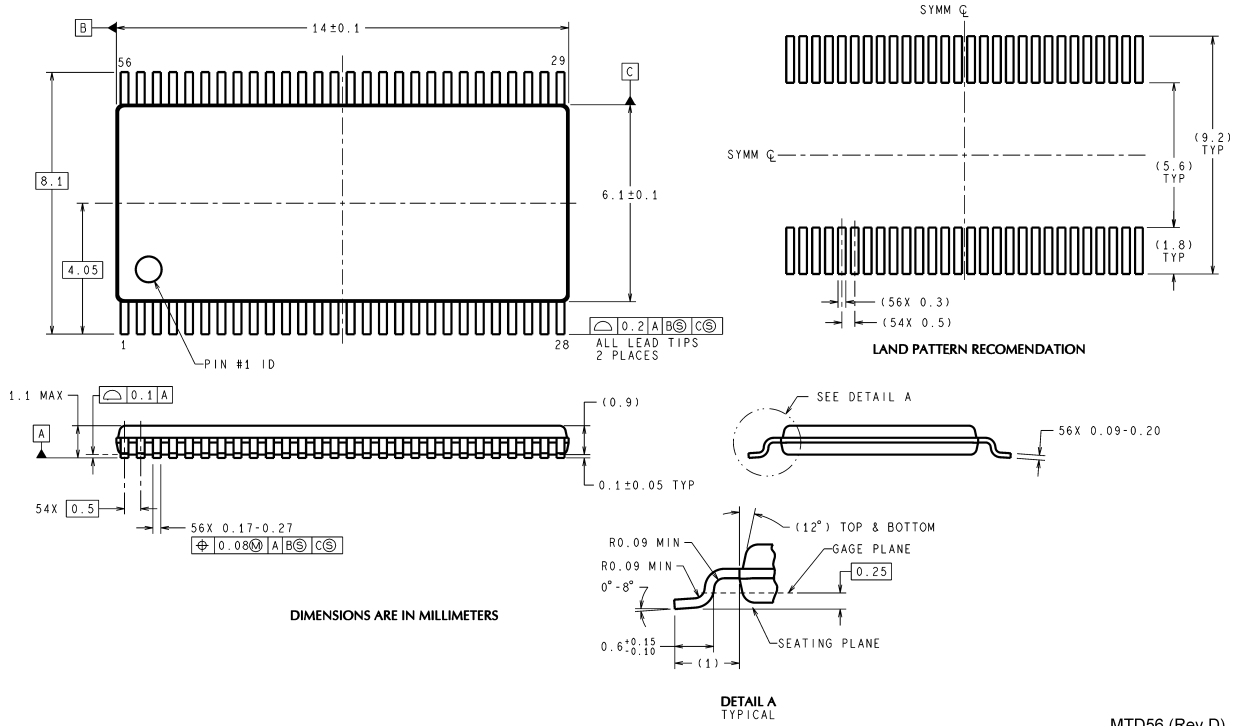
G: グラウンド  
I: 入力  
O: 出力  
P: 電源  
NC: 未接続

ピン配置図 (TSSOP パッケージ)

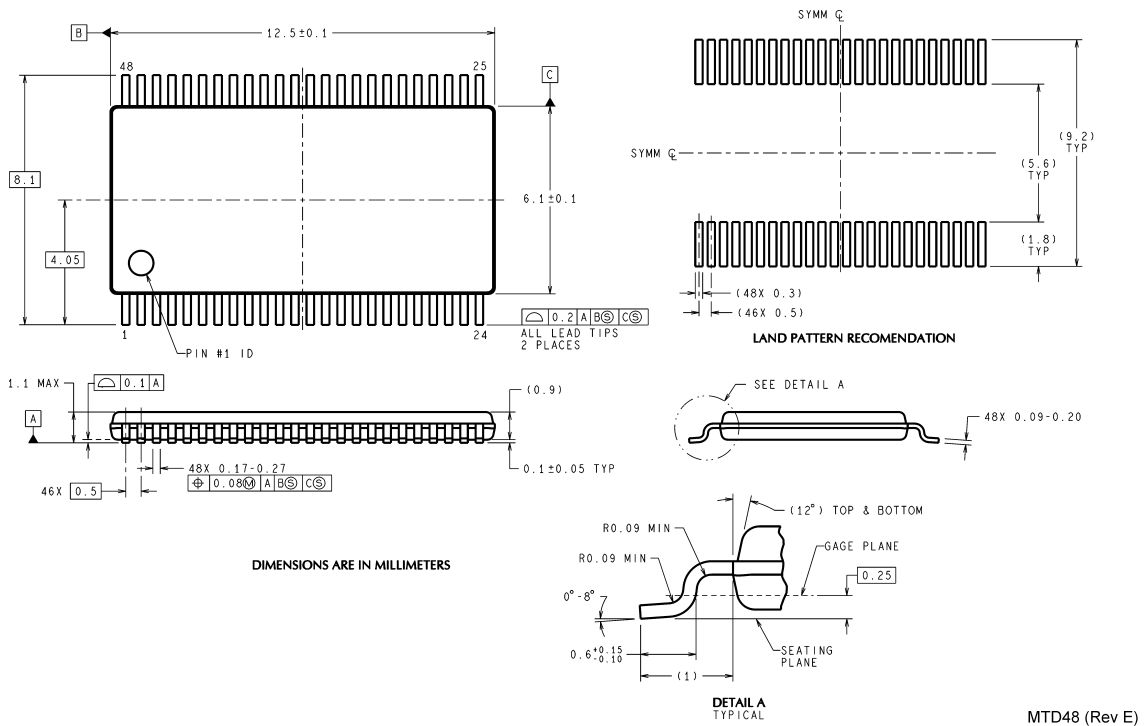
DS90CF384A	
RxOUT22	1
RxOUT23	2
RxOUT24	3
GND	4
RxOUT25	5
RxOUT26	6
RxOUT27	7
LVDS GND	8
RxIN0-	9
RxIN0+	10
RxIN1-	11
RxIN1+	12
LVDS V <sub>CC</sub>	13
LVDS GND	14
RxIN2-	15
RxIN2+	16
RxIN3-	17
RxIN3+	18
LVDS GND	19
PLL GND	20
PLL V <sub>CC</sub>	21
PLL GND	22
PWR DWN	23
RxCLK OUT	24
RxOUT0	25
GND	26
	27
	28
	29
	30
	31
	32
	33
	34
	35
	36
	37
	38
	39
	40
	41
	42
	43
	44
	45
	46
	47
	48
	49
	50
	51
	52
	53
	54
	55
	56

DS90CF364A	
RxOUT17	1
RxOUT18	2
GND	3
RxOUT19	4
RxOUT20	5
N/C	6
LVDS GND	7
RxIN0-	8
RxIN0+	9
RxIN1-	10
RxIN1+	11
LVDS V <sub>CC</sub>	12
LVDS GND	13
RxIN2-	14
RxIN2+	15
RxCLK IN-	16
RxCLK IN+	17
LVDS GND	18
PLL GND	19
PLL V <sub>CC</sub>	20
PLL GND	21
PWR DWN	22
RxCLK OUT	23
RxOUT0	24
	25
	26
	27
	28
	29
	30
	31
	32
	33
	34
	35
	36
	37
	38
	39
	40
	41
	42
	43
	44
	45
	46
	47
	48

外形寸法図 単位は millimeters



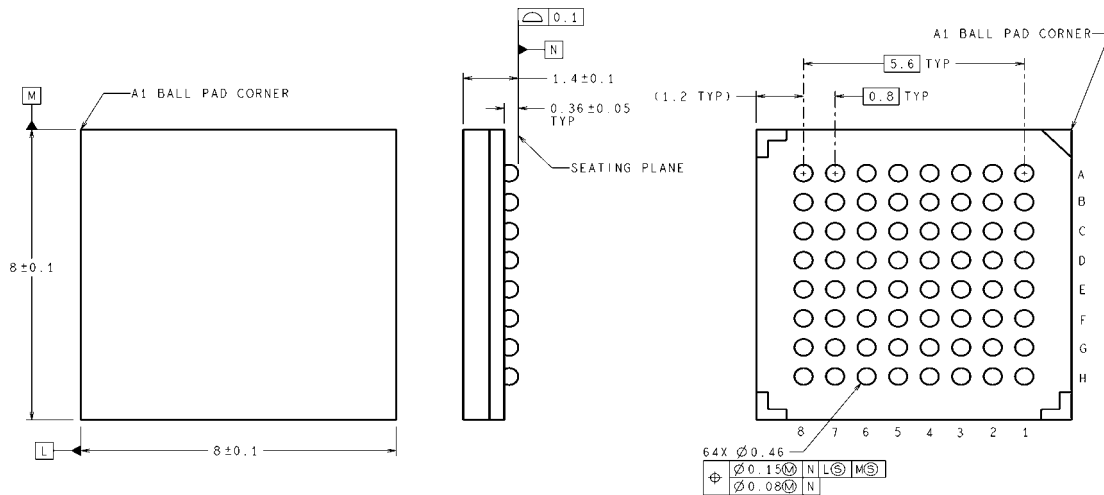
**56-Lead Molded Thin Shrink Small Outline Package, JEDEC**  
**Dimensions shown in millimeters only**  
**Order Number DS90CF384AMTDNS**  
**Package Number MTD56**



**48-Lead Molded Thin Shrink Small Outline Package, JEDEC**  
**Dimensions shown in millimeters only**  
**Order Number DS90CF364AMTD**  
**NS Package Number MTD48**



外形寸法図 単位は millimeters ( つぎ )



DIMENSIONS ARE IN MILLIMETERS

SLC64A (Rev C)

**64 ball, 0.8mm Fine Pitch Ball Grid Array (FBGA) Package**  
 Dimensions shown in millimeters only  
 Order Number DS90CF384ASLC  
 NS Package Number SLC64A

このドキュメントの内容はナショナル セミコンダクター 社製品の関連情報として提供されます。ナショナル セミコンダクター 社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター 社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター 社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター 社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター 社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター 社との取引条件で規定される場合を除き、ナショナル セミコンダクター 社は一切の義務を負わないものとし、また、ナショナル セミコンダクター 社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

**生命維持装置への使用について**

ナショナル セミコンダクター 社の製品は、ナショナル セミコンダクター 社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクター のロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2007 National Semiconductor Corporation  
 製品の最新情報については [www.national.com](http://www.national.com) をご覧ください。

**ナショナル セミコンダクター ジャパン株式会社**

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 ( 日本語 / 英語 ) はホームページより入手可能です。

[www.national.com/jpn/](http://www.national.com/jpn/)

# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されてもありません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されてもありません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上