

# **DS90C387,DS90CF388**

*DS90C387/DS90CF388 Dual Pixel LVDS Display Interface (LDI)-SVGA/QXGA*



Literature Number: JAJ574



## DS90C387/DS90CF388

### SVGA/QXGA 対応デュアル・ピクセル LVDS ディスプレイ・インタフェース (LDI)

#### 概要

DS90C387/DS90CF388 は、最高 QXGA までの解像度を持つフラットパネル・ディスプレイとホスト・マシンの間で、デュアル・ピクセルでのデータ伝送をサポートするトランスミッタ/レシーバのペアです。トランスミッタは、48 ビットの CMOS/TTL データ (24 ビット・カラーの 2 ピクセル分) を、高速な 8 ペアの LVDS (低電圧差動シグナリング) シリアル・データ列に変換します。また制御信号 (VSYNC、HSYNC、DE、2 つのユーザー定義信号) をブランキング期間中に伝送します。112MHz デュアル・ピクセルの最大伝送レートでは、LVDS データ・ライン伝送レートは 672Mbps となり、総スレーブットは 5.38Gbps (672MB/sec) です。また、ほかに 2 つのモードをサポートしています。1 つは 24 ビット・カラー・データ (シングル・ピクセル) を最大 170MHz でトランスミッタに取り込みます。このモードでは、トランスミッタでシングル・ピクセルをデュアル・ピクセルに変換し、LVDS クロック出力の周波数は最大 85MHz となります。もう 1 つの動作モードは、従来の FPD-Link デバイスとの相互接続です。

以前の FPD-Link デバイスに比べ、この LDI (LVDS ディスプレイ・インタフェース) チップセットは 3 つの点を改良することにより、高い帯域幅をサポートし、長いケーブルをドライブできるようになりました。帯域幅を上げるために、最大ピクセル・クロック周波数を 112MHz (170MHz) に上げ、8 ペアのシリアル LVDS 出力を備えました。まず、ユーザーが選択可能なプリエンファシス機能を設けて信号遷移時の LVDS 駆動電流を増やし、ケーブル負荷の影響を打ち消してドライブ能力を高めています。次に、サイクルごとの DC バランスを行って符合間干渉 (ISI) を低減しています。プリエンファシスと DC バランスによって、ケーブル端のレシーバで、歪みの小さいアイ・パターンを得られます。最後に、ケーブル・デスクュー機能が長いケーブルにおけるペア間スキューを ± 1LVDS データ・ビット幅 (クロック周波数 80MHz 以下) まで吸収します。以上の 3 項目の改良により、5m 以上のケーブルをドライブできるようになりました。このチップセットは、高解像度のフラットパネル・ディスプレイ・アプリケーションで、EMI とケーブル長の問題を解決できる理想的な手段といえます。データ・ビット幅を確保しながら

高解像度パネルに必要な帯域幅を提供する一方で、EMI とシールド要求を軽減するためにクロック周波数を低く保てる、LVDS 技術に基づく信頼性の高いインタフェースを提供します。詳細は「アプリケーション情報」を参照してください。

#### 特長

デジタル・ディスプレイ・インタフェースである OpenLDI 仕様に準拠

DS90C387 では 32.5MHz ~ 112MHz (170MHz) のクロック周波数に対応、DS90CF388 では 40 ~ 112MHz のクロック周波数に対応

SVGA から QXGA までの解像度に対応

低コストな長いケーブルをドライブ可能

最大帯域幅 5.38Gbps

ケーブル負荷の影響を低減するプリエンファシス

符合間干渉を低減するトランスミッタからの DC バランス・データ転送

ケーブル・デスクュー機能: レシーバ入力での ± 1LVDS データ・ビット幅 (クロック周波数 80MHz 以下) までのペア間スキューを吸収、ペア内スキュー 300ps 許容

GUI コントローラおよびタイミング・コントローラとのインタフェースをサポートするデュアル・ピクセル・モード、シングル・ピクセル GUI インタフェースをサポートするシングル・ピクセル・モード

サイクルごとのジッタを低減するトランスミッタ

5V 耐圧のデータと制御入力ピン

データおよび制御信号に対するストロブ・エッジを設定可能 (立ち上がりまたは立ち下がり)

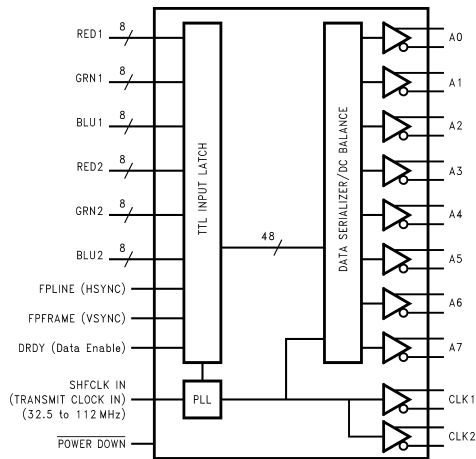
FPD-Link との下位互換の構成が設定可能

FPD-Link 下位互換のための第 2LVDS クロック

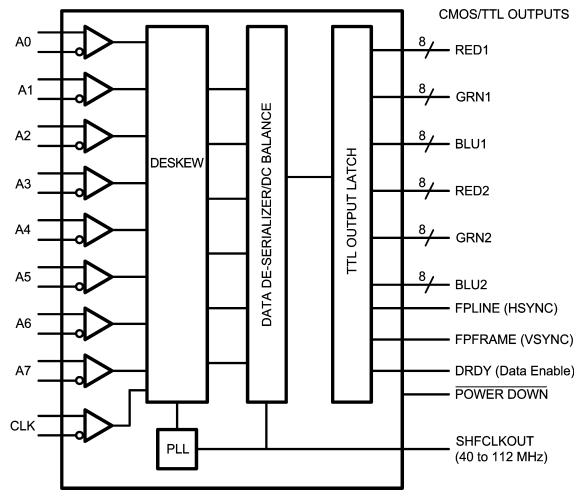
DC バランス・モードでの 2 つのユーザー定義信号

ANSI/TIA/EIA-644-1995 LVDS 標準互換

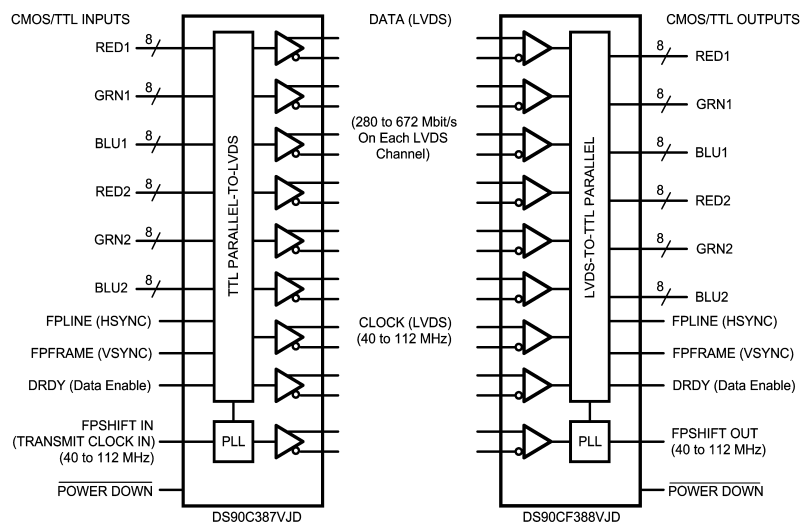
トランスミッタ・ブロック図



レシーバ・ブロック図



一般的なブロック図



### 絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。  
関連する電氣的信頼性試験方法の規格を参照ください。

電源電圧 (V <sub>CC</sub> )	- 0.3V ~ + 4V
CMOS/TTL 入力電圧	- 0.3V ~ + 5.5V
CMOS/TTL 出力電圧	- 0.3V ~ (V <sub>CC</sub> + 0.3V)
LVDS レシーバ入力電圧	- 0.3V ~ + 3.6V
LVDS ドライバ出力電圧	- 0.3V ~ + 3.6V
LVDS 出力短絡時間	連続
接合部温度	+ 150
保存温度範囲	- 65 ~ + 150
リード温度 (ハンダ付け、4 秒)	+ 260

パッケージ最大許容消費電力 (25 °C)

100 TQFP パッケージ

DS90C387	2.8W
DS90CF388	2.8W

パッケージ・デレーティング

DS90C387	25	以上で 18.2mW/
DS90CF388	25	以上で 18.2mW/

ESD 耐圧

DS90C387	(人体モデル、1.5k $\Omega$ 、100pF)	> 6kV
	(EIAJ、0 $\Omega$ 、200pF)	> 300V
DS90CF388	(人体モデル、1.5k $\Omega$ 、100pF)	> 2kV
	(EIAJ、0 $\Omega$ 、200pF)	> 200V

### 推奨動作条件

	最小値	代表値	最大値	単位
電源電圧 (V <sub>CC</sub> )	3.0	3.3	3.6	V
動作温度範囲 (T <sub>A</sub> )	- 10	+ 25	+ 70	
レシーバ入力電圧	0		2.4	V
電源電圧ノイズ (V <sub>CC</sub> )			100	mV <sub>p-p</sub>

### 電氣的特性

特記のない限り、推奨動作条件での電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
<b>CMOS/TTL DC SPECIFICATIONS (Tx inputs, Rx outputs, control inputs and outputs)</b>						
V <sub>IH</sub>	High Level Input Voltage		2.0		5.0	V
V <sub>IL</sub>	Low Level Input Voltage		GND		0.8	V
V <sub>OH</sub>	High Level Output Voltage	I <sub>OH</sub> = -0.4 mA	2.7	2.9		V
		I <sub>OH</sub> = -2 mA	2.7	2.85		V
V <sub>OL</sub>	Low Level Output Voltage	I <sub>OL</sub> = 2 mA		0.1	0.3	V
V <sub>CL</sub>	Input Clamp Voltage	I <sub>CL</sub> = -18 mA		-0.79	-1.5	V
I <sub>IN</sub>	Input Current	V <sub>IN</sub> = 0.4V, 2.5V or V <sub>CC</sub>		+1.8	+15	$\mu$ A
		V <sub>IN</sub> = GND	-15	0		$\mu$ A
I <sub>OS</sub>	Output Short Circuit Current	V <sub>OUT</sub> = 0V			-120	mA
<b>LVDS DRIVER DC SPECIFICATIONS</b>						
V <sub>OD</sub>	Differential Output Voltage	R <sub>L</sub> = 100 $\Omega$	250	345	450	mV
$\Delta$ V <sub>OD</sub>	Change in V <sub>OD</sub> between Complimentary Output States				35	mV
V <sub>OS</sub>	Offset Voltage		1.125	1.25	1.375	V
$\Delta$ V <sub>OS</sub>	Change in V <sub>OS</sub> between Complimentary Output States				35	mV
I <sub>OS</sub>	Output Short Circuit Current	V <sub>OUT</sub> = 0V, R <sub>L</sub> = 100 $\Omega$		-3.5	-10	mA
I <sub>OZ</sub>	Output TRI-STATE® Current	$\overline{PD}$ = 0V, V <sub>OUT</sub> = 0V or V <sub>CC</sub>		$\pm$ 1	$\pm$ 10	$\mu$ A
<b>LVDS RECEIVER DC SPECIFICATIONS</b>						
V <sub>TH</sub>	Differential Input High Threshold	V <sub>CM</sub> = +1.2V			+100	mV
V <sub>TL</sub>	Differential Input Low Threshold		-100			mV
I <sub>IN</sub>	Input Current	V <sub>IN</sub> = +2.4V, V <sub>CC</sub> = 3.6V			$\pm$ 10	$\mu$ A
		V <sub>IN</sub> = 0V, V <sub>CC</sub> = 3.6V			$\pm$ 10	$\mu$ A

## 電气的特性 (つづき)

特記のない限り、推奨動作条件での電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units	
<b>TRANSMITTER SUPPLY CURRENT</b>							
ICCTW	Transmitter Supply Current Worst Case	$R_L = 100\Omega$ , $C_L = 5$ pF, Worst Case Pattern (Figures 1, 3) , DUAL=High (48-bit RGB), BAL=High (enabled)	$f = 32.5$ MHz		91.4	140	mA
			$f = 65$ MHz		106	160	mA
			$f = 85$ MHz		135	183	mA
			$f = 112$ MHz		155	210	mA
ICCTG	Transmitter Supply Current 16 Grayscale	$R_L = 100\Omega$ , $C_L = 5$ pF, 16 Grayscale Pattern (Figures 2, 3) , DUAL=High (48-bit RGB), BAL=High (enabled)	$f = 32.5$ MHz		62.6	120	mA
			$f = 65$ MHz		84.4	130	mA
			$f = 85$ MHz		89.0	145	mA
			$f = 112$ MHz		94.5	155	mA
ICCTZ	Transmitter Supply Current Power Down	$\overline{PD} = \text{Low}$ Driver Outputs in TRI-STATE under Powerdown Mode		4.8	50	$\mu\text{A}$	
<b>RECEIVER SUPPLY CURRENT</b>							
ICCRW	Receiver Supply Current Worst Case	$C_L = 8$ pF, Worst Case Pattern (Figures 1, 4) , DUAL (48-bit RGB), BAL=High (enabled)	$f = 40$ MHz		125	160	mA
			$f = 65$ MHz		200	250	mA
			$f = 85$ MHz		240	275	mA
			$f = 112$ MHz		250	300	mA
ICCRG	Receiver Support Current 16 Grayscale	$C_L = 8$ pF, 16 Grayscale Pattern (Figures 2, 4) , DUAL (48-bit RGB), BAL=High (enabled)	$f = 40$ MHz		60	95	mA
			$f = 65$ MHz		95	125	mA
			$f = 85$ MHz		115	150	mA
			$f = 112$ MHz		150	270	mA
ICCRZ	Receiver Supply Current Power Down	$\overline{PD} = \text{Low}$ Receiver Outputs stay low during Powerdown mode.		255	300	$\mu\text{A}$	

**Note 1:** 「絶対最大定格」を超えてデバイスを動作させた場合、安全性は保証されません。また、絶対最大定格の上限または下限でデバイスを動作させるべきであることを示しているわけではありません。デバイスの動作条件は「電气的特性」の各表により規定されています。

**Note 2:** Typ 値は  $V_{CC} = 3.3\text{V}$ 、 $T_A = +25$  の時です。

**Note 3:** デバイス・ピンに流れ込む電流を正と定義し、デバイス・ピンから流れ出る電流を負と定義しています。電圧は、差動電圧である  $V_{OD}$ 、 $V_{OD}$  および特記のある場合を除いてグラウンド基準です。

### 推奨トランスミッタ入力特性

特記のない限り、推奨動作条件での電源電圧および温度範囲に適用。

Symbol	Parameter	Min	Typ	Max	Units	
TCIT	TxCLK IN Transition Time (Figure 5)	DUAL=Gnd or Vcc	1.0	2.0	3.0	ns
		DUAL=1/2Vcc	1.0	1.5	1.7	ns
TCIP	TxCLK IN Period (Figure 6)	DUAL=Gnd or Vcc	8.928	T	30.77	ns
		DUAL=1/2Vcc	5.88		15.38	ns
TCIH	TxCLK in High Time (Figure 6)	0.35T	0.5T	0.65T	ns	
TCIL	TxCLK in Low Time (Figure 6)	0.35T	0.5T	0.65T	ns	
TXIT	TxIN Transition Time	1.5		6.0	ns	

### トランスミッタ・スイッチング特性

特記のない限り、推奨動作条件での電源電圧および温度範囲に適用。

Symbol	Parameter	Min	Typ	Max	Units	
LLHT	LVDS Low-to-High Transition Time (Figure 3), PRE = 0.75V (disabled)		0.14	0.7	ns	
			0.11	0.6	ns	
LHLT	LVDS High-to-Low Transition Time (Figure 3), PRE = 0.75V (disabled)		0.16	0.8	ns	
			0.11	0.7	ns	
TBIT	Transmitter Output Bit Width	DUAL=Gnd or Vcc		1/7 TCIP	ns	
		DUAL=1/2Vcc		2/7 TCIP	ns	
TPPOS	Transmitter Pulse Positions - Normalized	f = 33 to 70 MHz	-250	0	+250	ps
		f = 70 to 112 MHz	-200	0	+200	ps
TCCS	TxOUT Channel to Channel Skew		100		ps	
TSTC	TxIN Setup to TxCLK IN (Figure 6)	2.7			ns	
THTC	TxIN Hold to TxCLK IN (Figure 6)	0			ns	
TJCC	Transmitter Jitter Cycle-to-cycle (Figures 14, 15) (Note 5), DUAL=Vcc	f = 112 MHz		85	100	ps
		f = 85 MHz		60	75	ps
		f = 65 MHz		70	80	ps
		f = 56 MHz		100	120	ps
		f = 32.5 MHz		75	110	ps
TPLLS	Transmitter Phase Lock Loop Set (Figure 8)			10	ms	
TPDD	Transmitter Powerdown Delay (Figure 10)			100	ns	

### レシーバ・スイッチング特性

特記のない限り、推奨動作条件での電源電圧および温度範囲に適用。

Symbol	Parameter	Min	Typ	Max	Units
CLHT	CMOS/TTL Low-to-High Transition Time (Figure 4), Rx data out		1.52	2.0	ns
	CMOS/TTL Low-to-High Transition Time (Figure 4), Rx clock out		0.5	1.0	ns
CHLT	CMOS/TTL High-to-Low Transition Time (Figure 4), Rx data out		1.7	2.0	ns
	CMOS/TTL High-to-Low Transition Time (Figure 4), Rx clock out		0.5	1.0	ns
RCOP	RxCLK OUT Period (Figure 7)	8.928	T	25	ns
RCOH	RxCLK OUT High Time (Figure 7)(Note 4)	f = 112 MHz	3.5		ns
		f = 85 MHz	4.5		ns
RCOL	RxCLK OUT Low Time (Figure 7)(Note 4)	f = 112 MHz	3.5		ns
		f = 85 MHz	4.5		ns
RSRC	RxOUT Setup to RxCLK OUT (Figure 7)(Note 4)	f = 112 MHz	2.4		ns
		f = 85 MHz	3.0		ns
RHRC	RxOUT Hold to RxCLK OUT (Figure 7)(Note 4)	f = 112 MHz	3.4		ns
		f = 85 MHz	4.75		ns

## レシーバ・スイッチング特性 (つづき)

特記のない限り、推奨動作条件での電源電圧および温度範囲に適用。

Symbol	Parameter	Min	Typ	Max	Units
RPLLS	Receiver Phase Lock Loop Set (Figure 9)			10	ms
RPDD	Receiver Powerdown Delay (Figure 11)			1	μs

## チップセット・スイッチング特性

特記のない限り、推奨動作条件での電源電圧および温度範囲に適用 (Note 4、8)。このパラメータおよびその適用方法の詳細は「アプリケーション情報」を参照。

Symbol	Parameter	Min	Typ	Max	Units
RSKM	Receiver Skew Margin without Deskew in non-DC Balance Mode, (Figure 12), (Note 6)	f = 112 MHz	170		ps
		f = 100 MHz	170	240	ps
		f = 85MHz	300	350	ps
		f = 66MHz	300	350	ps
RSKM	Receiver Skew Margin without Deskew in DC Balance Mode, (Figure 12), (Note 6)	f = 112 MHz	170		ps
		f = 100 MHz	170	200	ps
		f = 85 MHz	250	300	ps
		f = 66 MHz	250	300	ps
		f = 50MHz	100	350	ps
		f = 40MHz	94	530	ps
RSKMD	Receiver Skew Margin with Deskew in DC Balance, (Figure 13), (Note 7)	f = 40 to 80 MHz	0.25TBIT		ps
RDR	Receiver Deskew Range	f = 80 MHz	± 1		TBIT
RDSS	Receiver Deskew Step Size	f = 80 MHz	0.3 TBIT		ns

**Note 4:** Min 値と Max 値は、電圧、温度範囲におけるデバイス性能のスタティックな解析に基づいています。このパラメータは自動テスト装置 (ATE) で機能的にテストを行っています。ATE の動作周波数は最大 85MHz です。ただし、特性評価用のサンプル・デバイスでは、ベンチ・テストで動作を確認しています。

**Note 5:** Min 値または Max 値は、電源電圧範囲におけるベンチ・テストでのジッタ応答に基づいています。出力クロック・ジッタは、データ入力がスイッチングしているときに ± 3ns のサイクル・ジッタを持つ入力クロックを用いて測定されています (Figure 15、16 参照)。この 3ns のジッタは、現在流通している多くのグラフィック VGA チップによってクロック・エッジに影響を及ぼす、比較的悪い値に相当します。このパラメータは、弊社アプリケーション・ノート AN-1059 に述べられているシステム・マージンを求めるときに使用します。

**Note 6:** レシーバ・スキュー・マージン (RSKM) は、レシーバ入力での有効なデータ・サンプリング範囲として定義されています。このマージンは、トランスミタからの出力パルス位置 (Min および Max) と、レシーバ入力でのセットアップやホールド時間を加味しています (内部のデータ・サンプリング・ウインドウ RSPOS)。このマージンにより、LVDS 配線スキューや符合間干渉 ISI (どちらもケーブル長とケーブル種に依存)、クロック・ジッタが許容されます。  
RSKM ケーブル・スキュー (ケーブル種、長さ) + ソース・クロック・ジッタ (サイクルごと、TJCC) + ISI 「アプリケーション情報」を参照。

**Note 7:** デスキュー使用時のレシーバ・スキュー・マージン (RSKMD) は、レシーバ入力での有効なデータ・サンプリング範囲として定義されています。デスキュー機能は、レシーバのサンプリング・ストロブを LVDS ビットの中央に固定して、インターコネク・スキューを除去 (調整) します。このマージン (RSKMD) により、符合間干渉 ISI (ケーブル長とケーブル種に依存)、トランスミタのパルス位置 (TPPOS)、LVDS クロック・ジッタ (TJCC) が許容されます。

RSKMD ISI + TPPOS (含む min/max 範囲内ばらつき) + ソース・クロック・ジッタ (サイクルごと)。「アプリケーション情報」を参照。

**Note 8:** RSKM と RSKMD の代表値 (typ) は、トランスミタとレシーバの  $V_{CC}$  と  $T_A$  に変動がなく、かつ  $V_{CC}$  と  $T_A$  は両デバイスでそれぞれ同一と仮定される条件に対して適用されます。

AC タイミング図

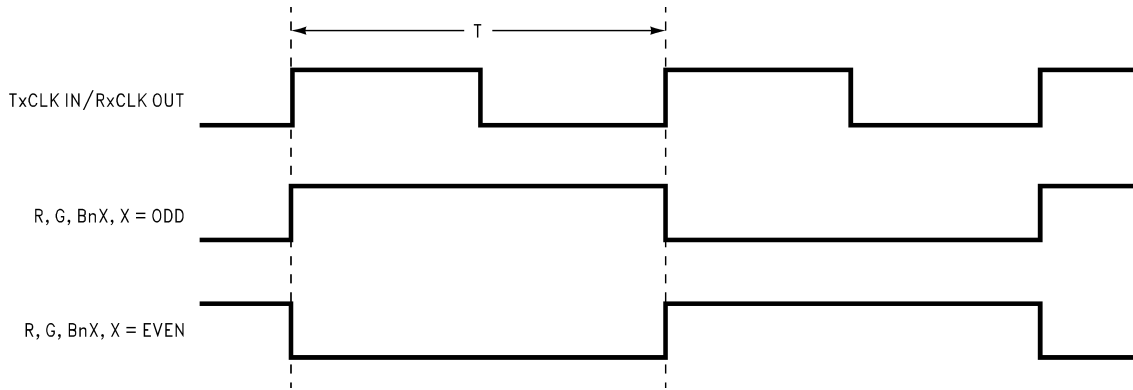


FIGURE 1. “Worst Case” Test Pattern

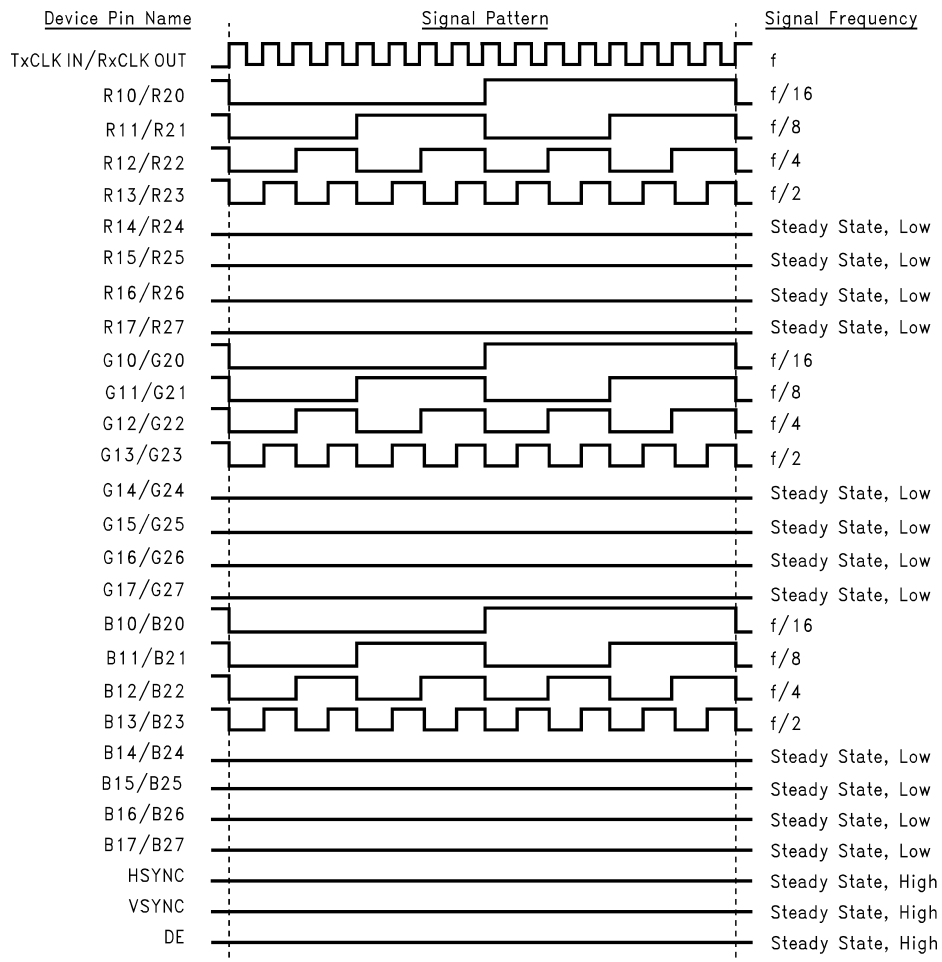


FIGURE 2. “16 Grayscale” Test Pattern (Note 9, 10, 11)

**Note 9:** ワorst・ケースのテスト・パターンは、デジタル回路、LVDS I/O、CMOS/TTL I/O を最も多くグルさせます。

**Note 10:** 16 階調テスト・パターンが、「標準的」な LCD 表示パターンでのデバイスの電力消費テストに用いられます。このテスト・パターンは、画面に 16 ラインの垂直ストライブを表示させるときに必要となる信号スイッチングに相当します。

**Note 11:** Figure 1、2 でのデータ・ストローブは、立ち下がりがエッジです (TxCLK IN/RxCLK OUT)。



AC タイミング図 (つづき)

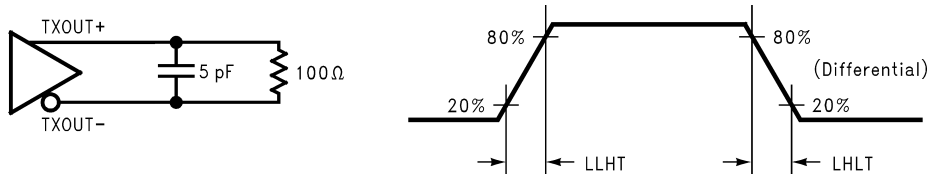


FIGURE 3. DS90C387 (Transmitter) LVDS Output Load and Transition Times



FIGURE 4. DS90CF388 (Receiver) CMOS/TTL Output Load and Transition Times

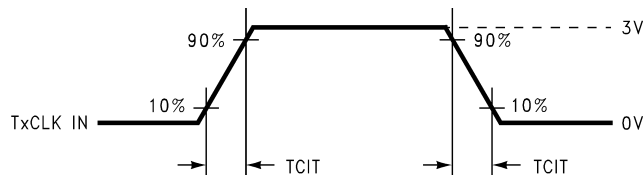


FIGURE 5. DS90C387 (Transmitter) Input Clock Transition Time

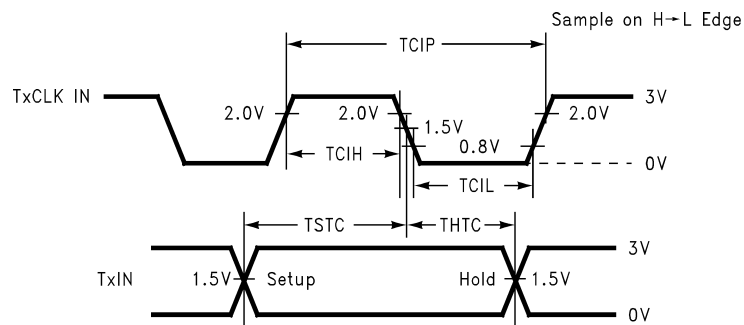


FIGURE 6. DS90C387 (Transmitter) Setup/Hold and High/Low Times (Falling Edge Strobe)

AC タイミング図 (つづき)

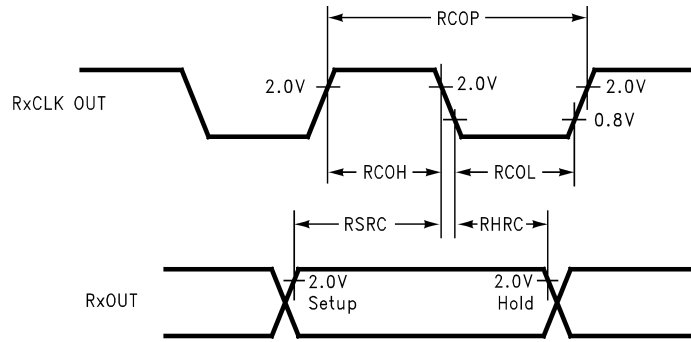


FIGURE 7. DS90CF388 (Receiver) Setup/Hold and High/Low Times

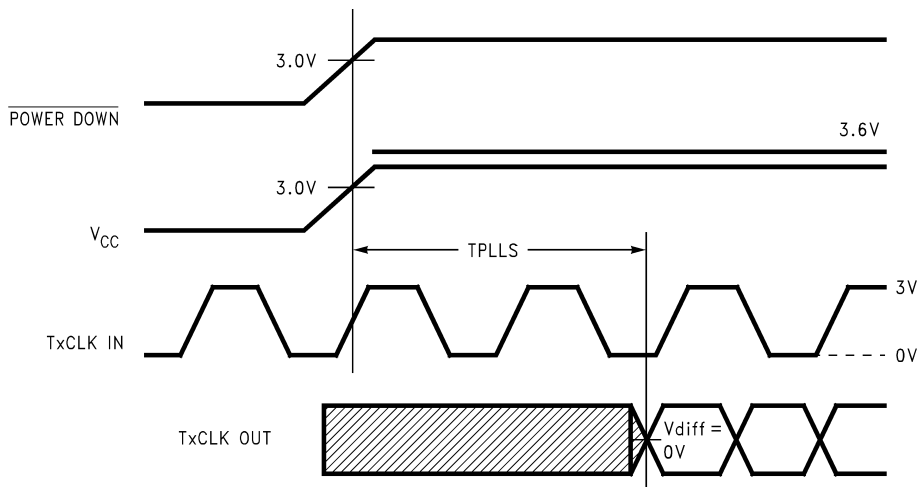


FIGURE 8. DS90C387 (Transmitter) Phase Lock Loop Set Time

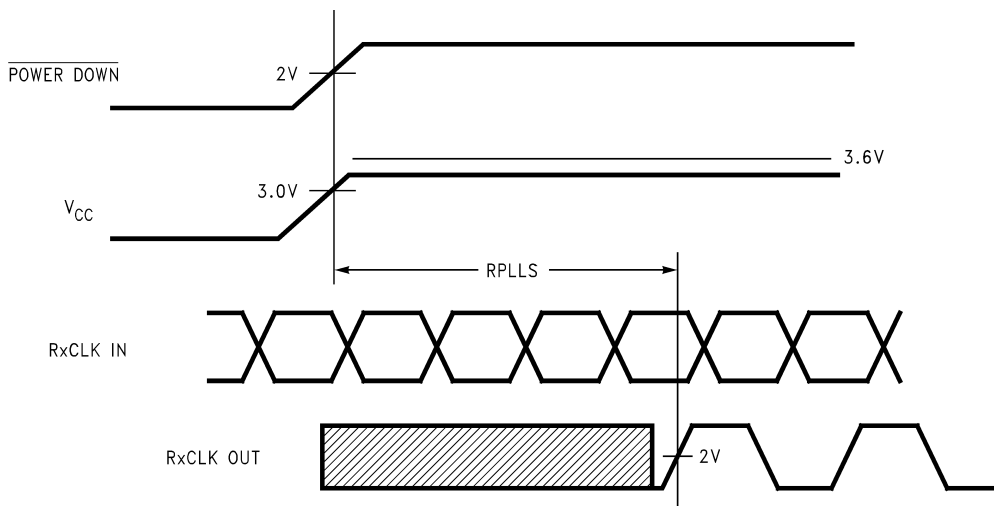


FIGURE 9. DS90CF388 (Receiver) Phase Lock Loop Set Time

AC タイミング図 (つづき)

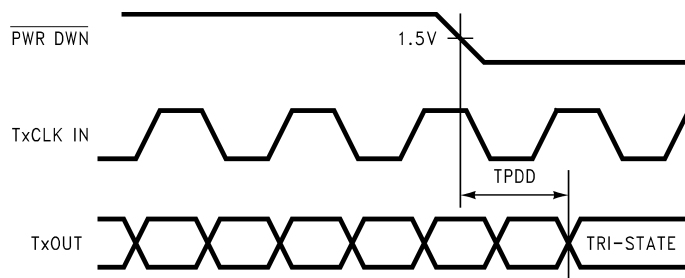


FIGURE 10. Transmitter Power Down Delay

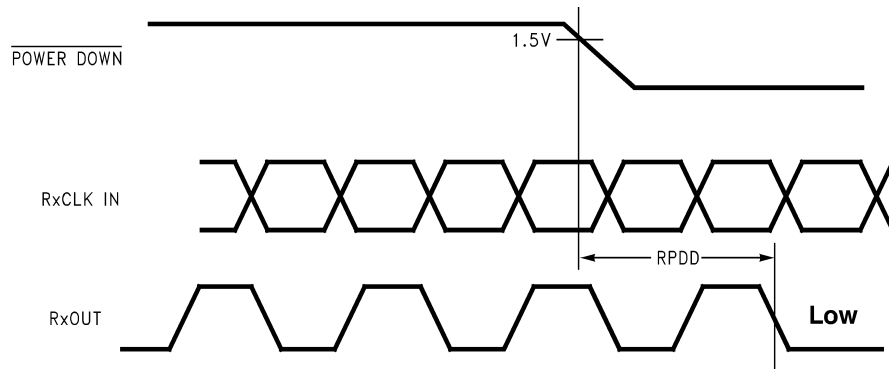
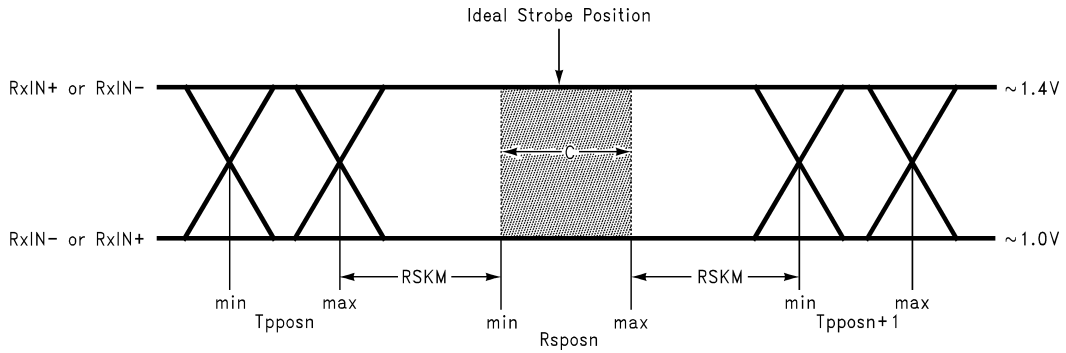


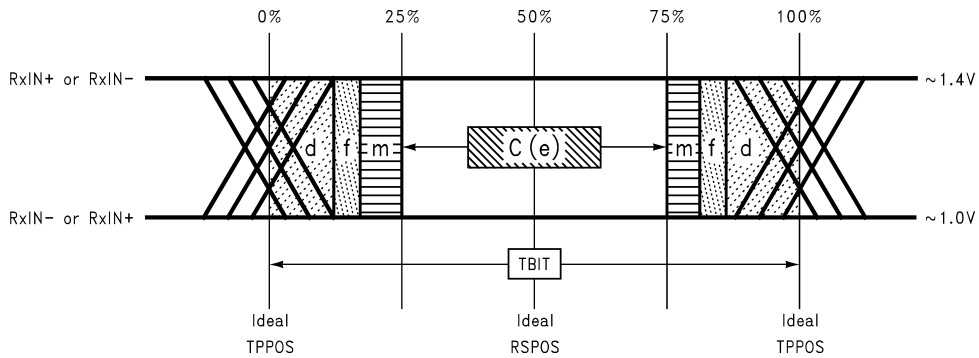
FIGURE 11. Receiver Power Down Delay

**AC タイミング図 (つづき)**



C - RSPOS (レシーバ入力ストロブ位置) の Min 値と Max 値によって定義されるセットアップとホールド時間 (内部データ・サンプリング・ウィンドウ)  
 TPPOS - トランスミッタの出力パルス位置 (Min 値および Max 値)  
 RSKM ケーブル・スキュー (ケーブル種、長さ) + LVDS ソース・クロック・ジッタ (サイクルごと) + 符合同干渉 ISI  
 ケーブル・スキュー - 通常 30cm あたり 10ps ~ 40ps、ケーブルにより異なります。  
 TJCC - サイクルごとの LVDS 出力ジッタ (TJCC) は 100ps (ワースト・ケース) 以下です。  
 符合同干渉 (ISI) は配線長に依存しますが、おそらくゼロです。  
 「アプリケーション情報」を参照。

**FIGURE 12. Receiver Skew Margin**



C - RSPOS (レシーバ入力ストロブ位置) の Min 値と Max 値によって定義されるセットアップとホールド時間 (内部データ・サンプリング・ウィンドウ)  
 RSKMD TPPOS (含む min/max 範囲内ばらつき)(d) + TJCC (出力ジッタ)(f) + ISI (m)  
 d = TPPOS - トランスミッタの出力パルス位置 (Min 値および Max 値)  
 f = TJCC - サイクルごとの LVDS 出力ジッタ (TJCC) は 100ps (ワースト・ケース) 以下です。  
 m = マージン追加分 - ケーブル長の長いアプリケーションで ISI に配分  
 「アプリケーション情報」を参照。

**FIGURE 13. Receiver Skew Margin (RSKMD) with DESKEW**

AC タイミング図 (つづき)

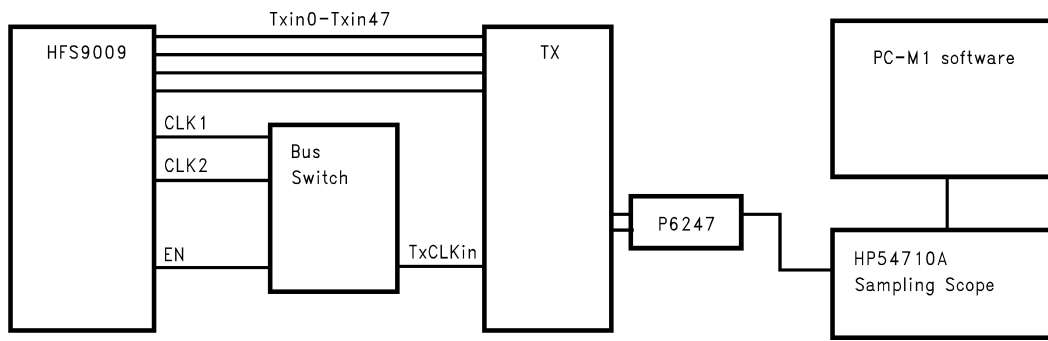


FIGURE 14. TJCC Test Setup - DS90C387

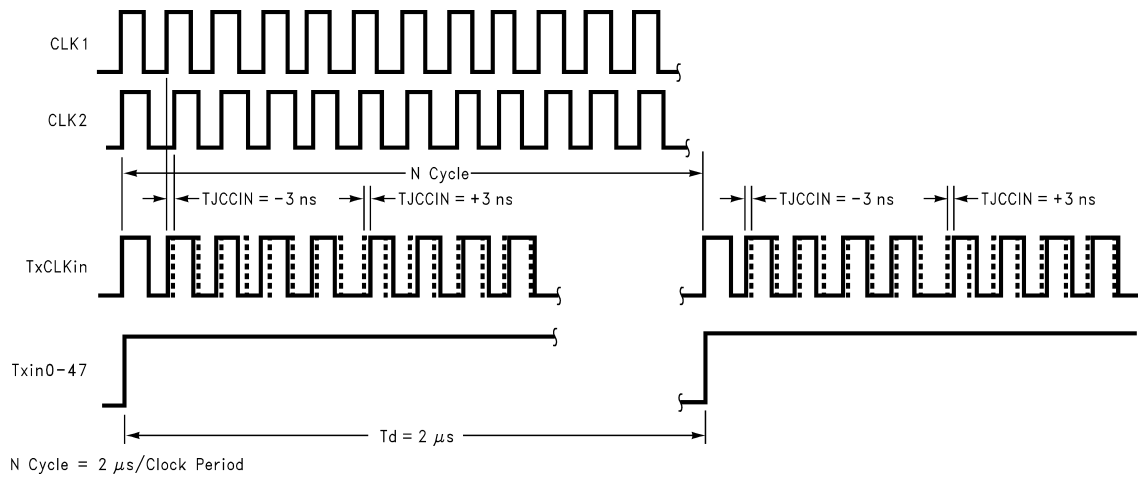


FIGURE 15. Timing Diagram of the Input Cycle-to-Cycle Clock Jitter

## DS90C387 端子説明— FPD-Link トランスミッタ

ピン名称	I/O	No.	説明
Rn、Gn、Bn、DE、HSYNC、VSYNC	I	51	TTL レベル入力です。16 ビットの Red、16 ビットの Green、16 ビットの Blue、および HSYNC、VSYNC、DE (データ・イネーブル) の 3 種類の制御信号です (Note 12)。
AnP	O	8	正極性 LVDS 差動データ出力です。
AnM	O	8	負極性 LVDS 差動データ出力です。
CLKIN	I	1	TTL レベル・クロック入力です。
R_FB	I	1	データ・ストロブ・エッジの選択信号です。この入力が高レベルのとき、立ち上がりエッジが選択されます (Note 12)。
R_FDE	I	1	DE 制御の選択信号です。この入力が高レベルのとき、DE が HIGH でデータがアクティブです (Note 12)。
CLK1P	O	1	正極性 LVDS 差動クロック出力です。
CLK1M	O	1	負極性 LVDS 差動クロック出力です。
PD	I	1	TTL レベル入力です。LOW で出力は TRI-STATE になり、パワーダウンとなって消費電流が小さくなります (Note 12)。
PLLSEL	I	1	PLL 周波数範囲の選択です。オート・レンジ時は、このピンを $V_{CC}$ に接続してください。開放または GND への接続は将来の拡張用です。標準のシフト・ポイントは 55 ~ 68 MHz です (Note 12、14)。
BAL	I	1	DC バランス (新機能) または非 DC バランス (下位互換) のモードを選択します。HIGH で DC バランス・モードになります。開放または GND への接続を行うと、DC バランス機能はオフになります (Note 12、13、15)。
PRE	I	1	プリエンファシス量の選択です。外付けのプルアップ抵抗を介して $V_{CC}$ に接続すると、プリエンファシスが機能します。このとき抵抗値によりプリエンファシスの量が決まります (「アプリケーション情報」の Table 5 を参照)。プリエンファシスをせずに通常の LDVS ドライブ・レベルが必要な場合は、このピンを開放にします (GND には接続しないでください) (Note 12)。
DUAL	I	1	デュアル・ピクセル、シングル・ピクセル、またはシングル・ピクセル入力 / デュアル・ピクセル出力の 3 つの動作モードを選択します。LOW のときシングル・ピクセル・モードとなり、LVDS の A0 から A3 チャネルと CLK1 のみがアクティブとなり、消費電力は小さくなります。HIGH でデュアル・ピクセル・モードとなります。シングル・ピクセル入力 / デュアル・ピクセル出力を選択するには、このピンを $1/2V_{CC}$ に固定します。Figure 16 を参照してください (Note 12)。
$V_{CC}$	I	4	TTL 入力バッファとデジタル回路用電源です。
GND	I	5	TTL 入力バッファとデジタル回路用 GND です。
PLL $V_{CC}$	I	2	PLL 回路用電源です。
PLLGND	I	3	PLL 回路用 GND です。
LVDS $V_{CC}$	I	3	LVDS 出力バッファ用電源です。
LVDSGND	I	4	LVDS 出力バッファ用 GND です。
CLK2P/NC	O	1	デュアル・クロック用の正極性 LVDS 差動クロック出力です。CLK1P と同一です。使用しない場合は開放にします。
CLK2M/NC	O	1	デュアル・クロック用の負極性 LVDS 差動クロック出力です。CLK1M と同一です。使用しない場合は開放にします。

**Note 12:** 内蔵プルダウン抵抗により、開放の場合のデフォルト値は LOW となります。

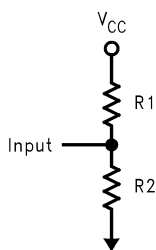
**Note 13:** DC バランスは自動検査機器 (ATE) を用いて 85MHz でのみ機能テストを行なっています。また、デバイス評価時のベンチテストで 112MHz までの性能を確認しています。

**Note 14:** PLL のシフト・ポイントは 55 ~ 68 MHz レンジです。通常、シフトは PLL がロックするまでの間に行なわれます。

## DS90CF388 端子説明— FPD-Link レシーバ

ピン名称	I/O	No.	説明
AnP	I	8	正極性 LVDS 差動データ入力です。
AnM	I	8	負極性 LVDS 差動データ入力です。
Rn、Gn、Bn、DE、HSYNC、VSYNC	O	51	TTL レベルのデータ出力です。16 ビットの Red、16 ビットの Green、16 ビットの Blue、および HSYNC (LP)、VSYNC (FLM)、DE (データ・イネーブル) の 3 種類の制御信号です。
RxCLK INP	I	1	正極性 LVDS 差動クロック入力です。
RxCLK INM	I	1	負極性 LVDS 差動クロック入力です。
RxCLK OUT	O	1	TTL レベルのクロック出力です。立ち下がりエッジがデータ・ストロブとなります。
R_FDE	I	1	DE 制御の選択信号です。この入力が HIGH のとき、DE が HIGH でデータがアクティブです (Note 12)。
PLLSEL	I	1	PLL 周波数範囲の選択です。オート・レンジ時は、このピンを $V_{CC}$ に接続してください。開放または GND への接続は将来の拡張用です。標準のシフト・ポイントは 55 ~ 68 MHz です (Note 13、14)。
BAL	I	1	DC バランス (新機能) または非 DC バランス (下位互換) のモードを選択します。非 DC バランス・モードにする場合は BAL = LOW です。DC バランス・モード (自動検出モード) にする場合は BAL = HIGH です。この端子を HIGH にすると、受信した LVDS クロック信号により、インタフェースが新モードであるか下位互換モードであるかが検出されます (Note 12、13、15)。
DESKEW	I	1	デスクューとオーバー・サンプリングのオン/オフです。HIGH のときデスクュー機能がイネーブルとなります。ただし DC バランス・モードのときのみサポートされます (BAL = HIGH)。デスクュー機能を正しく動作させるには、少なくとも 4 クロック・サイクルのブランキング期間が必要です (Note 12)。
$\overline{PD}$	I	1	TTL レベル入力です。LOW のときレシーバ・データ出力は LOW に、クロック出力は HIGH になります (Note 12)。
STOPCLK	O	1	HIGH でレシーバ・クロックが入力されていないことを示します。クロックが入力されると LOW になります。
$V_{CC}$	I	6	TTL 出力バッファとデジタル回路用電源です。
GND	I	8	TTL 出力バッファとデジタル回路用 GND です。
PLL $V_{CC}$	I	1	PLL 回路用電源です。
PLLGND	I	2	PLL 回路用 GND です。
LVDS $V_{CC}$	I	2	LVDS 入力バッファ用電源です。
LVDSGND	I	3	LVDS 入力バッファ用 GND です。
CNTLE、CNTLF	O	2	TTL レベルのデータ出力です。ユーザー定義可能な信号で、使用しない場合は開放にします。

**Note 15:** DS90CF388 は、DS90C387 からの送信データが DC バランス・モードか非 DC バランス・モードかを自動的に検出するように設計されており、また定義されたビット・マッピングにもとづき LVDS データをデシリアライズします。



**FIGURE 16.** Resistor Network for “DUAL” pin input - recommend using  $R1 = R2 = 10k\Omega$  for single to dual mode

## LVDS インタフェース

カラー・マッピング・オプションにはいろいろな種類があります。詳細については、ナショナル セミコンダクター社のアプリケーション・ノート AN-1127 および AN-1163 を参照してください。6 ビットと

8 ビットのカラー・データの間で LSB と MSB を定義する場合、規格化された慣習がないため、カラー・マッピング情報は注意してご覧ください。

**TABLE 1. LVDS DATA BIT NAMING CONVENTION**

X	Y	Z	Description
X=R			Red
X=G			Green
X=B			Blue
	Y=1		Odd (First) Pixel
	Y=2		Even (Second) Pixel
		Z=0-7	LVDS bit number (not VGA controller LSB to MSB)

**Note 16:** 48 ビットのデュアル・ピクセル・アプリケーション時 LSB (最下位ビット) = R16、G16、B16、R26、G26、B26、および MSB (最上位ビット) = R15、G15、B15、R25、G25、B25

**Note 17:** 36 ビットのデュアル・ピクセル・アプリケーション時 LSB (最下位ビット) = R10、G10、B10、R20、G20、B20、および MSB (最上位ビット) = R15、G15、B15、R25、G25、B25

**TABLE 2. SINGLE PIXEL PER CLOCK INPUT APPLICATION DATA MAPPING (DUAL=GND)**

VGA - TFT Data Signals Color Bits		Transmitter input pin names		Receiver output pin names		TFT Panel Data Signals	
	24-bit	18-bit	DS90C387	DS90CF388	18-bit	24-bit	
LSB	R0		R16	R16			R0
	R1		R17	R17			R1
	R2	R0	R10	R10	R0		R2
	R3	R1	R11	R11	R1		R3
	R4	R2	R12	R12	R2		R4
	R5	R3	R13	R13	R3		R5
MSB	R6	R4	R14	R14	R4		R6
	R7	R5	R15	R15	R5		R7
LSB	G0		G16	G16			G0
	G1		G17	G17			G1
	G2	G0	G10	G10	G0		G2
	G3	G1	G11	G11	G1		G3
	G4	G2	G12	G12	G2		G4
	G5	G3	G13	G13	G3		G5
MSB	G6	G4	G14	G14	G4		G6
	G7	G5	G15	G15	G5		G7
LSB	B0		B16	B16			B0
	B1		B17	B17			B1
	B2	B0	B10	B10	B0		B2
	B3	B1	B11	B11	B1		B3
	B4	B2	B12	B12	B2		B4
	B5	B3	B13	B13	B3		B5
MSB	B6	B4	B14	B14	B4		B6
	B7	B5	B15	B15	B5		B7

**TABLE 3. DUAL PIXEL PER CLOCK INPUT APPLICATION DATA MAPPING (DUAL=VCC)**

VGA - TFT Data Signals Color Bits		Transmitter input pin names		Receiver output pin names		TFT Panel Data Signals	
	48-bit	36-bit	DS90C387	DS90CF388	36-bit	48-bit	
LSB	RO0		R16	R16			RO0
	RO1		R17	R17			RO1
	RO2	RO0	R10	R10	RO0		RO2



LVDS インタフェース(つづき)

TABLE 3. DUAL PIXEL PER CLOCK INPUT APPLICATION DATA MAPPING (DUAL=VCC) (つづき)

VGA - TFT Data Signals Color Bits		Transmitter input pin names		Receiver output pin names		TFT Panel Data Signals	
	RO3	RO1	R11	R11	RO1	RO3	
	RO4	RO2	R12	R12	RO2	RO4	
	RO5	RO3	R13	R13	RO3	RO5	
	RO6	RO4	R14	R14	RO4	RO6	
MSB	RO7	RO5	R15	R15	RO5	RO7	
LSB	GO0		G16	G16		GO0	
	GO1		G17	G17		GO1	
	GO2	GO0	G10	G10	GO0	GO2	
	GO3	GO1	G11	G11	GO1	GO3	
	GO4	GO2	G12	G12	GO2	GO4	
	GO5	GO3	G13	G13	GO3	GO5	
	GO6	GO4	G14	G14	GO4	GO6	
MSB	GO7	GO5	G15	G15	GO5	GO7	
LSB	BO0		B16	B16		BO0	
	BO1		B17	B17		BO1	
	BO2	BO0	B10	B10	BO0	BO2	
	BO3	BO1	B11	B11	BO1	BO3	
	BO4	BO2	B12	B12	BO2	BO4	
	BO5	BO3	B13	B13	BO3	BO5	
	BO6	BO4	B14	B14	BO4	BO6	
MSB	BO7	BO5	B15	B15	BO5	BO7	
LSB	RE0		R26	R26		RE0	
	RE1		R27	R27		RE1	
	RE2	RE0	R20	R20	RE0	RE2	
	RE3	RE1	R21	R21	RE1	RE3	
	RE4	RE2	R22	R22	RE2	RE4	
	RE5	RE3	R23	R23	RE3	RE5	
	RE6	RE4	R24	R24	RE4	RE6	
MSB	RE7	RE5	R25	R25	RE5	RE7	
LSB	GE0		G26	G26		GE0	
	GE1		G27	G27		GE1	
	GE2	GE0	G20	G20	GE0	GE2	
	GE3	GE1	G21	G21	GE1	GE3	
	GE4	GE2	G22	G22	GE2	GE4	
	GE5	GE3	G23	G23	GE3	GE5	
	GE6	GE4	G24	G24	GE4	GE6	
MSB	GE7	GE5	G25	G25	GE5	GE7	
LSB	BE0		B26	B26		BE0	
	BE1		B27	B27		BE1	
	BE2	BE0	B20	B20	BE0	BE2	
	BE3	BE1	B21	B21	BE1	BE3	
	BE4	BE2	B22	B22	BE2	BE4	
	BE5	BE3	B23	B23	BE3	BE5	
	BE6	BE4	B24	B24	BE4	BE6	
MSB	BE7	BE5	B25	B25	BE5	BE7	

## LVDS インタフェース(つづき)

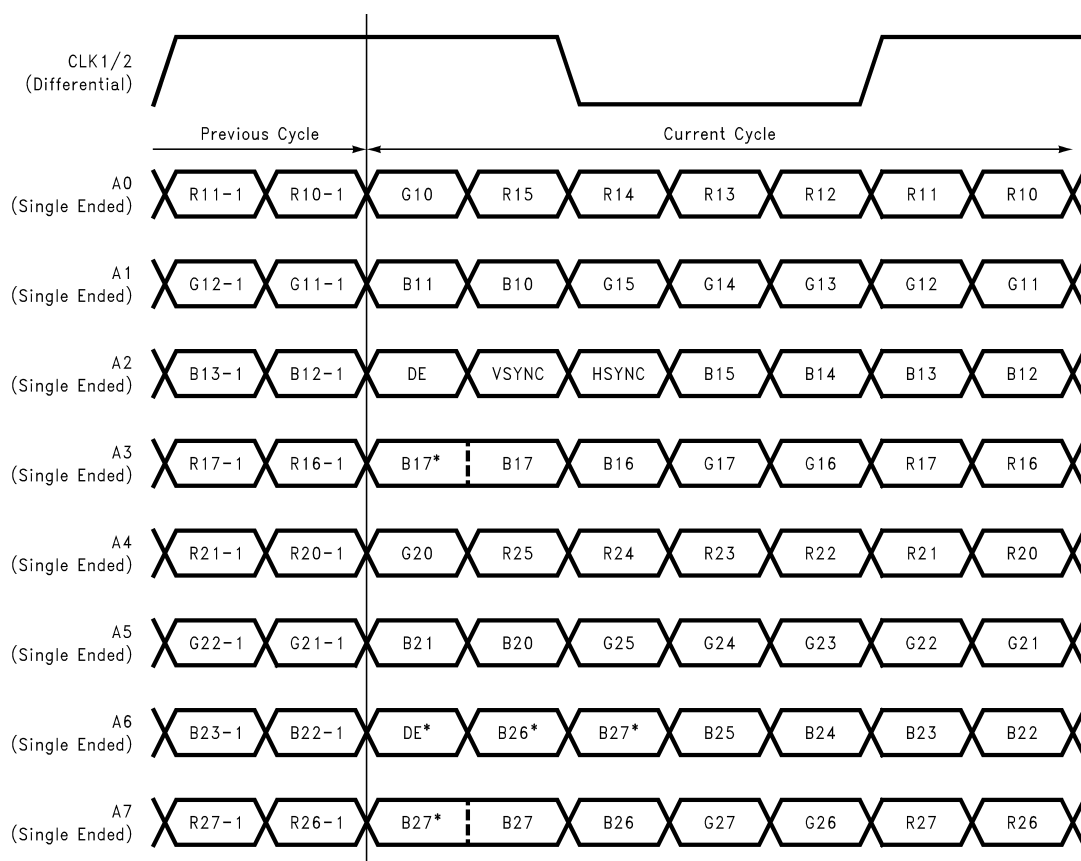
TABLE 4. SINGLE PIXEL PER CLOCK INPUT-TO-DUAL PIXEL PER CLOCK OUTPUT DATA MAPPING  
(DUAL=1/2VCC)

VGA - TFT Data Signals Color Bits			Transmitter input pin names	Receiver output pin names	TFT Panel Data Signals	
	24-bit	18-bit	DS90C387	DS90CF388	36-bit	48-bit
LSB	R0		R16	R16		RO0
	R1		R17	R17		RO1
	R2	R0	R10	R10	RO0	RO2
	R3	R1	R11	R11	RO1	RO3
	R4	R2	R12	R12	RO2	RO4
	R5	R3	R13	R13	RO3	RO5
	R6	R4	R14	R14	RO4	RO6
MSB	R7	R5	R15	R15	RO5	RO7
LSB	G0		G16	G16		GO0
	G1		G17	G17		GO1
	G2	G0	G10	G10	GO0	GO2
	G3	G1	G11	G11	GO1	GO3
	G4	G2	G12	G12	GO2	GO4
	G5	G3	G13	G13	GO3	GO5
	G6	G4	G14	G14	GO4	GO6
MSB	G7	G5	G15	G15	GO5	GO7
LSB	B0		B16	B16		BO0
	B1		B17	B17		BO1
	B2	B0	B10	B10	BO0	BO2
	B3	B1	B11	B11	BO1	BO3
	B4	B2	B12	B12	BO2	BO4
	B5	B3	B13	B13	BO3	BO5
	B6	B4	B14	B14	BO4	BO6
MSB	B7	B5	B15	B15	BO5	BO7
			R16	R26		RE0
			R17	R27		RE1
			R10	R20	RE0	EO2
			R11	R21	RE1	RE3
			R12	R22	RE2	RE4
			R13	R23	RE3	RE5
			R14	R24	RE4	RE6
			R15	R25	RE5	RE7
			G16	G26		GE0
			G17	G27		GE1
			G10	G20	GE0	GE2
			G11	G21	GE1	GE3
			G12	G22	GE2	GE4
			G13	G23	GE3	GE5
			G14	G24	GE4	GE6
			G15	G25	GE5	GE7
			B16	B26		BE0
			B17	B27		BE1
			B10	B20	BE0	BE2
			B11	B21	BE1	BE3
			B12	B22	BE2	BE4
			B13	B23	BE3	BE5

LVDS インタフェース(つづき)

TABLE 4. SINGLE PIXEL PER CLOCK INPUT-TO-DUAL PIXEL PER CLOCK OUTPUT DATA MAPPING (DUAL=1/2VCC) (つづき)

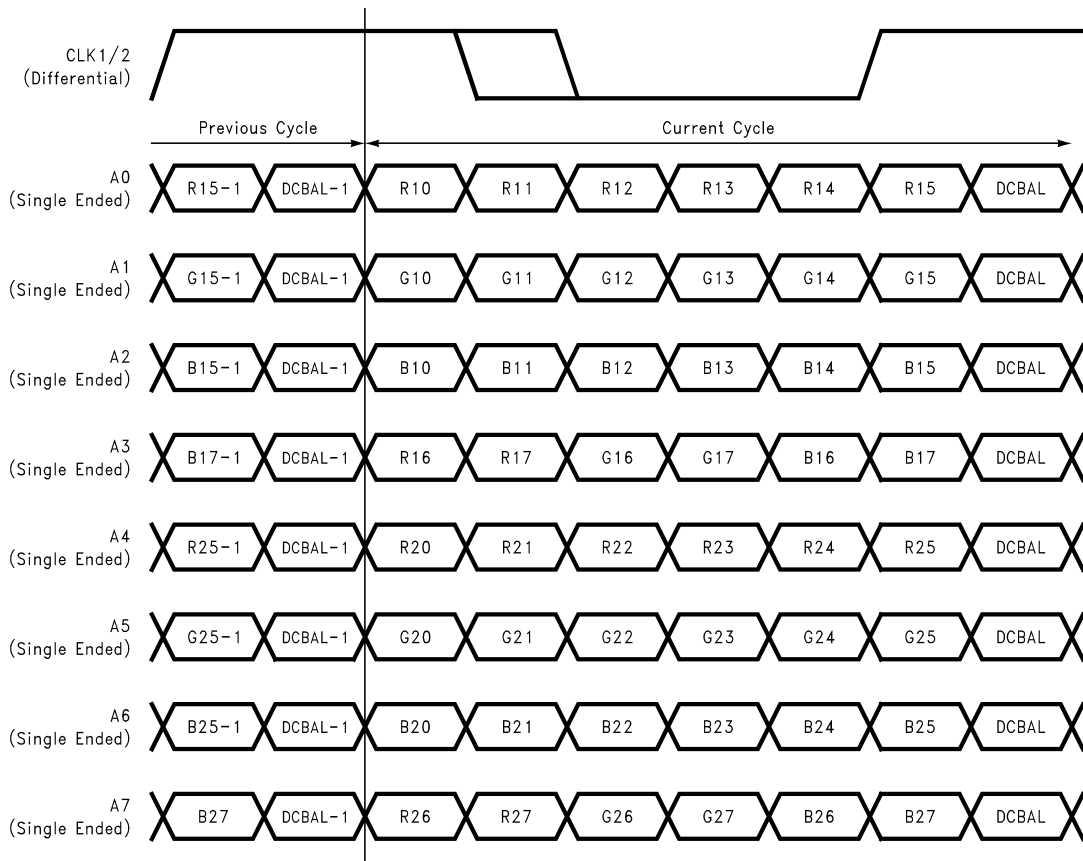
VGA - TFT Data Signals Color Bits		Transmitter input pin names	Receiver output pin names	TFT Panel Data Signals	
		B14	B24	BE4	BE6
		B15	B25	BE5	BE7



特定の信号については、同じ信号が冗長して送信されることに注意してください。これらの信号には\*の記号が付いています。DS90CF388では、\*記号の付いたビットはサンプリングされません。(オプション機能として、プリエンファシスがあります。) 補足情報については、「アプリケーション情報」を参照してください。

FIGURE 17. TTL Data Inputs Mapped to LVDS Outputs  
Non-DC Balanced Mode (Backward Compatible, BAL = Low)

LVDS インタフェース (つづき)



このモードでは、LVDS クロック信号も DC バランスの状態であることに注意してください。立ち上がりエッジの位置は固定ですが、立ち下がりエッジの位置は、上の図に示した 2 つのうちのいずれかになります。(オプション機能として、プリエンファシスおよびデスクューがあります。)

FIGURE 18. 48 Parallel TTL Data Inputs Mapped to LVDS Outputs  
DC Balanced Mode - Data Enabled, BAL = High

LVDS インタフェース(つづき)

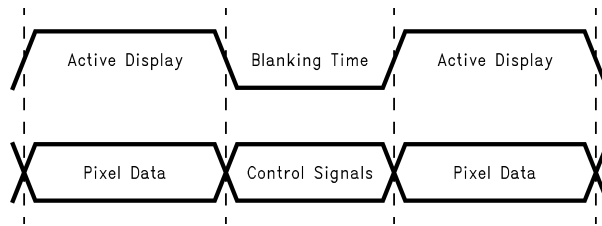


FIGURE 19. Control Signals Transmitted During Blanking

Control Signals Transmitted During Blanking

Control Signal	Signal Level	Channel	Pattern
DE	HIGH	TxCLKOUT	1111000 or 1110000
	LOW		1111100 or 1100000
HSYNC	HIGH	TXOUT0	1100000 or 1111100
	LOW		1110000 or 1111000
VSYNC	HIGH	TXOUT1	1100000 or 1111100
	LOW		1110000 or 1111000
CNTLF	HIGH	TXOUT4	1100000 or 1111100
	LOW		1110000 or 1111000
CNTLE	HIGH	TXOUT5	1100000 or 1111100
	LOW		1110000 or 1111000

**Note 18:** 上図に示されるブランキング期間中の制御信号のパターンは R\_FDE = HIGH のときであり、R\_FDE = LOW のときの各 0/1 パターンは反転します。

## アプリケーション情報

### 汎用的な DS90C387 と DS90CF388 の設定方法

1. シングル・ピクセル入力 / デュアル・ピクセル出力アプリケーション時には、DS90C387 の DUAL ピンを  $1/2V_{CC}$  すなわち 1.65V に設定します。Figure 16 に示すように、それぞれ 10k プルアップ抵抗とプルダウン抵抗で実現できます。DUAL ピンとグラウンド間のコンデンサによって、ノイズの多い環境でも DC 電圧レベルが安定します。この設定では、シングル・ピクセルの入力信号は奇数番目と偶数番目のデュアル・ピクセルに分けられ、最初の奇数ピクセルが A0 ~ A3 に出力され、次の偶数ピクセルが A4 ~ A7 に出力されます。ピクセル・データの分割は、データが有効であることを示すデータ・イネーブル DE の LOW から HIGH への遷移により開始されます。このとき、R\_FDE ピンは必ず HIGH にします。またブランキング間のクロック数は偶数にしてください。DC バランス (BAL = HIGH) または非 DC バランス (BAL = LOW) の両モードとも、このデータ伝送をサポートします。また、この設定では、LDI レシーバ DS90CF388、または非 DC バランス・モード (BAL = LOW) であれば、2 つの FPD-Link ノートブック用レシーバ、たとえば、DS90CF384A とインタフェースできます。ケーブル長が 2m を超えるモニタ・アプリケーションの場合は、DC バランス・モードを推奨します。ノートブック・アプリケーションでは、チップセットの消費電力を低減するために DC バランス機能をディセーブルにしてください。DS90C387/DS90CF388 だけが DC バランス・モードでのデータ伝送をサポートすることに注意してください。
2. DS90C387/DS90CF388 をシングル・ピクセル、またはデュアル・ピクセルとして設定するときは、DUAL ピンを GND (シングル)

または  $V_{CC}$  (デュアル) に接続します。デュアル・モードでは、2 つの FPD-Link ノートブック・レシーバ DS90CF384A や DS90CF386 を接続できるように、トランスミッタ DS90C387 は 2 つの LVDS クロックを出力します。一方シングル・モードでは、消費電力を低減するために A4 ~ A7 出力と CLK2 出力はディセーブルとなります。どちらの設定とも、モニタ・アプリケーションに必要な DC バランス・モードでのデータ伝送をサポートしています。

レシーバ DS90CF388 は、最大 112MHz 動作でのシングルおよびデュアル・ピクセル・インタフェースをサポートしています。このレシーバはまた、DC バランス・モードを使わない状態で、LVDS トランスミッタが内蔵された VGA コントローラとインタフェースすることも可能です。その場合、レシーバの BAL ピンは LOW にして、DC バランス機能をディセーブルにします。

### 新機能の説明

#### プリエンファシス

ケーブル負荷の影響を低減するため、LVDS の信号遷移時に駆動電流を増やす機能です。プリエンファシスの強さは、PRE ピンに対して 0.75V (エンファシス効果最小) ~  $V_{CC}$  (最大) の DC 電圧を与えて設定します。PRE ピンの電圧が高いほどデータ・ビット遷移時でのダイナミック電流が大きくなります。PRE ピンの DC レベルを設定するために、 $V_{CC}$  へのプルアップ抵抗 ( $R_{pre}$ ) が必要です。内部には電圧降下を生じさせる抵抗ネットワークが入っています。DC レベルの設定には下表を参照してください。

TABLE 5. PRE-EMPHASIS DC VOLTAGE LEVEL WITH (RPRE)

Rpre	Resulting PRE Voltage	Effects
1M $\Omega$ or NC	0.75V	Standard LVDS
50k $\Omega$	1.0V	
9k $\Omega$	1.5V	50% pre-emphasis
3k $\Omega$	2.0V	
1k $\Omega$	2.6V	
100 $\Omega$	Vcc	100% pre-emphasis

TABLE 6. PRE-EMPHASIS NEEDED PER CABLE LENGTH

Frequency	PRE Voltage	Typical cable length
112MHz	1.0V	2 meters
112MHz	1.5V	5 meters
80MHz	1.0V	2 meters
80MHz	1.2V	7 meters
65MHz	1.5V	10 meters
56MHz	1.0V	10 meters

Note 19: 標準的なシールド・ツイストペア・ケーブルでのテストに基づいています。プリエンファシスの量はケーブル種やケーブル長、動作周波数により変わります。

### DC バランス

バランス・モードでは、Figure 18 に示すように、各アクティブ・データ・サイクルの間に、各 LVDS データラインで 1 ビットの追加ビットをピクセル・データまたは制御データに加えて送ります。この追加ビットが DC バランス (DCBAL) ビットです。DC バランス機能の目的は、短期および長期にわたっての LVDS 信号の DC バイアスを最小にすることです。この機能は、ピクセル・データをそのままの極性で送るか、反転して送るかによって実現します。

DC バランス・ビットは、転送中ワードのディスパリティ (0/1 ビット個数の差) と、転送前ワードのデータ・ディスパリティから算出されます。転送前ワードのデータ・ディスパリティは、データ中の 1 のビット個数から 0 のビット個数を引いて求めます。転送中ワードのディスパリティは、初期段階では +7 から -6 のいずれかの値となります。その後、転送中ワードのディスパリティは、反転したデータ・ディスパリティを連続的に合計して求めます。データが反転せずに送られた場合はデータ・ディスパリティ値から 1 を引き、データが反転して送られた場合はデータ・ディスパリティを反転して 1 を加えます。この結果、転送中ディスパリティの値は +7 から -6 の範囲となります。

## アプリケーション情報 (つづき)

データがそのまま送られるときは DC バランス・ビット (DCBAL) の値は 0 となり、反転して送られるときは 1 となります。ピクセル・データを反転せずに送るか反転して送るかは、転送中データのディスパリティと転送前データのディスパリティを用いて次のように決定します。

ピクセル・データを反転せずに送信：

- 転送中データのディスパリティが正で、かつ転送前データのディスパリティが 0 または負のとき
- 転送中データのディスパリティが負で、かつ転送前データのディスパリティが正のとき

ピクセル・データを反転して送信：

- 転送中データのディスパリティが正で、かつ転送前データのディスパリティが正のとき
- 転送中データのディスパリティが負で、かつ転送前データのディスパリティが 0 または負のとき
- 転送中データのディスパリティが 0 のとき

ケーブルのドライブ能力は、ケーブル負荷の影響を打ち消すために信号遷移時の出力電流を増加する、ユーザー設定可能なプリエンファシス機能によって強化されています。また、前述のサイクルごとの DC バランスが符合間干渉 (ISI) を低減します。このプリエンファシスと DC バランス機能により、ケーブル端のレシーバ入力でのアイ・パターン歪みが小さくなります。このような改善によって、5m から 10m 以上のケーブルをドライブできます。

### ブランキング期間中の制御信号の送信 (DC バランス・モード)

データ・イネーブル制御信号 (DE) は DC バランス・モードで使用され、ピクセル・データと制御情報を区別するために使用されます。ピクセル・データと制御情報を正しく区別するために、デバイスに対してデータ・イネーブル DE は連続的に与えられなければならない。そのため DE は、DC バランス・モード時はクロック信号 LVDS CLK1、CLK2 を介してレシーバへ送られます。DE が HIGH (表示アクティブ) のときは、クロック信号上で送られる制御ワードは 1111000 または 1110000 になります。DE が LOW (ブランキング期間) のときは、クロック信号上の制御ワードは 1111100 または 1100000 となります。R\_FDE = HIGH のとき、このようになります。「端子説明」の表を参照してください。

HSYNC や VSYNC のような制御情報は、ピクセル・データのように反転して送られることはありません。制御ワードの値は、転送中ワードのディスパリティと送られるべき制御値により決まります。転送中ワードのディスパリティが正で、送られるべき制御が LOW ならば、送信される制御ワードは 1110000 になります。転送中ワードのディスパリティがゼロまたは負で、送られるべき制御が LOW ならば、送信される制御ワードは 1111000 になります。転送中ワードのディスパリティが正で、送られるべき制御が HIGH ならば、送信される制御ワードは 1100000 になります。転送中ワードのディスパリティがゼロまたは負で、送られるべき制御が HIGH ならば、送信される制御ワードは 1111100 になります。ブランキング期間中の制御情報送信時は、DC バランス・ビット (DCBAL) は 0 です。Figure 19 を参照してください。

ブランキング期間中は、DS90CF388 の RGB 出力は強制的に LOW にされます。

下位互換モード (BAL = LOW) のときの制御とデータは、通常の LVDS データとして送られます。Figure 17 を参照してください。

### ユーザー定義信号 CNTLE と CNTLF のサポート

DS90C387 と DS90CF388 は、デュアル・ピクセル DC バランス・モードで、ブランキング期間の VSYNC が LOW の時、1 つまたは 2 つのユーザー定義信号の伝送をサポートします。2 つの制御信号 CNTLE と CNTLF は、ピクセル・データにマルチプレクスしてトランスミッタに入力します。入力の B26 に CNTLF が、B27 に CNTLE が割り当てられます。DC バランス・モードのとき、CNTLF と CNTLE は VSYNC が LOW のブランキング期間に、LVDS チャネルの A4 (CNTLF) と A5 (CNTLE) を介して送られます。CNTLE と CNTLF は、VSYNC が HIGH から LOW に移行してから 1 クロック・サイクル後にサンプリングされます。CNTLE と CNTLF は、VSYNC が LOW から HIGH に移行するまでサイクルごとにサンプリングされ、次に VSYNC が LOW サイクルに入るまでラッチされます。詳細は、Figure 19 下の表、「Control Signals Transmitted During Blanking」を参照してください。ユーザー定義信号は VSYNC が LOW のブランキングの期間のときだけ有効です。ユーザー定義信号のレベルは、VSYNC の LOW から HIGH への立ち上がりで値がラッチされます。この信号がレシーバからの TTL 出力となります。DS90CF388 の CNTLE 出力、CNTLF 出力は、使用しない場合は未接続のままにしてください。

### デスクュー

OpenLDI レシーバ DS90CF388 は、同一の差動ペア内 (intra-pair) の 300ps 以上のスキューに対応し、また少なくとも ±1 LVDS データ・ビット幅の差動ペア間 (pair-to-pair) のスキューにも対応します。ただし、これらは DC バランス・モード時のみ有効です。デスクューは各データ・チャネル別に、±1 T BIT の範囲で 1/3 T BIT 刻みでチューニングされます。なおデスクュー機能はクロック周波数 80MHz 以下のとき有効です。デスクュー機能を用いた場合、3 等分した中央にサンプリング・ストロブが置かれます。デスクュー機能を働かせるには、ブランキング期間に 4 クロック以上あれば十分です。したがって、ブランキング期間の短いアプリケーションにもこのチップセットを活用できます。

### FPD-Link デバイスとの下位互換

トランスミッタは 2 つの LVDS クロック出力を備えています。どちらの LVDS クロックもデュアル・ピクセル・モードでは同一出力です。この機能は、前の世代のデバイスとの下位互換を実現します。トランスミッタは 2 つ目のクロックを用いると、デュアル・ピクセル構成の 24 ビットまたは 18 ビットのノートブック・レシーバを使ったパネルとインタフェースできます。

特定の信号については、同じ信号が冗長して送信されることに注意してください。これらの信号には \* の記号を付けて Figure 17 に示しました。DS90CF388 では、\* 記号の付いたビットはサンプリングされません。FPD-Link レシーバとインタフェースする場合は、必要に応じてこれらの信号を取り出せます。

プリエンファシス機能は、DC バランス・モードと、下位互換の非 DC バランス・モードの両方で有効です。

## アプリケーション情報 (つづき)

### トランスミッタの機能

トランスミッタは、クロック入力に生じているサイクル・ジッタを軽減します。ただし、極めて緩やかなサイクル・ジッタはトランスミッタ出力にそのまま現れます。サイクル毎のジッタは、動作周波数範囲に対して、入力ステップ関数ジッタを適用したときに現れる 100ps 以下の変動として測定されています。サイクル毎のジッタは、Figure 12、13 で述べられている RSKM/RSKMD のタイミング配分から差し引く必要があります。ジッタ除去能力によって TX クロック入力端子におけるジッタの影響は大幅に低減され、レシーバ内でのデータ・サンプリング精度が向上します。トランスミッタ出力ジッタは PLLVCC ノイズと入力クロック・ジッタに影響されます。したがって、電源ノイズを抑え、かつ低ジッタ・クロックを使用すれば、出力ジッタの低減を図れます。タイミング信号と制御信号 (VSYNC、HSYNC、DE、2 つのユーザー定義信号) は、それら重要な情報を確実に受け渡すため、ブランキング期間を使って送られます。

トランスミッタは、さまざまなグラフィック・コントローラに対応するためにデータ・ストロープのエッジを切り替えられます。すなわち、立ち上がりエッジを使うかまたは立ち下がりエッジを使うかを、専用の R\_FB ピンにより選択可能です。立ち上がりエッジのトランスミッタはロジックの変更なしで、立ち下がりエッジのレシーバと接続できます。

### RSKM - レシーバ・スキュー・マージン

RSKM はチップセット・パラメータで、トランスミッタのパルス位置とレシーバのストロープ・ウインドウの差を表したものです。詳細はアプリケーション・ノート AN-1059 に記述されています。RSKM は、インターコネクタ・スキュー、LVDS ソース・クロック・ジッタ (TJCC)、ISI の合計が先大きくなければなりません。Figure 12 を参照してください。インターコネクタ・スキューの要因には、プリント基板の配線遅延ばらつきと、ケーブルを用いたアプリケーションではコネクタ・スキューとケーブル・スキューなどがあります。プリント基板配線スキューとコネクタ・スキューはシステム設計で対策できます。一方のケーブル・スキューは、ケーブル・メディアの種類と長さに依存します。

### RSKMD - デスキュー時のレシーバ・スキュー・マージン

RSKMD はチップセット・パラメータで、レシーバのストロープ・ウインドウと理想的なパルス位置の差を表したもので、DS90CF388 のデスキュー機能がイネーブルの場合に適用されます。デスキュー機能は、各データ・チャネルとクロック・チャネル間のスキューを調整します。デスキュー機能の対応クロック周波数は最大 80MHz です。RSKMD は、トランスミッタのパルス位置 (含む min/max 範囲内ばらつき)、LVDS ソース・クロック・ジッタ (TJCC)、ISI の合計が先大きくなければなりません。Figure 12 を参照してください。デスキュー機能がイネーブルのとき、RSKMD は TBIT の 25% 以上です。デスキューは、プリント基板の配線遅延ばらつきと、ケーブルを用いたアプリケーションではコネクタ・スキューとケーブル・スキューで生じるインターコネクタ・スキューを補正します。プリント基板配線スキューとコネクタ・スキューはシステム設計で対策できます。一方のケーブル・スキューは、ケーブル・メディアと長さ依存する点に注意してください。ケーブル長は、ISI 効果によってスキューが 1 TBIT に達するより先に、RSKMD パラメータで制限される場合があります。

### パワーダウン

トランスミッタとレシーバは、ともにパワー・ダウン機能を備えています。パワー・ダウン・モードでは、電源ピンからの電流引き込みは最小となり、PLL はシャットダウン状態になります。トランスミッタの出力は TRI-STATE になります。レシーバの出力は LOW にドライブされます (「端子説明」の表を参照)。V<sub>CC</sub> が安定した後、デバイスをイネーブルにするために PD 端子を HIGH に駆動してください。

### DS90C387A/DS90CF388A

DS90C387/CF388 チップセットは DS90C387A/CF388A と電気的には同一です。長いケーブルをサポートする必要がない場合は DS90C387A/CF388A を推奨します。消費電力を抑えるために DC バランス・データ送信とケーブル・デスキュー機能は使用できません。またデバイスは下位互換性を有し、既存の FPD-Link デバイスと直接接続して動作可能です。

## 設定表

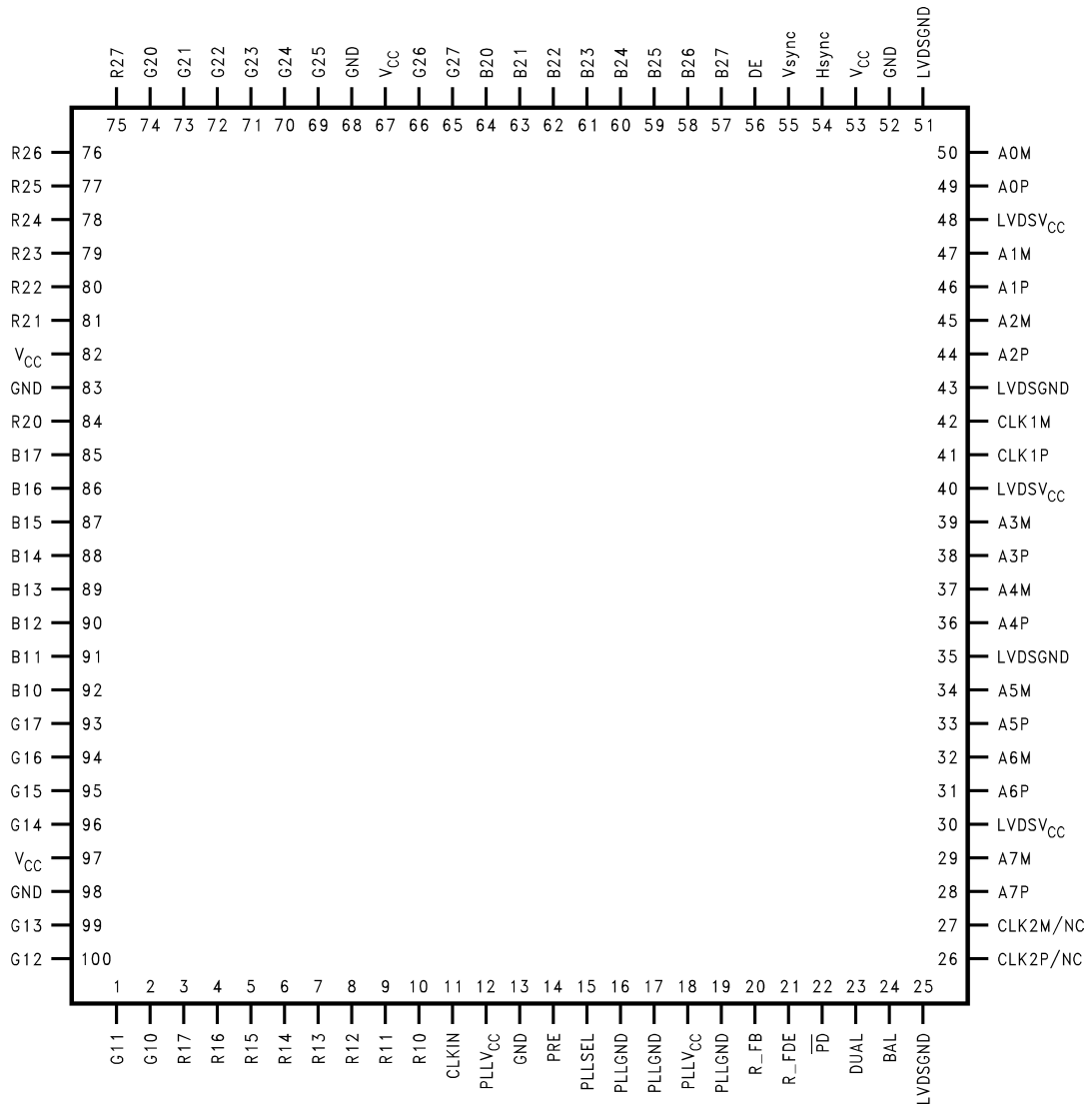
TABLE 7. TRANSMITTER / RECEIVER CONFIGURATION TABLE

ピン	条件	設定
R_FB (Tx only)	R_FB = V <sub>CC</sub>	立ち上がりエッジ・データ・ストロープ
	R_FB = GND	立ち下がりエッジ・データ・ストロープ
R_FDE (both Tx and Rx)	R_FDE = V <sub>CC</sub>	DE = HIGH でアクティブ・データ
	R_FDE = GND	DE = LOW でアクティブ・データ
BAL (both Tx and Rx)	BAL = V <sub>CC</sub>	DC バランス・イネーブル
	BAL = Gnd	DC バランス・ディスエーブル (FPD-Link と下位互換)
DUAL (Tx only)	DUAL = V <sub>CC</sub>	48 ビット・カラー (デュアル・ピクセル) をサポート
	DUAL = 1/2V <sub>CC</sub>	シングル・ピクセル入力 / デュアル・ピクセル出力をサポート
	DUAL = Gnd	24 ビット・カラー (シングル・ピクセル) をサポート



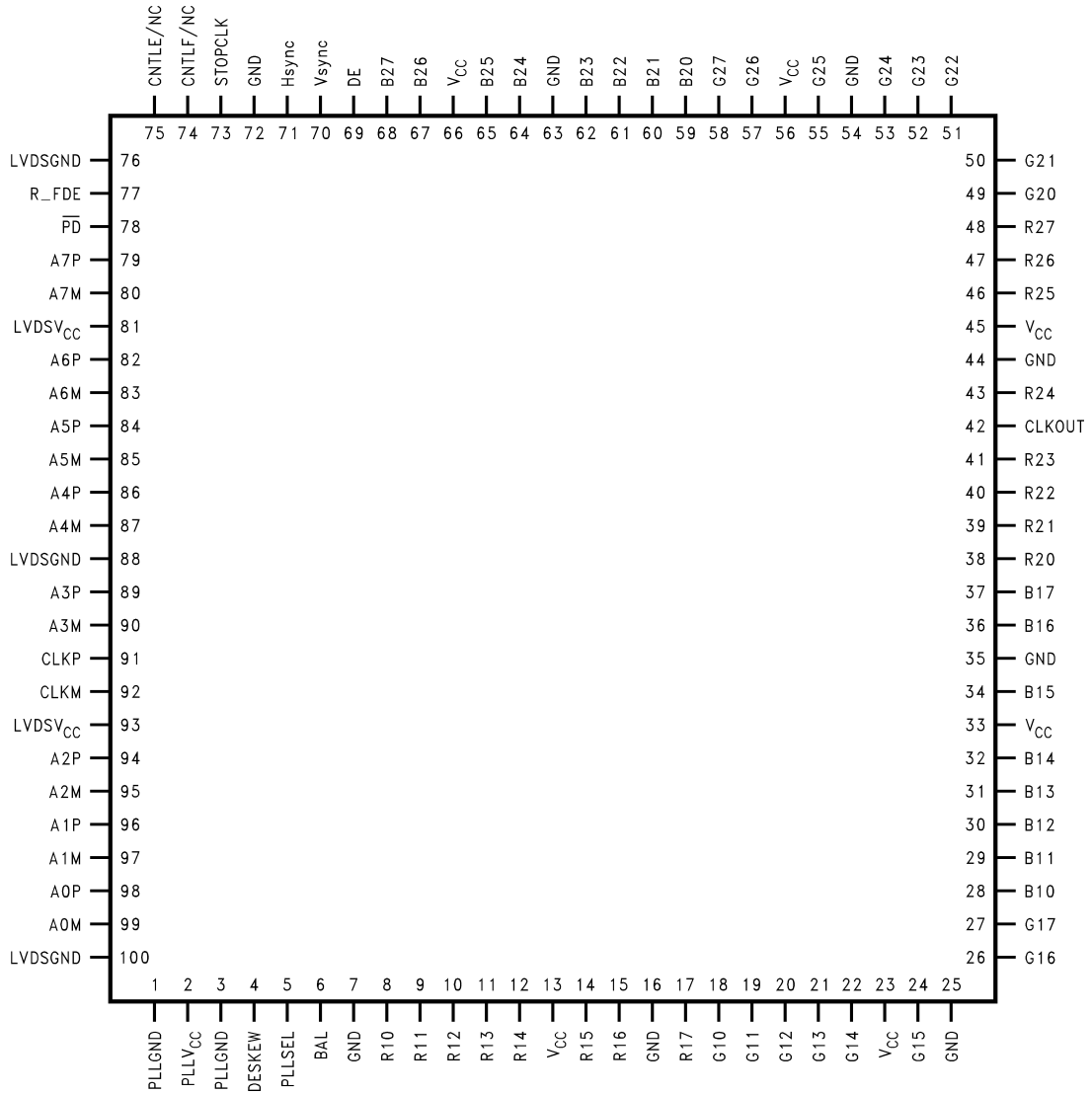
ピン配置図

Transmitter-DS90C387

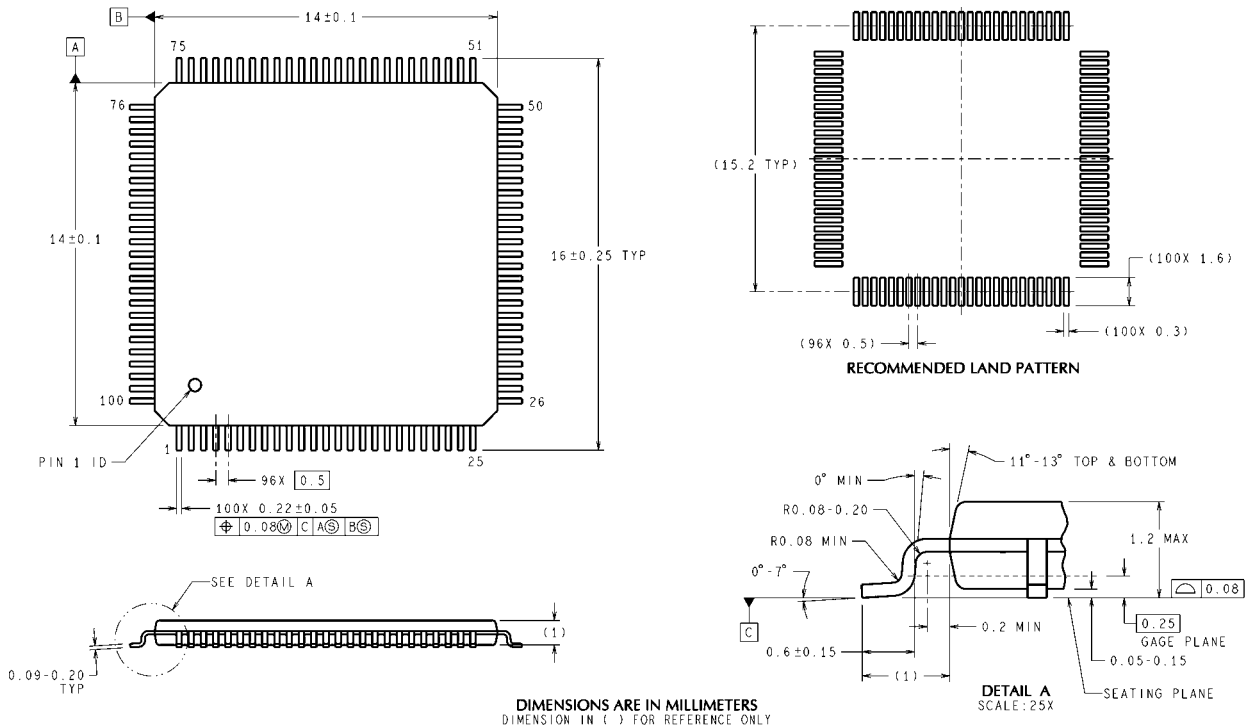


ピン配置図 (つづき)

Receiver-DS90CF388



外形寸法図 単位は millimeters



Dimensions show in millimeters  
 Order Number DS90C387VJD and DS90CF388VJD  
 NS Package Number VJD100A

VJD100A (Rev C)

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2006 National Semiconductor Corporation  
 製品の最新情報については [www.national.com](http://www.national.com) をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

[www.national.com/jpn/](http://www.national.com/jpn/)

本資料に掲載されているすべての回路の使用に起因する第三者の特許権その他の権利侵害に関して、弊社ではその責を負いません。また掲載内容は予告無く変更されることがありますのでご了承ください。

# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されてもありません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されてもありません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上