

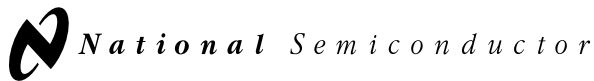
# **DS90CF563,DS90CF564**

*DS90CF563/DS90CF564 LVDS 18-Bit Color Flat Panel Display (FPD) Link -  
65 MHz*



Literature Number: JAJ861

ご注意：この日本語データシートは参考資料として提供しており、内容が最新でない場合があります。  
製品のご検討およびご採用に際しては、必ず最新の英文データシートをご確認ください。



July 1997

## DS90CF563/DS90CF564 18-Bit Color Flat Panel Display (FPD) Link

### 概要

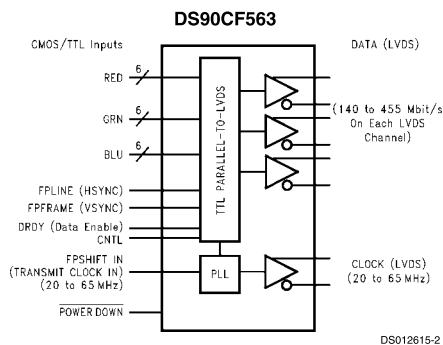
トランスミッタ DS90CF563 は、21 ビットの CMOS/TTL 入力パラレルデータを、3 組の LVDS (Low Voltage Differential Signaling) シリアルデータに変換します。また、クロック信号も、トランスミッタ PLL 回路で位相調整され 1 組の LVDS データに変換します。21 ビットの入力データは、クロック信号のサイクル毎にサンプリングされ伝送されます。レシーバ DS90CF564 は、3 組の LVDS シリアルデータを 21 ビットの CMOS/TTL 出力パラレルデータに復元します。クロック周波数が 65MHz 時、18 ビットの RGB データと、3 ビットの LCD タイミング及び制御信号 (FPLINE, FPFRAME, DRDY) は、LVDS データ 1 チャンネルあたり 455Mbps のスピードになり、トータル 171MB/s で伝送されます。このデバイスは立ち下がりエッジデータストロブのグラフィックコントローラや LCD パネルコントローラとインタフェースするのに便利です。

このチップセットはバス幅が広く高速な TTL インタフェースで問題となっている EMI やケーブルサイズを解決するには理想的なチップセットです。

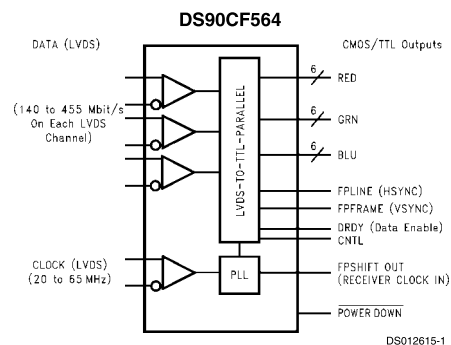
### 特長

- クロック周波数 20 ~ 65MHz に対応
- 171MB/s の高速転送
- バス幅の低減によりケーブル、コネクタを小型化可能
- 低 EMI を実現する 290mV 信号振幅
- CMOS により低消費電力 (< 550mW TYP) を実現
- 消費電力を低減するパワーダウンモード (< 0.25mW)
- PLL は外付け部品不要
- 高密度実装を可能にする 48 ピン TSSOP パッケージ
- 立ち下がりエッジデータストロブ
- TIA/EIA-644 LVDS 標準準拠
- シングルピクセル XGA (1024 x 768) 対応
- VGA, SVGA, XGA もしくは XGA 以上の高精細をサポート
- 1.3Gbps の高速伝送

### Block Diagrams



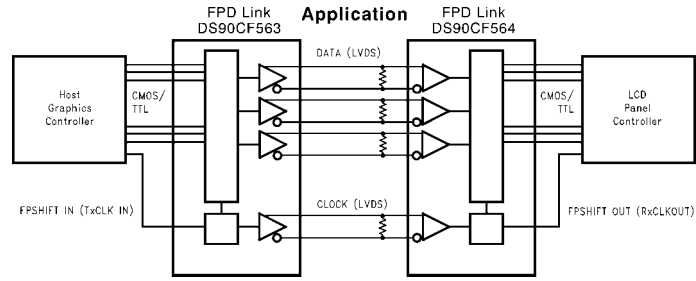
Order Number DS90CF563MTD  
See NS Package Number MTD48



Order Number DS90CF564MTD  
See NS Package Number MTD48

TRI-STATE® はナショナル セミコンダクター社の登録商標です。

## Block Diagrams (つづき)



DS012615-3

## 絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。  
関連する電気的信頼性試験方法の規格を参照下さい。

\*周囲温度 + 25 を超える場合は、

DS90CF563

16mW/

DS90CF564

15mW/

を減じてください。

このデバイスは、ESD 耐圧 2000V 未満です。(Note 4)。

最大電源電圧( $V_{CC}$ ) - 0.3V ~ + 6V

CMOS/TTL 最大入力電圧 - 0.3V ~  $V_{CC}$  + 0.3V

CMOS/TTL 最大出力電圧 - 0.3V ~  $V_{CC}$  + 0.3V

LVDS レシーバ最大入力電圧 - 0.3V ~  $V_{CC}$  + 0.3V

LVDS ドライバ最大出力電圧 - 0.3V ~  $V_{CC}$  + 0.3V

LVDS 出力短絡時間 連続

PN 接合温度 + 150

保存温度範囲 - 65 ~ + 150

許容リード温度(ハンダ付け 4秒) 260

最大パッケージ許容損失(+ 25 のとき)

MTD48(TSSOP)パッケージ:

DS90CF563 1.98W

DS90CF564 1.89W

推奨動作条件

電源電圧( $V_{CC}$ )	最小値	標準値	最大値	単位
電源電圧( $V_{CC}$ )	4.75	5.0	5.25	V
動作周囲温度( $T_A$ )	- 10	+ 25	+ 70	
レシーバ入力電圧範囲	0		2.4	V
電源ノイズ電圧			100	mVp-p

## 電気的特性

特記のない限り、推奨動作電源電圧および動作温度範囲に対して適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
<b>CMOS/TTL DC SPECIFICATIONS</b>						
$V_{IH}$	High Level Input Voltage		2.0		$V_{CC}$	V
$V_{IL}$	Low Level Input Voltage		GND		0.8	V
$V_{OH}$	High Level Output Voltage	$I_{OH} = -0.4$ mA	3.8	4.9		V
$V_{OL}$	Low Level Output Voltage	$I_{OL} = 2$ mA		0.1	0.3	V
$V_{CL}$	Input Clamp Voltage	$I_{CL} = -18$ mA		-0.79	-1.5	V
$I_{IN}$	Input Current	$V_{IN} = V_{CC}, GND, 2.5V$ or 0.4V		±5.1	±10	µA
$I_{OS}$	Output Short Circuit Current	$V_{OUT} = 0V$			-120	mA
<b>LVDS DRIVER DC SPECIFICATIONS</b>						
$V_{OD}$	Differential Output Voltage	$R_L = 100\Omega$	250	290	450	mV
$\Delta V_{OD}$	Change in $V_{OD}$ between Complementary Output States				35	mV
$V_{CM}$	Common Mode Voltage		1.1	1.25	1.375	V
$\Delta V_{CM}$	Change in $V_{CM}$ between Complementary Output States				35	mV
$V_{OH}$	High Level Output Voltage			1.3	1.6	V
$V_{OL}$	Low Level Output Voltage		0.9	1.01		V
$I_{OS}$	Output Short Circuit Current	$V_{OUT} = 0V, R_L = 100\Omega$		-2.9	-5	mA
$I_{OZ}$	Output TRI-STATE® Current	Power Down = 0V, $V_{OUT} = 0V$ or $V_{CC}$		±1	±10	µA
<b>LVDS RECEIVER DC SPECIFICATIONS</b>						
$V_{TH}$	Differential Input High Threshold	$V_{CM} = +1.2V$			+100	mV
$V_{TL}$	Differential Input Low Threshold		-100			mV
$I_{IN}$	Input Current	$V_{IN} = +2.4V$			±10	µA
		$V_{IN} = 0V$			±10	µA
<b>TRANSMITTER SUPPLY CURRENT</b>						
$I_{CCTW}$	Transmitter Supply Current, Worst Case	$R_L = 100\Omega, C_L = 5$ pF, Worst Case Pattern (Figure 1, Figure 3)	$f = 32.5$ MHz	49	63	mA
			$f = 37.5$ MHz	51	64	mA
			$f = 65$ MHz	70	84	mA
$I_{CCTG}$	Transmitter Supply Current, 16 Grayscale	$R_L = 100\Omega, C_L = 5$ pF, 16 Grayscale Pattern (Figure 2, Figure 3)	$f = 32.5$ MHz	40	55	mA
			$f = 37.5$ MHz	41	55	mA
			$f = 65$ MHz	55	67	mA

## 電気的特性 (つづき)

特記のない限り、推奨動作電源電圧および動作温度範囲に対して適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
<b>TRANSMITTER SUPPLY CURRENT</b>						
$I_{CTZ}$	Transmitter Supply Current, Power Down	Power Down = Low		1	25	$\mu\text{A}$
<b>RECEIVER SUPPLY CURRENT</b>						
$I_{CCRW}$	Receiver Supply Current, Worst Case	$C_L = 8 \text{ pF}$ , Worst Case Pattern (Figure 1, Figure 4)	$f = 32.5 \text{ MHz}$	64	77	$\text{mA}$
			$f = 37.5 \text{ MHz}$	70	85	$\text{mA}$
			$f = 65 \text{ MHz}$	110	140	$\text{mA}$
$I_{CCRG}$	Receiver Supply Current, 16 Grayscale	$C_L = 8 \text{ pF}$ , 16 Grayscale Pattern (Figure 2, Figure 4)	$f = 32.5 \text{ MHz}$	35	55	$\text{mA}$
			$f = 37.5 \text{ MHz}$	37	55	$\text{mA}$
			$f = 65 \text{ MHz}$	55	67	$\text{mA}$
$I_{CCRZ}$	Receiver Supply Current, Power Down	Power Down = Low		1	10	$\mu\text{A}$

Note 1: 「絶対最大定格」とは、この範囲を超えるとデバイスの安全性が保証されないリミット値をいい、これらのリミット値でデバイスが動作することを意味するものではありません。電気的特性の表にデバイスの実動作条件を記載しています。

Note 2: 代表値(Typ)は全て  $V_{CC} = 5\text{V}$ 、および  $T_A = +25^\circ\text{C}$  で得られる最も標準的な数値です。

Note 3: デバイス端子に流れ込む電流は正、デバイス端子から流れ出る電流は負と定義されます。 $V_{OD}$  と  $\Delta V_{OD}$  以外、全ての電圧値はグランド端子を基準とします。

Note 4: ESD 試験: HBM(1.5k $\Omega$ , 100pF)

PLL  $V_{CC} = 1000\text{V}$

その他のピン 2000V

EIAJ(0 $\Omega$ , 200pF) 150V

## トランスミッタスイッチング特性

特記のない限り、推奨動作電源電圧および動作温度範囲に対して適用。

Symbol	Parameter	Min	Typ	Max	Units
LLHT	LVDS Low-to-High Transition Time (Figure 3)		0.75	1.5	ns
LHLT	LVDS High-to-Low Transition Time (Figure 3)		0.75	1.5	ns
TCIT	TxCLK IN Transition Time (Figure 5)			8	ns
TCCS	TxOUT Channel-to-Channel Skew (Note 5) (Figure 6)			350	ps
TCCD	TxCLK IN to TxCLK OUT Delay @ 25°C, $V_{CC} = 5.0\text{V}$ (Figure 9)	3.5		8.5	ns
TCIP	TxCLK IN Period (Figure 7)	15	T	50	ns
TCIH	TxCLK IN High Time (Figure 7)	0.35T	0.5T	0.65T	ns
TCIL	TxCLK IN Low Time (Figure 7)	0.35T	0.5T	0.65T	ns
TSTC	TxIN Setup to TxCLK IN (Figure 7)		5	3.5	ns
THTC	TxIN Hold to TxCLK IN (Figure 7)		2.5	1.5	ns
TPDD	Transmitter Powerdown Delay (Figure 18)			100	ns
TPLLS	Transmitter Phase Lock Loop Set (Figure 11)			10	ms
TPPos0	Transmitter Output Pulse Position 0 (Figure 13)	-0.30	0	0.30	ns
TPPos1	Transmitter Output Pulse Position 1	1.70	$1/7 T_{\text{clk}}$	2.50	ns
TPPos2	Transmitter Output Pulse Position 2	3.60	$2/7 T_{\text{clk}}$	4.50	ns
TPPos3	Transmitter Output Pulse Position 3	5.90	$3/7 T_{\text{clk}}$	6.75	ns
TPPos4	Transmitter Output Pulse Position 4	8.30	$4/7 T_{\text{clk}}$	9.00	ns
TPPos5	Transmitter Output Pulse Position 5	10.40	$5/7 T_{\text{clk}}$	11.10	ns
TPPos6	Transmitter Output Pulse Position 6	12.70	$6/7 T_{\text{clk}}$	13.40	ns

Note 5: このリミット値はベンチキャラクタライゼーションによるものです。

## レシーバスイッチング特性(つづき)

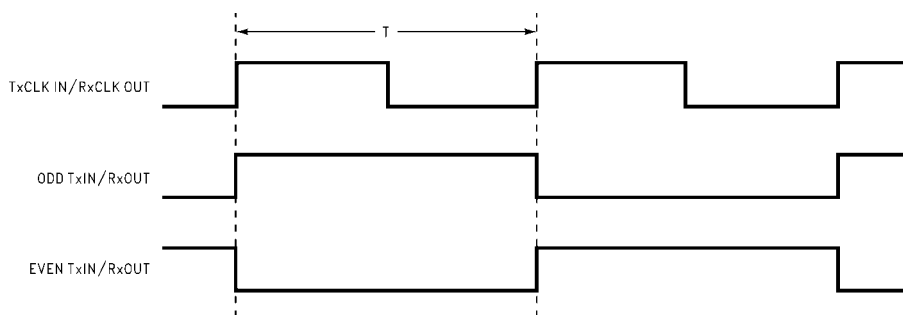
特記のない限り、推奨動作電源電圧および動作温度範囲に対して適用。

Symbol	Parameter	Min	Typ	Max	Units
CLHT	CMOS/TTL Low-to-High Transition Time (Figure 4)		2.5	4.0	ns
CHLT	CMOS/TTL High-to-Low Transition Time (Figure 4)		2.0	3.5	ns
RCOP	RxCLK OUT Period	15	T	50	ns
RCOH	RxCLK OUT High Time	f = 65 MHz	7.8	9	ns
RCOL	RxCLK OUT Low Time	f = 65 MHz	3.8	5	ns
RSRC	RxOUT Setup to RxCLK OUT	f = 65 MHz	2.5	4.2	ns
RHRC	RxOUT Hold to RxCLK OUT	f = 65 MHz	4.0	5.2	ns
RCCD	RxCLK IN to RxCLK OUT Delay @ 25°C, V <sub>CC</sub> = 5.0V (Figure 10)	6.4		10.7	ns
RPLLS	Receiver Phase Lock Loop Set (Figure 12)			10	ms
RSKM	RxIN Skew Margin (Note 6) (Figure 14)	V <sub>CC</sub> = 5V, T <sub>A</sub> = 25°C	600		ps
RPDD	Receiver Powerdown (Figure 17)			1	μs

Note 6: レシーバスキューマージンはレシーバ入力でのサンプリングに必要な有効データ範囲と定義されます。このマージンはトランスミッタ出力スキュー (TCCS)、セットアップ/ホールドタイム (内部でサンプリングが必要) が考慮されており、許容できるケーブルスキュー (タイプと長さにより異なります。) とソースクロック (TxCLK IN) ジッタを表わしています。

RSKM ケーブルスキュー + ソースクロックジッタ (連続する 2 クロック間)

## AC Timing Diagrams



DS012615-4

FIGURE 1. "Worst Case" Test Pattern

## AC Timing Diagrams (つづき)

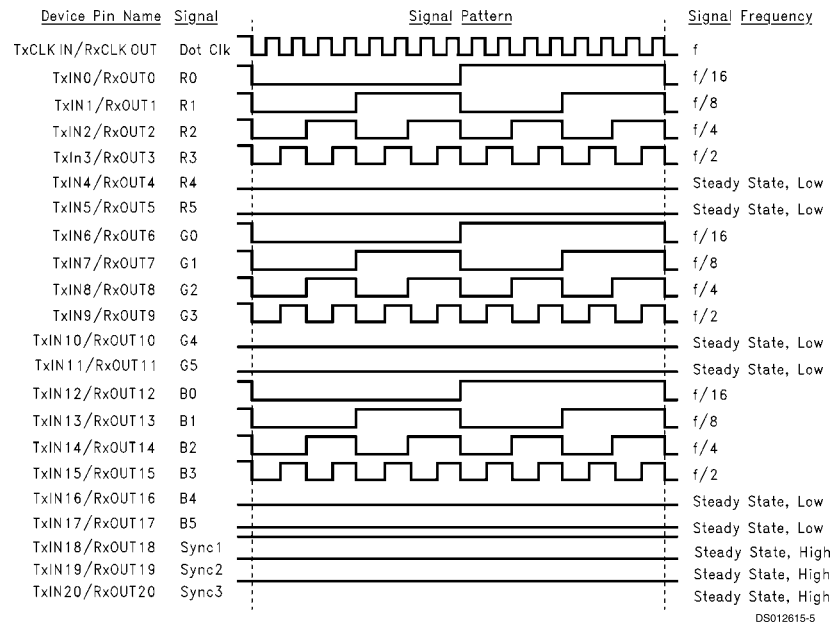


FIGURE 2. "16 Grayscale" Test Pattern

Note 7: ワーストケースパターンはデバイスのデジタル回路、LVDS I/O と TTL I/O が最もトグルするように考えられています。

Note 8: 16階調テストパターンはLCDディスプレイの代表的パターンにおけるデバイスの消費電力を算定するためのものです。このパターンは16の縦ストライプのグループがディスプレイに並ぶように信号を近似しています。

Note 9: Fig.1、Fig.2 ともに立ち下がりエッジストロブの場合です。

Note 10: 推奨ピンアサインですが、独自のアサインにする事も可能です。

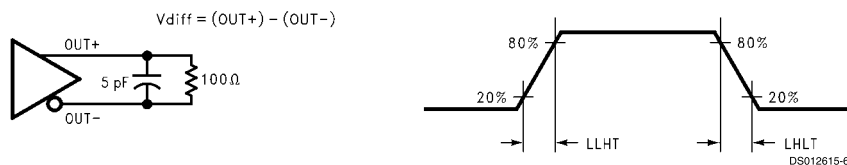


FIGURE 3. DS90CF563 (Transmitter) LVDS Output Load and Transition Times

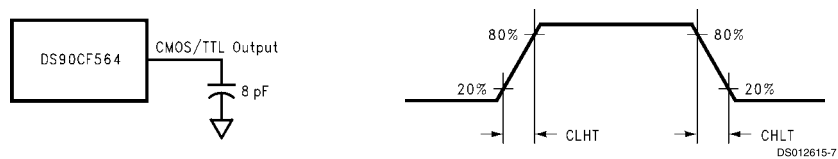


FIGURE 4. DS90CF564 (Receiver) CMOS/TTL Output Load and Transition Times

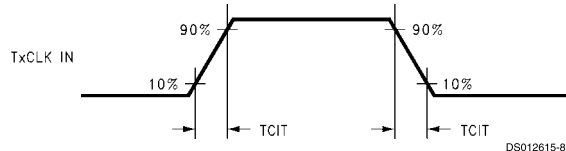
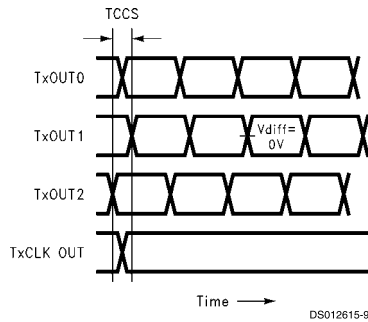


FIGURE 5. DS90CF563 (Transmitter) Input Clock Transition Time

## AC Timing Diagrams (つづき)



Note:  $V_{diff} = 0V$  で測定。

Note: TCCS は最初のLVDS エッジの最も速いエッジと最も遅いエッジで測定されます。

Note: TxCLK OUT ディファレンシャル出力のうち High から Low のエッジを測定。

FIGURE 6. DS90CF563 (Transmitter) Channel-to-Channel Skew and Pulse Width

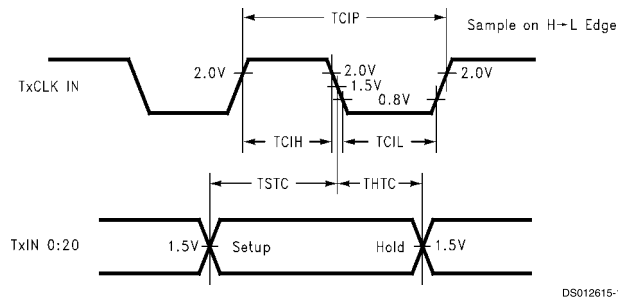


FIGURE 7. DS90CF563 (Transmitter) Setup/Hold and High/Low Times

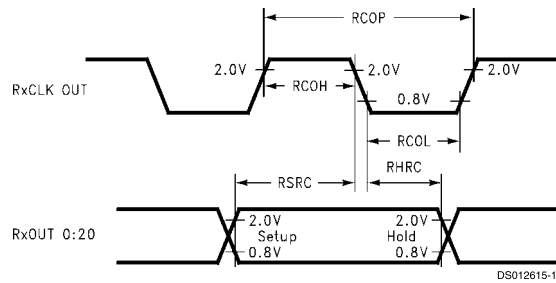


FIGURE 8. DS90CF564 (Receiver) Clock In to Clock Out Delay

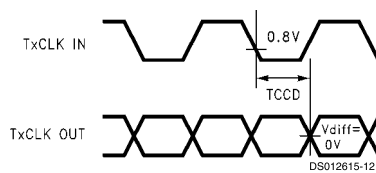


FIGURE 9. DS90CF563 (Transmitter) Clock In to Clock Out Delay



AC Timing Diagrams (つづき)

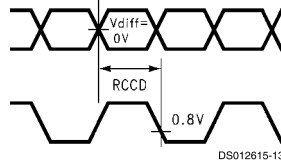


FIGURE 10. DS90CF564 (Receiver) Clock In to Clock Out Delay

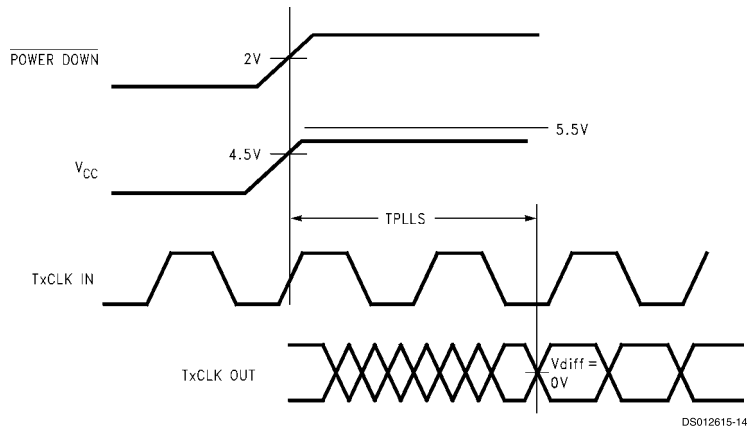


FIGURE 11. DS90CF563 (Transmitter) Phase Lock Loop Set Time

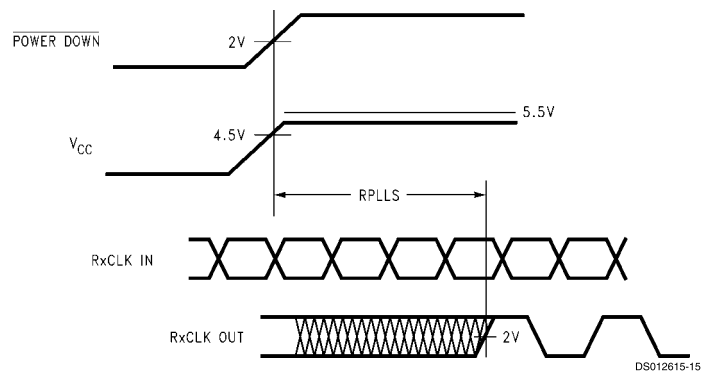
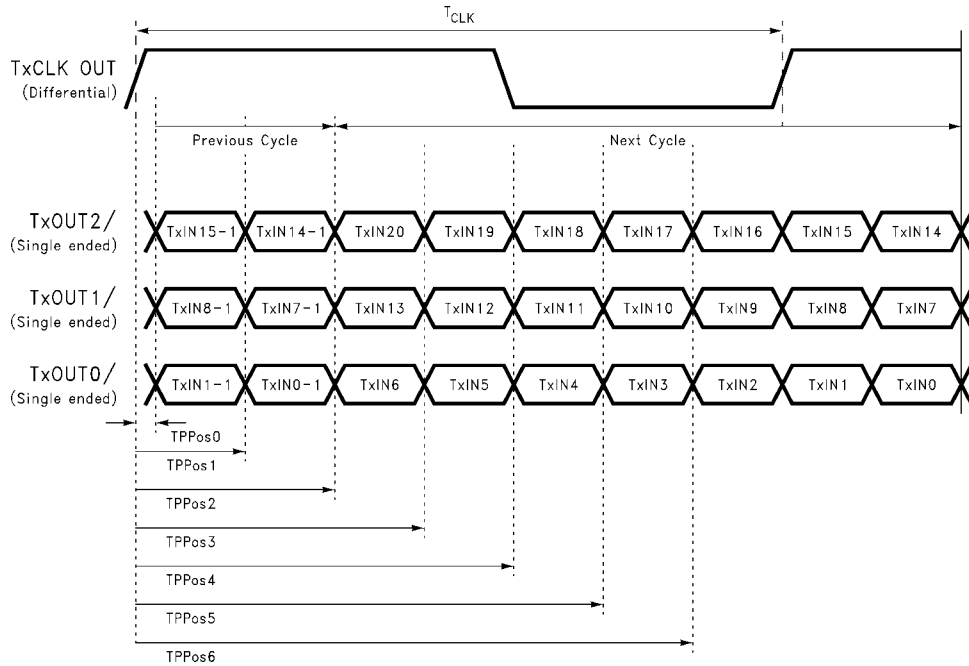


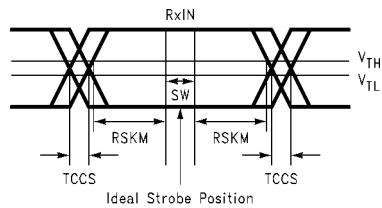
FIGURE 12. DS90CF564 (Receiver) Phase Lock Loop Set Time

### AC Timing Diagrams (つづき)



DS012615-16

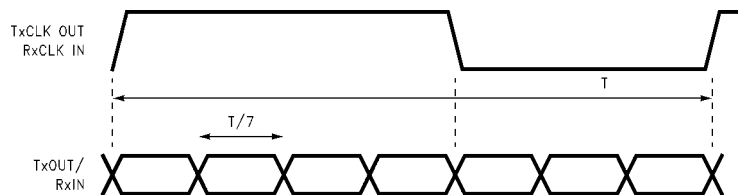
FIGURE 13. Transmitter LVDS Output Pulse Position Measurement



DS012615-17

- SW - セットアップ/ホールドタイム (内部サンプリング用)
- TCCS - トランスミッタ出力スキュー
- RSKM - ケーブルスキュー+ソースクロックジッタ (連続する2クロック間)
- ケーブルスキュー - 通常 10 ~ 40ps/300mm

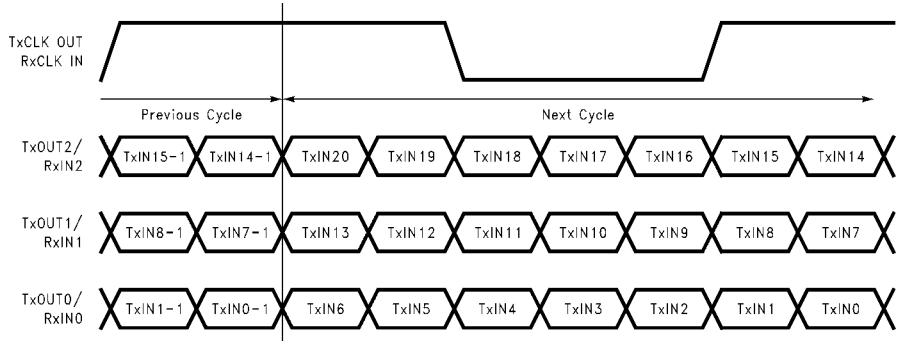
FIGURE 14. Receiver LVDS Input Skew Margin



DS012615-18

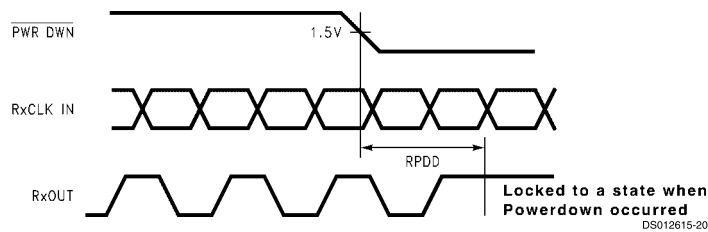
FIGURE 15. Seven Bits of LVDS in One Clock Cycle

## AC Timing Diagrams (つづき)



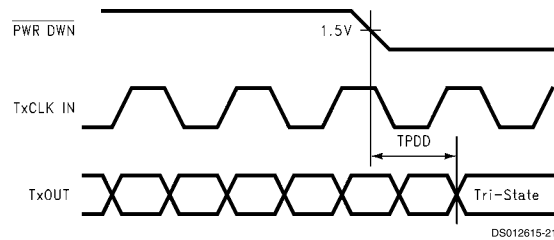
DS012615-19

FIGURE 16. 21 Parallel TTL Data Inputs Mapped to LVDS Outputs (DS90CF563)



DS012615-20

FIGURE 17. Receiver Powerdown Delay



DS012615-21

FIGURE 18. Transmitter Powerdown Delay

## DS90CF563 Pin Descriptions—FPD Link Transmitter

Pin Name	I/O	No.	Description
TxIN	I	21	TTL level input. This includes: 6 Red, 6 Green, 6 Blue, and 3 control lines—FPLINE, FPFRAME, DRDY (also referred to as HSYNC, VSYNC, Data Enable)
TxOUT+	O	3	Positive LVDS differential data output
TxOUT-	O	3	Negative LVDS differential data output
FPSHIFT IN	I	1	TTL level clock input. The falling edge acts as data strobe
TxCLK OUT+	O	1	Positive LVDS differential clock output
TxCLK OUT-	O	1	Negative LVDS differential clock output
PWR DOWN	I	1	TTL level input. Assertion (low input) TRI-STATES the outputs, ensuring low current at power down
V <sub>CC</sub>	I	4	Power supply pins for TTL inputs
GND	I	5	Ground pins for TTL inputs
PLL V <sub>CC</sub>	I	1	Power supply pin for PLL

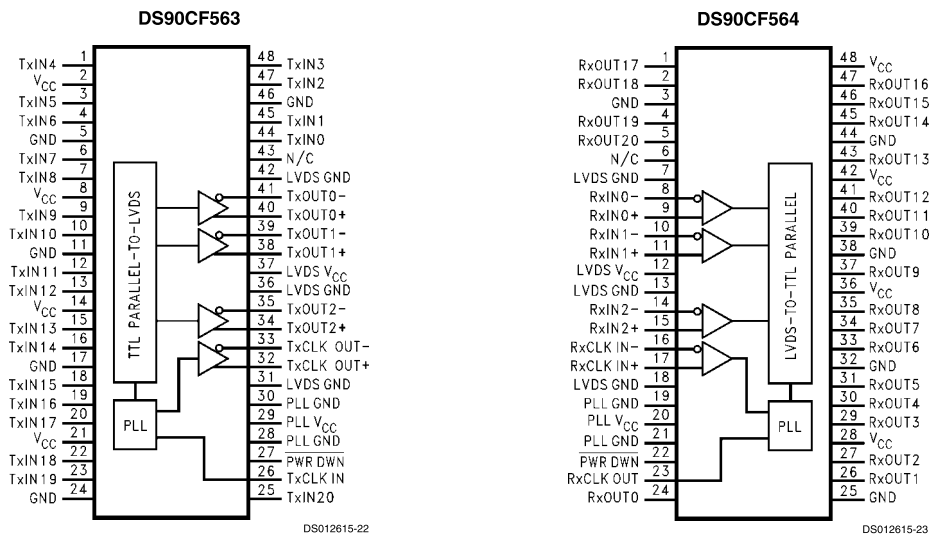
### DS90CF563 Pin Descriptions FPD Link Transmitter (つづき)

Pin Name	I/O	No.	Description
PLL GND	I	2	Ground pins for PLL
LVDS V <sub>CC</sub>	I	1	Power supply pin for LVDS outputs
LVDS GND	I	3	Ground pins for LVDS outputs

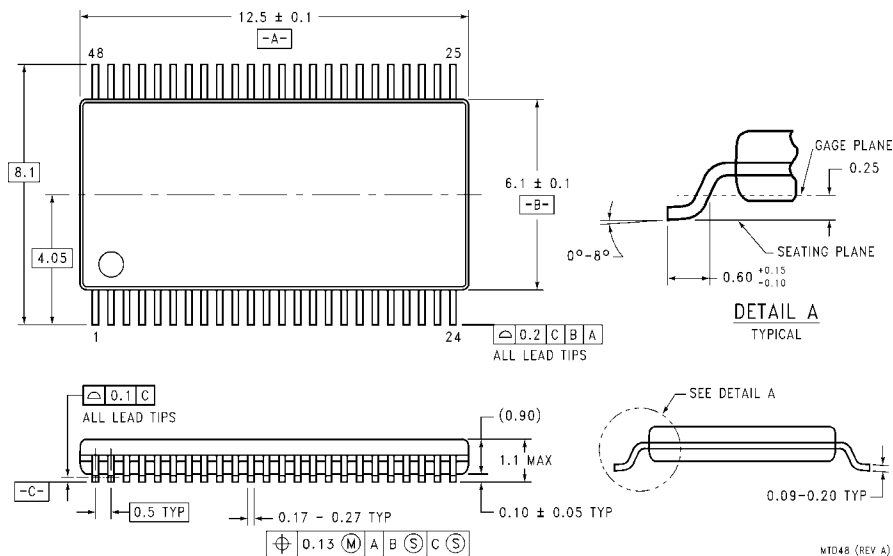
### DS90CF564 Pin Descriptions FPDLink Receiver

Pin Name	I/O	No.	Description
RxIN+	I	3	Positive LVDS differential data inputs
RxIN-	I	3	Negative LVDS differential data inputs
RxOUT	O	21	TTL level data outputs. This includes: 6 Red, 6 Green, 6 Blue, and 3 control lines—FPLINE, FPF <sub>FRAME</sub> , DRDY (also referred to as HSYNC, VSYNC, Data Enable)
RxCLK IN+	I	1	Positive LVDS differential clock input
RxCLK IN-	I	1	Negative LVDS differential clock input
FPSHIFT OUT	O	1	TTL level clock output. The falling edge acts as data strobe
PWR DOWN	I	1	TTL level input. Assertion (low input) maintains the receiver outputs in the previous state
V <sub>CC</sub>	I	4	Power supply pins for TTL outputs
GND	I	5	Ground pins for TTL outputs
PLL V <sub>CC</sub>	I	1	Power supply for PLL
PLL GND	I	2	Ground pin for PLL
LVDS V <sub>CC</sub>	I	1	Power supply pin for LVDS inputs
LVDS GND	I	3	Ground pins for LVDS inputs

### Connection Diagrams



**Physical Dimensions** inches (millimeters) unless otherwise noted



**48-Lead Molded Thin Shrink Small Outline Package, JEDEC  
NS Package Number MTD48**

**生命維持装置への使用について**

弊社の製品はナショナル セミコンダクター社の書面による許可なくしては、生命維持用の装置またはシステム内の重要な部品として使用することはできません。

1. 生命維持用の装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。
2. 重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

**ナショナル セミコンダクター ジャパン株式会社**

本 社 / 〒135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300 <http://www.nsjk.co.jp/>

製品に関するお問い合わせはカスタマ・レスポンス・センタのフリーダイヤルまでご連絡ください。



**0120-666-116**



この紙は再生紙を使用しています

# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されてもいません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されてもいません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上