

DS90CR481,DS90CR482

DS90CR481 / DS90CR482 48-Bit LVDS Channel Link SER/DES 65 - 112 MHz



Literature Number: JAJ957

ご注意：この日本語データシートは参考資料として提供しており、内容が最新でない場合があります。製品のご検討およびご採用に際しては、必ず最新の英文データシートをご確認ください。



2006年1月

DS90CR481/DS90CR482

48ビット LVDS Channel Link シリアライザ / デシリアライザ 65 ~ 112MHz

概要

DS90CR481トランスミッタは、48ビットの CMOS/TTL データを、高速な8ペアのLVDS（小振幅差動信号）シリアル・データ列に変換します。PLLで位相ロックされた転送クロックは、9ビット目のLVDSリンクを介して、データ列に並行してレシーバへ送られます。また、48ビットの入力データは、転送クロックの各サイクルでサンプリングされ送信されます。一方のDS90CR482レシーバは、送られてきたLVDSデータ列を48ビットのLVCMOS/TTLデータに復元します。送信クロックの周波数が112MHzのとき、48ビットのCMOS/TTLデータは各LVDSデータ・チャンネル当たり672Mbpsの転送レートで送信されます。したがって、クロックが112MHzのときのデータ総スループットは5.38Gbit/sec (672MB/sec) となります。トランスミッタ・クロックの周波数が112MHz時には、48ビットのTTLデータはLVDS1チャンネルあたり672Mbpsのスピードになります。66MHzクロックでは、トータル・スループットは3.168Gbps (396Mbyte/s) で転送されます。

データ・ラインの多重化によって、ケーブルの大幅な削減が可能です。通常、線長の長いシングルエンドの平行バスは、1本のアクティブ信号当たり1本のグラウンドを必要とします（ただし、ノイズを排除する性能は優れていません）。そのため、48ビット幅のデータと1ビットのクロックを送ろうとすると、最大98芯ものケーブルが必要となります。しかし、Channel link チップセットを使用すると、わずか19芯のケーブルで済みます（8組のデータ・ペアと1組のクロック・ペアと少なくとも1本のグラウンド）。ケーブルのビット幅で比べると80%も少なく済み、システム・コストの削減、コネクタ形状の小型化と部品コストの低減、ケーブルのビット幅が少ないことによるシールドの小型化が実現できます。

また、48本のCMOS/TTL入力は、さまざまな信号の組み合わせに対応できます。例えば、6セットの8ビット・データ、または5セットの9ビット（パリティ）データと3ビットの制御線などです。

以前のChannel Linkデバイスに比べ、このDS90CR481/DS90CR482チップセットは3つの点を改良して、高いバンド幅をサポートし、長いケーブルをドライブできるようになりました。バンド

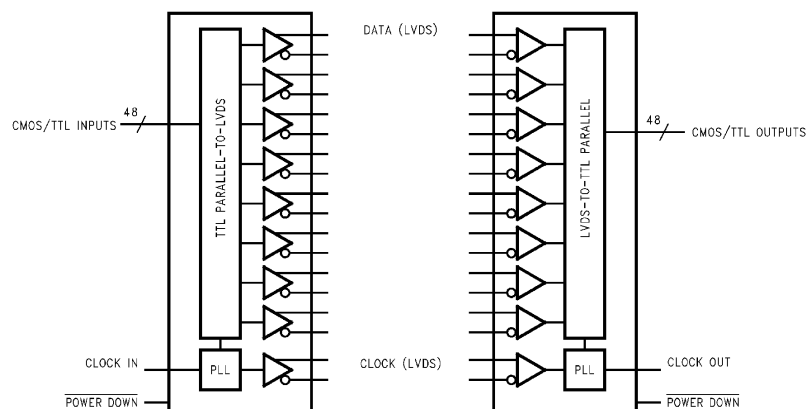
を上げるために、最大クロック周波数を112MHzに上げ、8ペアのシリアルLVDS出力を備えました。まず、ユーザが選択可能なプリエンファシス機能を設けて信号遷移時のLVDS駆動電流を増やし、ケーブル負荷の影響を打ち消すことでドライブ能力を高めています。あわせて転送サイクルごとのDCバランスを取るオプション機能も、符合間干渉（ISI）の低減に寄与します。プリエンファシスとDCバランスによって、ケーブル端のレシーバで、歪みの小さいアイ・パターンを得られます。最後に、ケーブル・デスクュー機能が長いケーブルにおけるペア間スキューを±1LVDSデータ・ビット幅まで吸収します（80MHzクロック周波数まで）。以上の3項目の改良により、5m以上のケーブルのドライブができるようになりました。

このチップセットは、広帯域、高速のTTLインタフェースで、EMIとケーブル長の問題を解決できる理想的な手段といえます。

特長

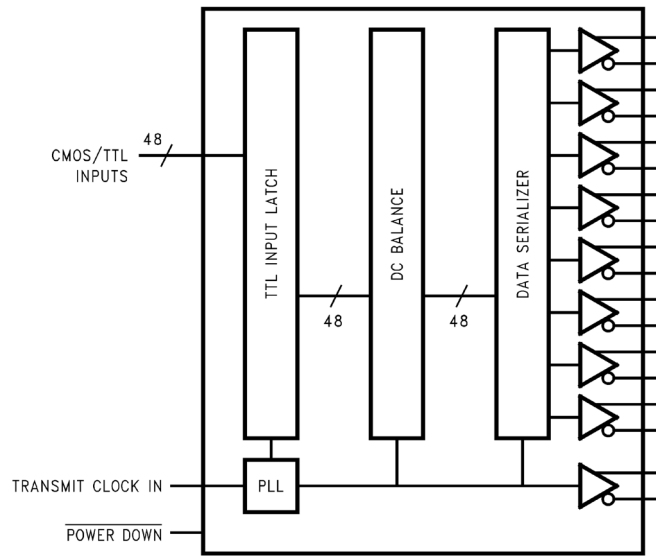
- 3.168Gbpsのバンド幅で66MHzクロック
- 5.376Gbpsのバンド幅で112MHzクロック
- 65MHz ~ 112MHzの入力クロック周波数に対応
- LVDS SER/DESによるケーブルおよびコネクタ・サイズの削減
- ケーブル負荷の影響を低減するプリエンファシス
- 符合間干渉を低減するDCバランス・エンコーディング
- ±1LVDSデータ・ビット幅までのケーブル・デスクュー（80MHzクロック周波数まで）
- 5V耐圧のTxINと制御入力ピン
- プリント基板の設計を容易にするフロースルー・ピン出力
- +3.3V電源電圧
- サイクルごとのジッタを低減するトランスミッタ
- ANSI/TIE/EIA-644-1995LVDS標準に準拠

一般的なブロック図 (DS90CR481、DS90CR482)

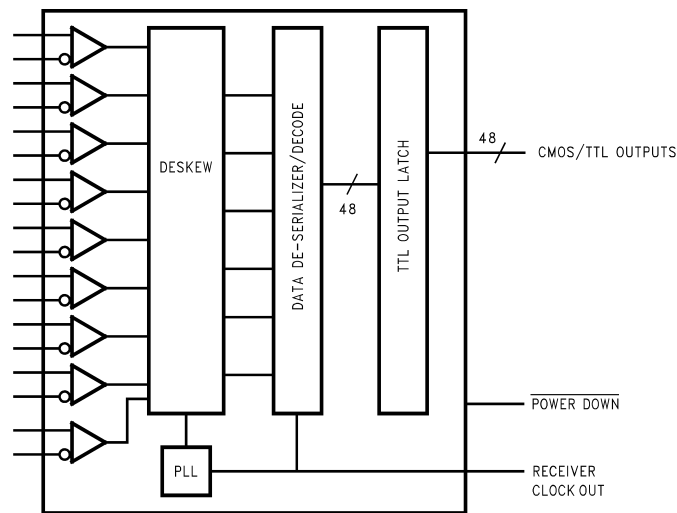


DS90CR481/DS90CR482 48ビットLVDS Channel Link シリアライザ / デシリアライザ 65 ~ 112MHz

一般的なトランスミッタ・ブロック図 - DS90CR481



一般的なレシーバ・ブロック図 - DS90CR482



製品情報

Order Number	Function	Package
DS90CR481VJD	Transmitter (Serializer)	VJD100A
DS90CR482VS	Receiver (Deserializer)	VJD100A

絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電気的信頼性試験方法の規格を参照ください。

電源電圧 (V _{CC})	- 0.3V ~ + 4V
CMOS/TTL 入力電圧	- 0.3V ~ + 5.5V
LVC MOS/TTL 出力電圧	- 0.3V ~ (V _{CC} + 0.3V)
LVDS レシーバ入力電圧	- 0.3V ~ + 3.6V
LVDS ドライバ出力電圧	- 0.3V ~ + 3.6V
LVDS 出力短絡時間	連続
接合部温度	+ 150
保存温度範囲	- 65 ~ + 150
リード温度 (ハンダ付け、4 秒)	
100L TQFP	+ 260

パッケージ最大許容電力損失 (25 °C)

100 TQFP パッケージ	
DS90CR481VJD	2.3W
DS90CR482VS	2.3W

パッケージ・デレーティング

DS90CR481VJD	25	以上で 18.1mW/
DS90CR482VS	25	以上で 18.1mW/

ESD 耐圧

DS90CR481	(HBM、1.5k 、 100pF)	> 6kV
	(EIAJ、 0 、 200pF)	> 300V
DS90CR482	(HBM、1.5k 、 100pF)	> 2kV
	(EIAJ、 0 、 200pF)	> 200V

推奨動作条件

	最小値	代表値	最大値	単位
電源電圧 (V _{CC})	3.0	3.3	3.6	V
動作温度範囲 (T _A)	- 10	+ 25	+ 70	
電源電圧ノイズ			100	mV _{p-p}
入力クロック (TX)	65		112	MHz

電気的特性

特記のない限り、推奨動作条件における電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
CMOS/TTL DC SPECIFICATIONS						
V _{IH}	High Level Input Voltage		2.0			V
V _{IL}	Low Level Input Voltage		GND		0.8	V
V _{OH}	High Level Output Voltage	I _{OH} = -0.4 mA	2.7	2.9		V
		I _{OH} = -2mA	2.7	2.85		V
V _{OL}	Low Level Output Voltage	I _{OL} = 2 mA		0.1	0.3	V
V _{CL}	Input Clamp Voltage	I _{CL} = -18 mA		-0.79	-1.5	V
I _{IN}	Input Current	V _{IN} = 0.4V, 2.5V or V _{CC}		+1.8	+15	μA
		V _{IN} = GND	-15	0		μA
I _{OS}	Output Short Circuit Current	V _{OUT} = 0V			-120	mA
LVDS DRIVER DC SPECIFICATIONS						
V _{OD}	Differential Output Voltage	R _L = 100Ω	250	345	450	mV
ΔV _{OD}	Change in V _{OD} between Complimentary Output States				35	mV
V _{OS}	Offset Voltage		1.125	1.25	1.375	V
ΔV _{OS}	Change in V _{OS} between Complimentary Output States				35	mV

電气的特性 (つづき)

特記のない限り、推奨動作条件における電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
I_{OS}	Output Short Circuit Current	$V_{OUT} = 0V, R_L = 100\Omega$		-3.5	-5	mA
I_{OZ}	Output TRI-STATE Current	$\overline{PD} = 0V, V_{OUT} = 0V \text{ or } V_{CC}$		± 1	± 10	μA

LVDS RECEIVER DC SPECIFICATIONS

V_{TH}	Differential Input High Threshold	$V_{CM} = +1.2V$			+100	mV
V_{TL}	Differential Input Low Threshold		-100			mV
I_{IN}	Input Current	$V_{IN} = +2.4V, V_{CC} = 3.6V$			± 10	μA
		$V_{IN} = 0V, V_{CC} = 3.6V$			± 10	μA

TRANSMITTER SUPPLY CURRENT

ICCTW	Transmitter Supply Current Worst Case	$R_L = 100\Omega, C_L = 5 \text{ pF},$ BAL = High, Worst Case Pattern (Figures 1, 2)	$f = 66\text{MHz}$		106	160	mA
			$f = 112\text{MHz}$		155	210	mA
ICCTZ	Transmitter Supply Current Power Down	$\overline{PD} = \text{Low}$ Driver Outputs in TRI-STATE during power down Mode			5	50	μA

RECEIVER SUPPLY CURRENT

ICCRW	Receiver Supply Current Worst Case	$C_L = 8 \text{ pF}, \text{BAL} = \text{High},$ Worst Case Pattern (Figures 1, 3)	$f = 66\text{MHz}$		200	210	mA
			$f = 112\text{MHz}$		250	280	mA
ICCRZ	Receiver Supply Current Power Down	$\overline{PD} = \text{Low}$ Receiver Outputs stay low during power down mode.			20	100	μA

推奨トランスミッタ入力特性

特記のない限り、推奨動作条件における電源電圧および温度範囲に適用。

Symbol	Parameter	Min	Typ	Max	Units
TCIT	TxCLK IN Transition Time (Figure 4)	1.0	2.0	3.0	ns
TCIP	TxCLK IN Period (Figure 5)	8.93		15.38	ns
TCIH	TxCLK in High Time (Figure 5)	0.35T	0.5T	0.65T	ns
TCIL	TxCLK in Low Time (Figure 5)	0.35T	0.5T	0.65T	ns
TXIT	TxIN Transition Time	1.5		6.0	ns

トランスミッタ・スイッチング特性

特記のない限り、推奨動作条件における電源電圧および温度範囲に適用。

Symbol	Parameter	Min	Typ	Max	Units	
LLHT	LVDS Low-to-High Transition Time, (Figure 2), PRE = 0.75V (disabled)		0.14	0.7	ns	
	LVDS Low-to-High Transition Time, (Figure 2), PRE = Vcc (max)		0.11	0.6	ns	
LHLT	LVDS High-to-Low Transition Time, (Figure 2), PRE = 0.75V (disabled)		0.16	0.8	ns	
	LVDS High-to-Low Transition Time, (Figure 2), PRE = Vcc (max)		0.11	0.7	ns	
TBIT	Transmitter Bit Width	f = 66 MHz, 112MHz	1/7 TCIP		ns	
TPPOS	Transmitter Pulse Positions - Normalized	f = 65 to 112 MHz	- 200	0	+200	ps
TJCC	Tranmitter Jitter - Cycle-to-Cycle		100		ps	
TCCS	TxOUT Channel to Channel Skew		40		ps	
TSTC	TxIN Setup to TxCLK IN, (Figure 5)	2.5			ns	
THTC	TxIN Hold to TxCLK IN, (Figure 5)	0			ns	
TPDL	Transmitter Propagation Delay - Latency, (Figure 7)	1.5(TCIP)+3.72	1.5(TCIP)+4.4	1.5(TCIP)+6.24	ns	
TPLLS	Transmitter Phase Lock Loop Set, (Figure 9)			10	ms	
TPDD	Transmitter Powerdown Delay, (Figure 11)			100	ns	

レシーバ・スイッチング特性

特記のない限り、推奨動作条件における電源電圧および温度範囲に適用。

Symbol	Parameter	Min	Typ	Max	Units
CLHT	CMOS/TTL Low-to-High Transition Time, Rx data out, (Figure 3)			2.0	ns
	CMOS/TTL Low-to-High Transition Time, Rx clock out, (Figure 3)			1.0	ns
CHLT	CMOS/TTL High-to-Low Transition Time, Rx data out, (Figure 3)			2.0	ns
	CMOS/TTL High-to-Low Transition Time, Rx clock out, (Figure 3)			1.0	ns
RCOP	RxCLK OUT Period, (Figure 6)	8.928	T	15.38	ns
RCOH	RxCLK OUT High Time, (Figure 6), (Note 4)	f = 112 MHz	3.5		ns
		f = 66 MHz	6.0		ns
RCOL	RxCLK OUT Low Time, (Figure 6), (Note 4)	f = 112 MHz	3.5		ns
		f = 66 MHz	6.0		ns
RSRC	RxOUT Setup to RxCLK OUT, (Figure 6)	f = 112 MHz	2.4		ns
		f = 66 MHz	3.6		ns
RHRC	RxOUT Hold to RxCLK OUT, (Figure 6), (Note 4)	f = 112 MHz	3.4		ns
		f = 66 MHz	6.0		ns
RPDL	Receiver Propagation Delay - Latency, (Figure 8)	3(TCIP)+4.0	3(TCIP)+4.8	3(TCIP)+6.5	ns
RPLLS	Receiver Phase Lock Loop Set, (Figure 10)			10	ms
RPDD	Receiver Powerdown Delay, (Figure 12)			1	μs

チップセット RSKM 特性

特記のない限り、推奨動作条件での電源電圧および温度範囲に適用 (Note 4、7)。このパラメータおよびその適用方法の詳細は「アプリケーション情報」を参照。

Symbol	Parameter		Min	Typ	Max	Units
RSKM	Receiver Skew Margin without Deskew in non-DC Balance Mode, (Figure 13), (Note 5)	f = 112 MHz	170			ps
		f = 100 MHz	170	240		ps
		f = 85MHz	300	350		ps
		f = 66MHz	300	350		ps
RSKM	Receiver Skew Margin without Deskew in DC Balance Mode, (Figure 13), (Note 5)	f = 112 MHz	170			ps
		f = 100 MHz	170	200		ps
		f = 85 MHz	250	300		ps
		f = 66 MHz	250	300		ps
RSKMD	Receiver Skew Margin with Deskew in DC Balance, (Figure 14), (Note 6)	f = 33 to 80 MHz	0.25TBIT			ps
RDR	Receiver Deskew Range	f = 80 MHz	± 1			TBIT
RDSS	Receiver Deskew Step Size	f = 80 MHz		0.3 TBIT		ns

Note 1: 「絶対最大定格」を超えてデバイスを動作させた場合、安全性は保証されません。また、「絶対最大定格」の上限または下限でデバイスを動作させるべきであることを示しているわけではありません。デバイスの動作条件は「電気的特性」の各表により規定されています。

Note 2: Typ 値は $V_{CC} = 3.3V$ 、 $T_A = 25$ の時です。

Note 3: デバイス・ピンに流れ込む電流を正と定義し、デバイス・ピンから流れ出る電流を負と定義しています。電圧は、差動電圧である V_{TH} 、 V_{TL} 、 V_{OD} 、 V_{OD} および特記のある場合を除いてグラウンド基準です。

Note 4: Min 値と Max 値は、電圧、温度範囲におけるデバイス性能の統計的な解析に基づいています。このパラメータは自動テスト装置 (ATE) で機能的にテストを行っています。ATE の動作周波数は最大 85MHz です。ただし、特性評価用のサンプル・デバイスでは、ベンチ・テストで動作を確認しています。

Note 5: レシーバ・スキュー・マージン (RSKM) は、レシーバ入力での有効なデータ・サンプリング範囲として定義されています。このマージンは、トランスミッタからの出力パルス位置 (Min および Max) と、レシーバ入力でのセットアップおよびホールド時間を加味しています (内部のデータ・サンプリング・ウィンドウ RSPOS)。このマージンにより、LVDS 配線スキューや符号間干渉 ISI (どちらもケーブル長とケーブル種に依存)、およびクロック・ジッタ (TJCC) が許容されます。

RSKM ケーブル・スキュー (ケーブル種、長さ) + ソース・クロック・ジッタ (サイクルごと、TJCC) + ISI。「アプリケーション情報」を参照。

Note 6: デスキュー使用時のレシーバ・スキュー・マージン (RSKMD) は、レシーバ入力での有効なデータ・サンプリング範囲として定義されています。デスキュー機能は、レシーバのサンプリング・ストロブを LVDS ビットの中央に固定して、インターコネク・スキューを除去 (調整) します。このマージン (RSKMD) により、符号間干渉 ISI (ケーブル長とケーブル種に依存)、トランスミッタのパルス位置 (TPPOS)、LVDS クロック・ジッタ (TJCC) が許容されます。

RSKMD ISI + TPPOS (含む min/max 範囲内ばらつき) + ソース・クロック・ジッタ (サイクルごと、TJCC)。「アプリケーション情報」を参照。

Note 7: RSKM と RSKMD の代表値 (typ) は、トランスミッタとレシーバの V_{CC} と T_A に変動がなく、かつ V_{CC} と T_A は両デバイスでそれぞれ同一と仮定される条件に対して適用されます。

AC タイミング図

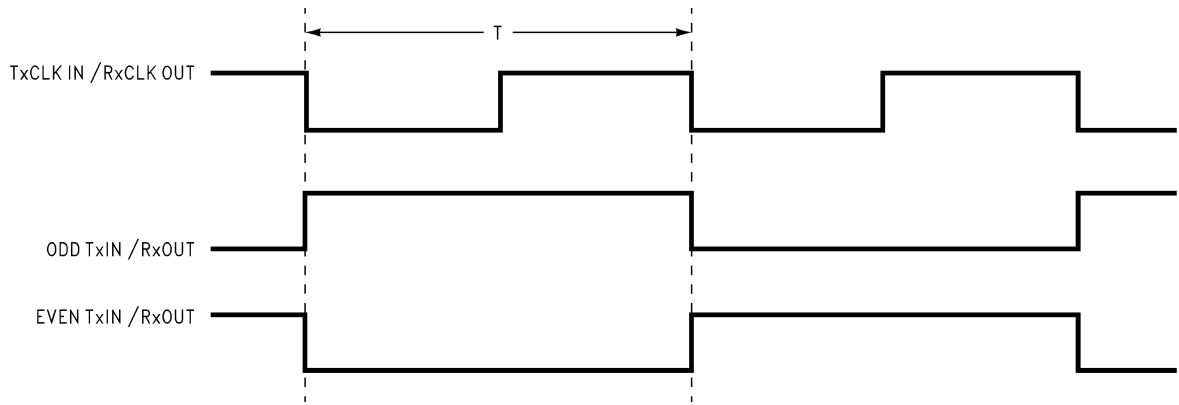


FIGURE 1. “Worst Case” Test Pattern

Note 8: ワorst・ケースのテスト・パターンは、デジタル回路、LVDS I/O および CMOS/TTL I/O を最も多くトグルさせます。

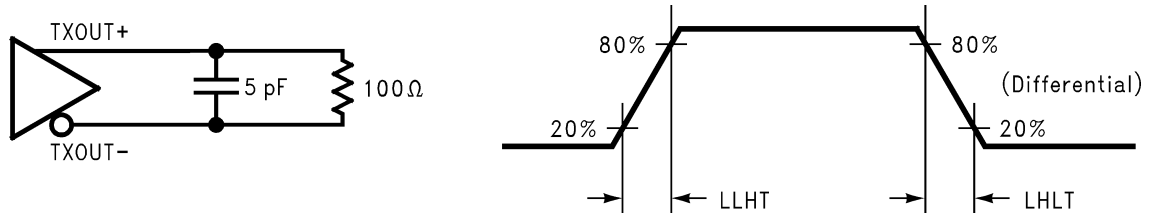


FIGURE 2. DS90CR481 (Transmitter) LVDS Output Load and Transition Times

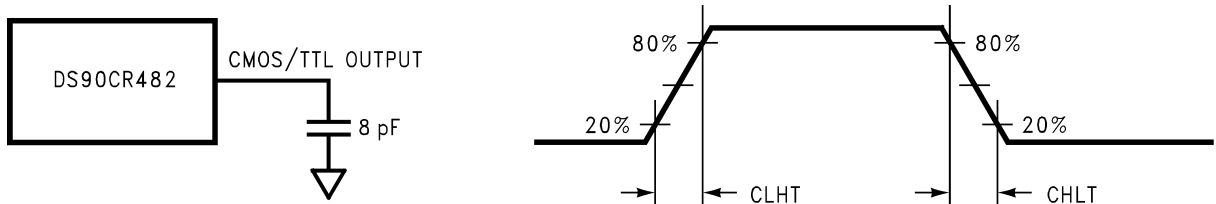


FIGURE 3. DS90CR482 (Receiver) CMOS/TTL Output Load and Transition Times

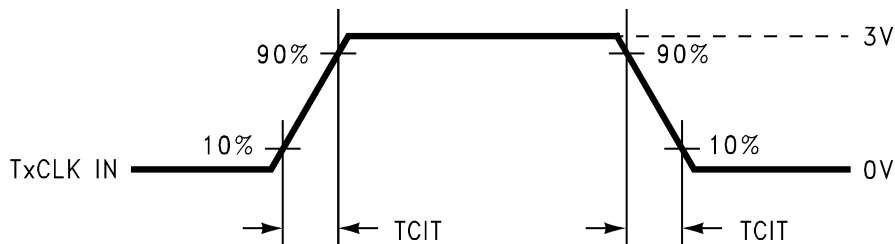


FIGURE 4. DS90CR481 (Transmitter) Input Clock Transition Time

AC タイミング図 (つづき)

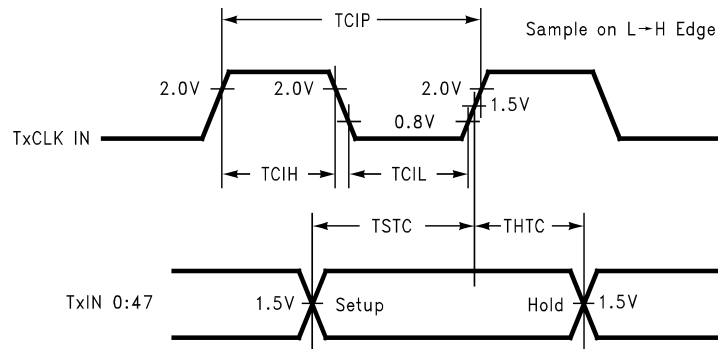


FIGURE 5. DS90CR481 (Transmitter) Setup/Hold and High/Low Times

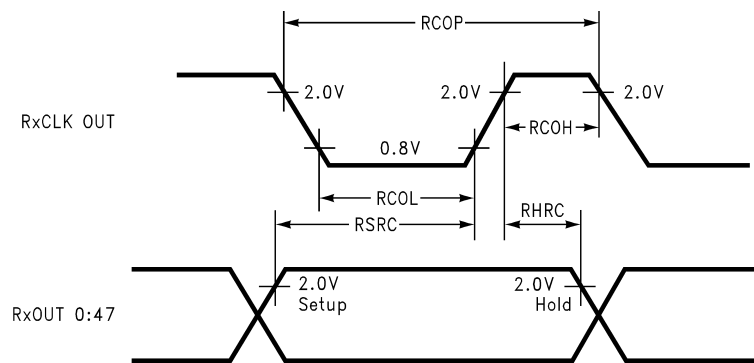


FIGURE 6. DS90CR482 (Receiver) Setup/Hold and High/Low Times

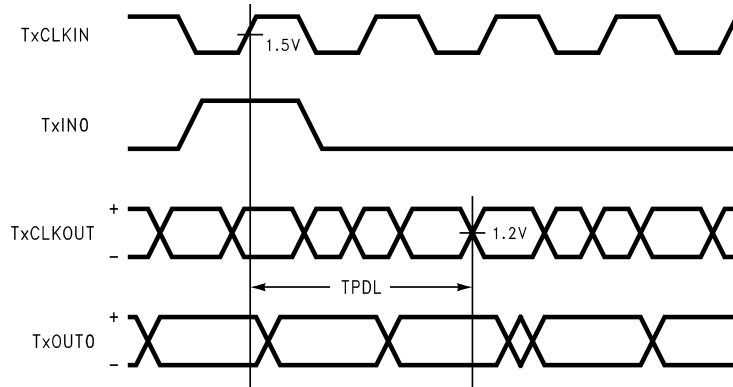


FIGURE 7. DS90CR481 (Transmitter) Propagation Delay - Latency

AC タイミング図 (つづき)

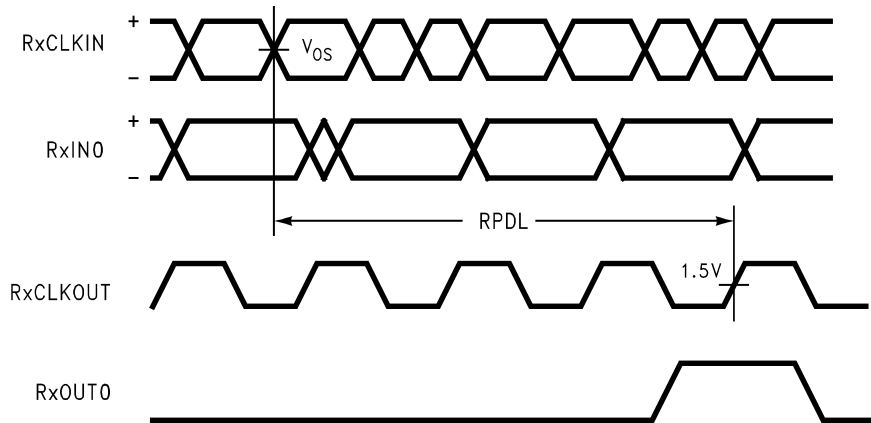


FIGURE 8. DS90CR482 (Receiver) Propagation Delay - Latency

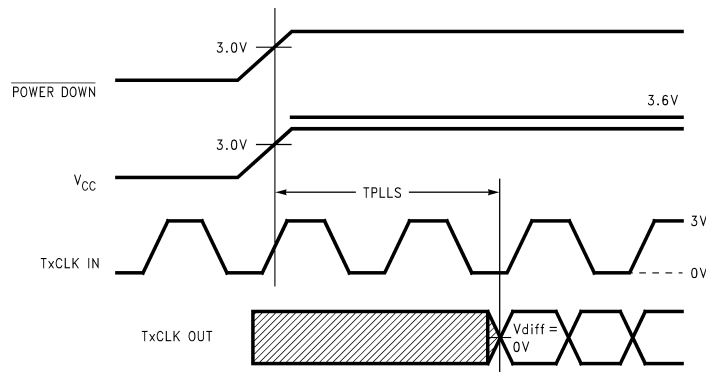


FIGURE 9. DS90CR481 (Transmitter) Phase Lock Loop Set Time

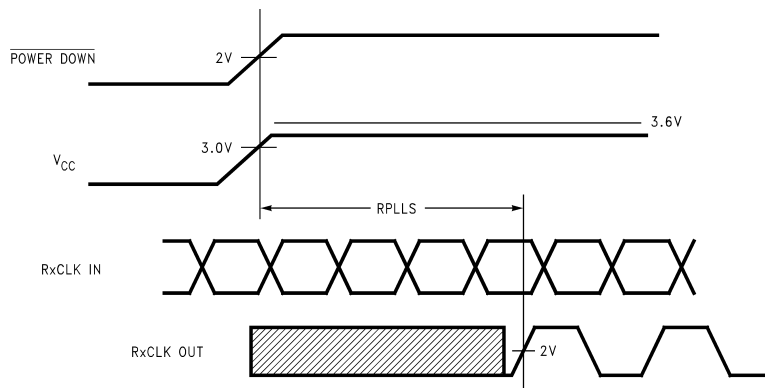


FIGURE 10. DS90CR482 (Receiver) Phase Lock Loop Set Time

AC タイミング図 (つづき)

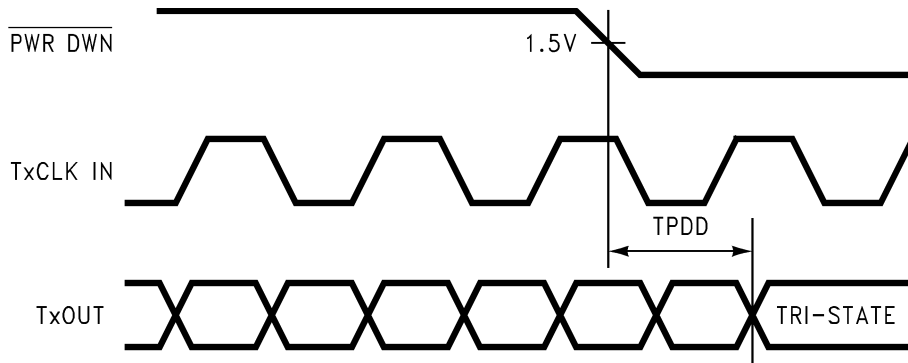


FIGURE 11. DS90CR481 (Transmitter) Power Down Delay

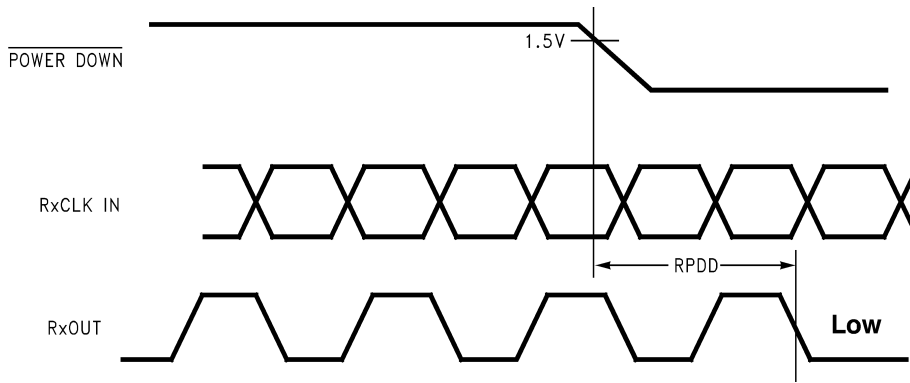
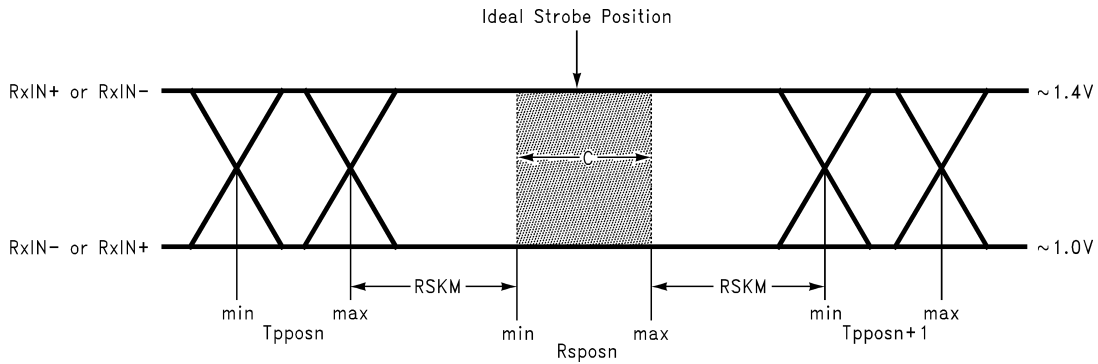


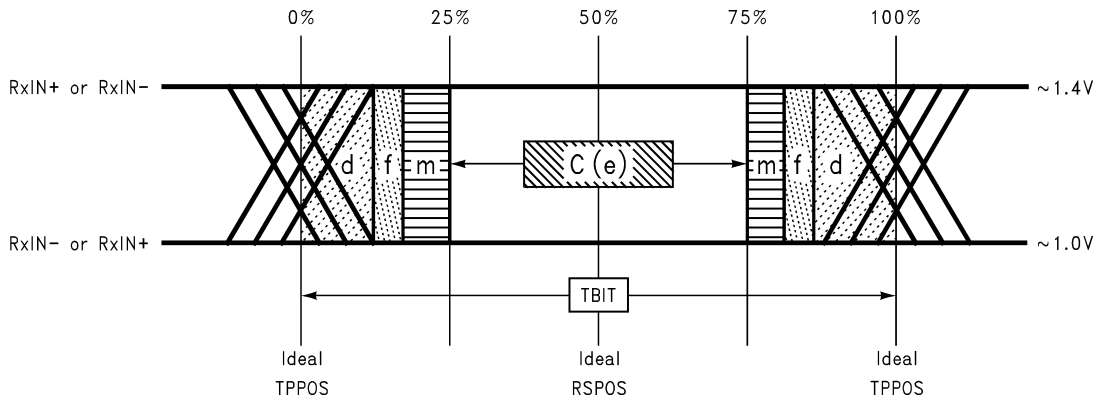
FIGURE 12. DS90CR482 (Receiver) Power Down Delay

AC タイミング図 (つづき)



C Rspos (レシーバ入力ストロブ位置) の Min 値と Max 値によって定義されるセットアップとホールド時間 (内部データ・サンプリング・ウィンドウ)
 Tpposn トランスミッタの出力パルス位置 (Min 値および Max 値)
 RSKM ケーブル・スキュー (ケーブル種、長さ) + LVDS ソース・クロック・ジッタ (サイクルごと) + ISI (符合間干渉)
 ケーブル・スキュー 通常 30cm あたり 10ps ~ 40ps、ケーブルにより異なります。
 サイクルごとの LVDS 出力ジッタ (TJCC) は 100ps (ワースト・ケース) 以下です。
 符合間干渉は配線長に依存しますが、おそらくゼロです。
 「アプリケーション情報」を参照。

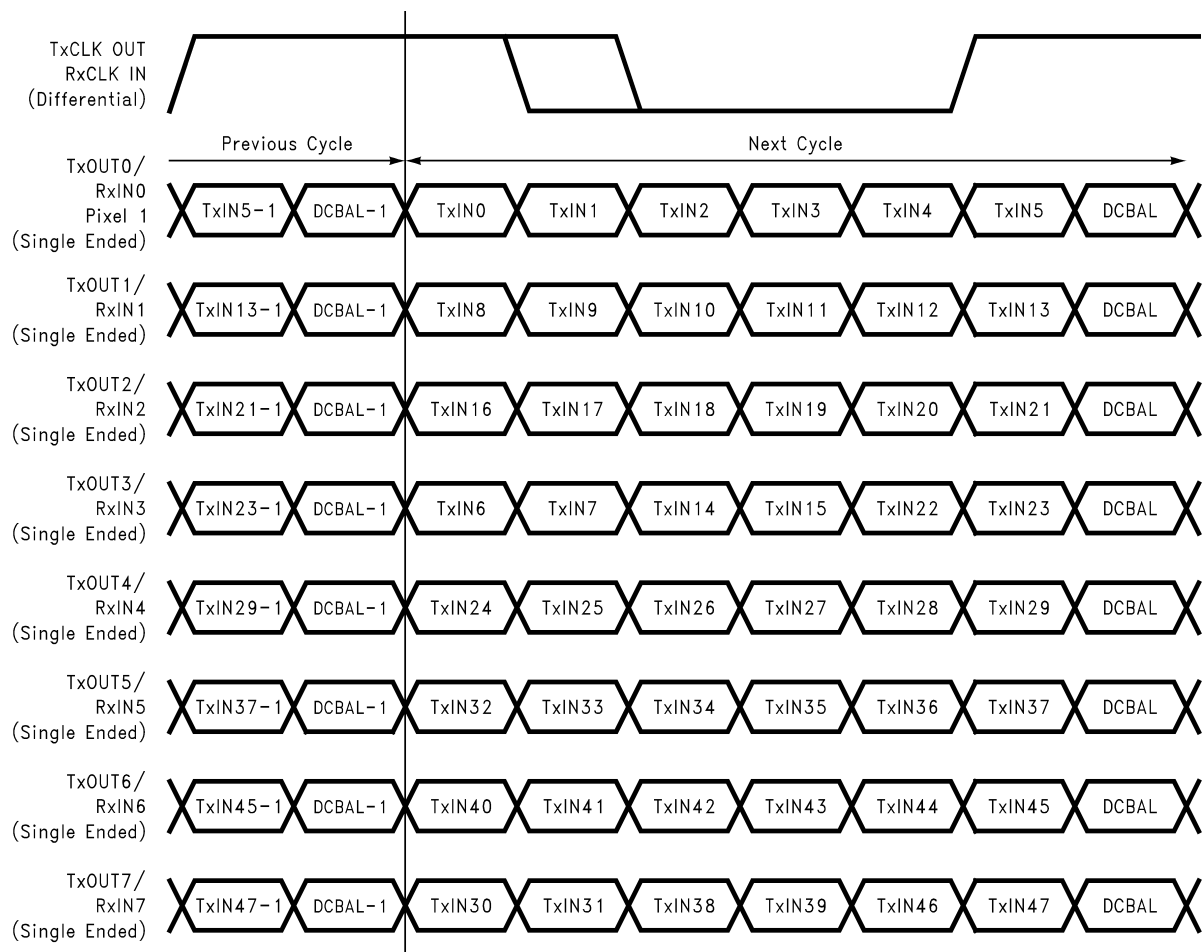
FIGURE 13. Receiver Skew Margin (RSKM) for Chipset without DESKEW



C Rspos (レシーバ入力ストロブ位置) の Min 値と Max 値によって定義されるセットアップとホールド時間 (内部データ・サンプリング・ウィンドウ)
 RSKMD TPPOS (含む min/max 範囲内ばらつき)(d) + TJCC (出力ジッタ)(f) + ISI (m)
 d = Tpposn トランスミッタの出力パルス位置 (Min 値および Max 値)
 f = サイクルごとの LVDS 出力ジッタ (TJCC) は 100ps (ワースト・ケース) 以下です。
 m = マージン追加分 - ケーブル長の長いアプリケーションで ISI に配分
 「アプリケーション情報」を参照。

FIGURE 14. Receiver Skew Margin (RSKMD) for Chipset with DESKEW

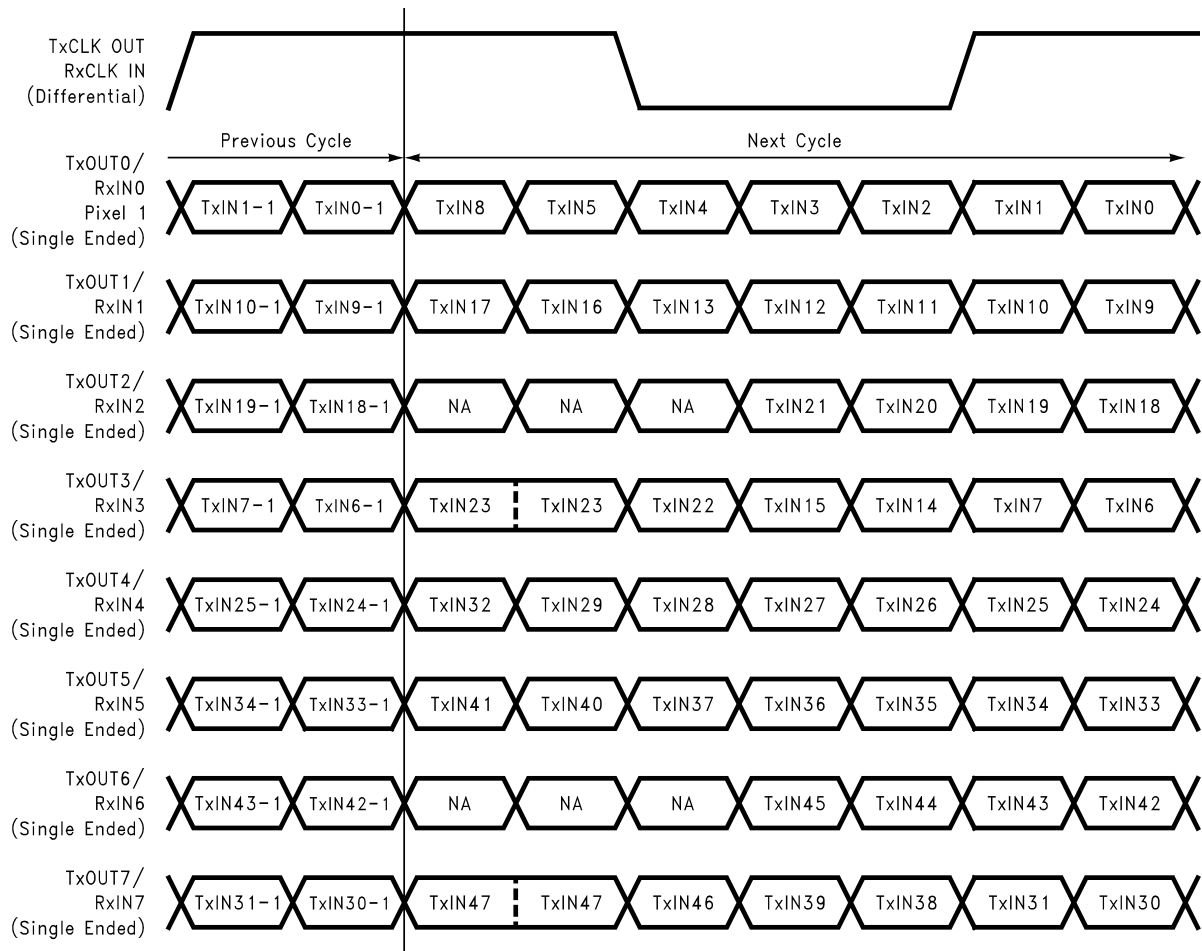
LVDS インタフェース



プリエンファシス機能およびデスクュー機能ありの場合

FIGURE 15. 48 Parallel TTL Data Bits Mapped to LVDS Bits with DC Balance Enabled

LVDS インタフェース (つづき)



プリエンファシス機能ありの場合

FIGURE 16. 48 Parallel TTL Data Bits Mapped to LVDS Bits with DC Balance Disabled

アプリケーション情報

DS90CR481/DS90CR482 チップセットは、以前の Channel link デバイスに比べ高いバンド幅をサポートでき、また 3 つの改良点によって、より長いケーブルをドライブできます。バンド幅を向上させるために、最大クロック周波数を 112MHz に上げ、シリアル LVDS 出力も 8 ビットとしています。ケーブル・ドライブでは、まずユーザが設定可能なプリエンファシス機能を設け、信号遷移時の出力電流を増やしてケーブル負荷の影響を打ち消すことで、ドライブ能力を高めています。この機能のために V_{CC} へのプルアップ抵抗が 1 つ必要となります。エンファシス・レベルの設定については、Table 1 を参照してください。二番目の改良点は、転送サイクルごとの DC バランスを取るオプション機能を、符合間干渉 (ISI) の低減に寄与したことです。プリエンファシスと DC バランスによって、ケーブル端のレシーバ入力で、歪みの小さいアイ・パターンを得られます。さらに三番目の改良点では、ケーブル・デスクュー機能が長いケーブルにおけるペア間スキューを ± 1 LVDS データ・ビット幅まで吸収しています (80MHz クロック周波数まで)。デスクューの詳細については、「デスクュー」の項を参照してください。以上の 3 つの改良によって、ケーブル・メディアおよびクロック周波数の条件によっては 5m 以上のケーブルをドライブできます。

DS90CR481/482 チップセットは非 DC バランス・モードで使うのも可能です。このモードではプリエンファシス機能のみがサポートされます。またこのモードでは、チップセットは 21 ビットおよび 28 ビットのチャネル・リンク・レシーバ製品に対して互換性を持ちます。非 DC バランス・モードでのパラレル・データと LVDS データ・ビットとのマッピングを Figure 16 に示します。

新機能の説明

1. プリエンファシス

ケーブル負荷の影響を低減するため、LVDS の信号遷移時に駆動電流を増やす機能です。プリエンファシスの強さは、PRE ピンに対して 0.75V (エンファシス効果最小) ~ V_{CC} (最大) の DC 電圧を与えることで設定します。PRE ピンの電圧が高いほどデータ・ビット遷移時におけるダイナミック電流が大きくなります。PRE ピンの DC レベルを設定するために、 V_{CC} へのプルアップ抵抗 (Rpre) が必要です。内部には電圧降下を生じさせる抵抗ネットワークが入っています。DC レベルの設定には下表を参照してください。

TABLE 1. Pre-emphasis DC voltage level with (Rpre)

Rpre	Resulting PRE Voltage	Effect
1M Ω or NC	0.75V	Standard LVDS
50k Ω	1.0V	
9k Ω	1.5V	50% pre-emphasis
3k Ω	2.0V	
1k Ω	2.6V	
100 Ω	Vcc	100% pre-emphasis

TABLE 2. Pre-emphasis needed per cable length

Frequency	PRE Voltage	Typical cable length
112MHz	1.0V	2 meters
112MHz	1.5V	5 meters
80MHz	1.0V	2 meters
80MHz	1.2V	5+ meters
66MHz	1.5V	7 meters

Note 9: 標準的なシールド・ツイストペア・ケーブルでのテストに基づいています。プリエンファシスの量はケーブル種やケーブル長、動作周波数により変わります。

2. DC バランス

Figure 15 に示すように、各サイクルの間に、各 LVDS データラインで 1 ビットの追加ビットをデータに加えて送ります。この追加ビットが DC バランス (DCBAL) ビットです。DC バランス機能の目的は、短期および長期にわたっての LVDS 信号の DC バランスを最小にすることです。この機能は、データをそのままの極性で送るか、反転して送るかによって実現します。

DC バランス・ビットは、転送中ワードのディスパリティ (0/1 ビット個数の差) と、転送前ワードのデータ・ディスパリティから算出されます。転送前ワードのデータ・ディスパリティは、データ中の 1 のビット個数から 0 のビット個数を引いて求めます。転送中ワードのディスパリティは、初期段階では +7 ~ -6 のいずれかの値となります。その後、転送中ワードのディスパリティは、反転したデータ・ディスパリティを連続的に合計して求めます。データが反転せずに送られた場合はデータ・ディスパリティ値から 1 を引き、データが反転して送られた場合はデータ・ディスパリティを反転して 1 を加えます。この結果、転送中ディスパリティの値は +7 ~ -6 の範囲となります。

データがそのまま送られるときは DC バランス・ビット (DCBAL) の値は 0 となり、反転して送られるときは 1 となります。データを反転せずに送るか反転して送るかは、転送中データのディスパリティと転送前データのディスパリティを用いて次のように決定します。データを反転せずに送信 :

転送中データのディスパリティが正で、かつ転送前データのディスパリティが 0 または負のとき

転送中データのディスパリティが負で、かつ転送前データのディスパリティが正のとき データを反転して送信 :

転送中データのディスパリティが正で、かつ転送前データのディスパリティが正のとき

転送中データのディスパリティが負で、かつ転送前データのディスパリティが 0 または負のとき

転送中データのディスパリティが 0 のとき

トランスミッタの BAL ピンを HIGH にすると DC バランス・モードとなります。「端子説明」の項も参照してください。DC バランス機能は、5m を超えるような長いケーブルを使用したアプリケーションに有効です。

アプリケーション情報 (つづき)

3. デスキュー

デスキュー機能は DC バランス・モードでのみサポートされています (DS90CR481 で BAL ピン = HIGH)。レシーバは "DESKEW" ピンが HIGH になると、独立した差動ペアのペア間スキューに対して、 ± 1 LVDS データ・ビット時間以内のスキュー調整を行います。デスキュー動作を完了させるには、トランスミッタの "DS_OPT" ピンを 4 クロック以上 LOW に保ちます。PLL が転送クロックにロックしたあと、少なくとも一回のデスキュー動作の実行が必要です。また、電源を一度オフにした場合や接続ケーブルを交換した場合もデスキュー処理の再実行が必要で、実行しないと、受信した LVDS データをレシーバが正しくサンプリングできなくなる恐れがあります。レシーバがデスキュー・モードのとき、レシーバの全出力は LOW に固定されます。ただしレシーバ・クロック出力はアクティブのままスイッチングを続けます。"DESKEW" ピンを Low 固定にするとデスキュー機能が無効になり、レシーバは決められたサンプリング・ストロープを用いて動作します。この時はトランスミッタの "DS_OPT" ピンを High 固定にしてください。

トランスミッタ DS90CR481 の DS_OPT 入力ピンは、デスキュー用校正パターンの生成を開始するときに使用します。レシーバ側のデスキュー動作を完了させるために、このピンは 4 クロック・サイクル以上 LOW に保ちます。校正パターンと区別するために、DS_OPT が HIGH の通常のデータ・サンプリング状態での LVDS クロック・パターンは 1111000 または 1110000 です。一方、DS_OPT を LOW にしてデスキュー校正パターンを送るときは、LVDS クロック・パターンは 1111100 または 1100000 となります。あわせてトランスミッタはデスキュー用校正パターンとして 1111000 または 1110000 の連続パターンをデータ・ライン (TxOUT 0 ~ 7) に送出するため、これらのパターンを用いてレシーバは入力端でのサンプリング・ストロープ・タイミングを自動的に調整できます。スキュー調整は、理想的なストロープ位置から ± 1 データ・ビット時間の範囲内で、1/3 データ・ビット時間 (TBIT) を単位として各データ・チャネル個別に行なわれます。デスキュー機能が働くのはクロック周波数が 80MHz までです。レシーバは、データ転送を始める前に、デスキュー・モードを用いて調整しなければなりません。

クロック・ジッタ

トランスミッタは、入力クロックのサイクル・ジッタを抑止するように設計されています。ただし、きわめて緩やかなサイクル・ジッタはトランスミッタ出力にそのまま現れます。サイクル毎のジッタは、動作周波数範囲に対して、入力ステップ関数ジッタを適用したときに現れる 100ps 以下の変動として測定されています。この値は、Figure 13、14 に示される RSKM/RSKMD のタイミング配分から差し引く必要があります。このジッタ抑止機能によって、トランスミッタの入力クロックが持つジッタ成分による影響は大きく低減され、結果としてレシーバにおけるデータ・サンプリングの精度が向上します。トランスミッタ出力ジッタは PLL VCC ノイズと入力クロック・ジッタに影響されます。したがって、電源ノイズを抑え、かつ低ジッタ・クロックを使用すれば、出力ジッタの低減を図ることができます。トランスミッタにとって入力クロックの立ち下がりエッジは動作上きわめて重要であり、またこのエッジは PLL 回路でも使用されます。

RSKM - レシーバ・スキュー・マージン

RSKM はチップセット・パラメータで、トランスミッタのパルス位置とレシーバのストロープ・ウインドウの差を表したものです。詳細はアプリケーション・ノート AN-1059 に記述されています。RSKM は、インターコネク・スキュー、LVDS ソース・クロック・ジッタ (TJCC)、ISI の合計より先大きくなければなりません。Figure 13 を参照してください。インターコネク・スキューの要因には、プリント基板の配線遅延ばらつきと、ケーブルを用いたアプリケーションではコネクタ・スキューとケーブル・スキューなどがあります。プリント基板配線スキューとコネクタ・スキューはシステム設計で対策できます。一方のケーブル・スキューは、ケーブル・メディアの種類と長さに依存します。

RSKMD - デスキュー時のレシーバ・スキュー・マージン

RSKMD はチップセット・パラメータで、レシーバのストロープ・ウインドウと理想的なパルス位置の差を表したもので、DS90CR482 のデスキュー機能がイネーブルの場合に適用されます。デスキュー機能は、各データ・チャネルとクロック・チャネル間のスキューを調整します。デスキュー機能の対応クロック周波数は最大 80MHz です。RSKMD は、トランスミッタのパルス位置 (含む min/max 範囲内ばらつき)、LVDS ソース・クロック・ジッタ (TJCC)、ISI の合計より先大きくなければなりません。Figure 14 を参照してください。デスキュー機能を用いると、RSKMD は TBIT の 25% 以上が得られます。デスキューは、プリント基板の配線遅延ばらつきと、ケーブルを用いたアプリケーションではコネクタ・スキューとケーブル・スキューで生じるインターコネク・スキューを補正します。プリント基板配線スキューとコネクタ・スキューはシステム設計で対策できます。一方のケーブル・スキューは、ケーブル・メディアと長さに依存する点に注意してください。ケーブル長は、ISI 効果によってスキューが 1 TBIT に達するより先に、RSKMD パラメータで制限される場合があります。

パワーダウン

トランスミッタとレシーバは、ともにパワーダウン機能を備えています。パワーダウン・モードでは、電源ピンからの電流引き込みは最小となり、PLL はシャットダウン状態になります。トランスミッタの出力は TRI-STATE になります。レシーバの出力は LOW にドライブされます (「端子説明」の表を参照してください)。V_{CC} が安定した後、デバイスをイネーブルにするために PD 端子を HIGH に駆動してください。

システム構成

トランスミッタは、本来は単一のレシーバ負荷を想定して設計されています。このような接続は 1対1 構成として知られています。ただし、いくつかの制約に従えば、複数のレシーバ負荷をドライブすることも可能です。まず、相互接続の最遠端に置かれたレシーバにのみ、差動信号のペア間に終端抵抗を付加します。また、ドライバから見た DC インピーダンスが 100 になるようにします。さらに、トランスミッタと最遠端のレシーバの間に接続される複数のレシーバが、信号の負荷インピーダンスを局所的に低下させないようには、相互接続から各レシーバへのスタブ (枝分かれ) 長を、きわめて短く保つ必要があります。

ケーブル終端

LVDS バスで正しい動作を得るためには、終端抵抗が不可欠です。終端抵抗値は、信号が伝送される媒体の差動インピーダンスに等しくなければなりません。値の範囲としては 90 ~ 132 となります。100 のツイストペア・ケーブルを用いた場合の標準的な値は 100 です。終端抵抗は反射の抑止と電流ループの形成のために必要です。終端抵抗は、抵抗までのスタブ長を最短とするために、できる限りレシーバ入力の近くに配置してください。

バックプレーン・アプリケーションを構成する

100 の差動ライン・インピーダンスを持つバックプレーンを用いたアプリケーションでは、差動ラインのペア間スキューは配線長により調整可能です。トランスミッタ DS90CR481 の "DS_OPT" ピンは HIGH にしておきます。また、バックプレーン基板上の配線長が短いアプリケーションでは、通常はトランスミッタのプリエンファシス機能は不要です。したがって、"PRE" ピンはグラウンドには接続せずに開放のままにしておきます。ただし、将来の拡張用として、プリエンファシスが必要とするような重い容量性負荷の影響を打ち消せるよう、V_{CC} へのプルアップ抵抗のハンダ・パッドを備えておいてもよいでしょう。

アプリケーション情報 (つづき)

ケーブル相互接続アプリケーションを構成する

長いケーブルをドライブする必要があるアプリケーションに関して記述します。DS90CR481/DS90CR482 チップセットは、以前の Channellink デバイスに比べ高いリンド幅をサポートでき、また DC バランスの取れたデータ転送とプリエンファシス機能によって、より長いケーブルをドライブできるようになりました。ケーブル・ドライブでは、まずユーザが設定可能なプリエンファシス機能を設け、信号遷移時の出力電流を増やしてケーブル負荷の影響を打ち消すことで、ドライブ能力を高めています。この機能のために V_{CC} へのプルアップ抵抗が 1 つ必要となります。エンファシス・レベルの設定については、Table 1 を参照してください。また、サイクルごとの DC バランスを取って長いケーブルを使用したアプリケーションでの符合間干渉 (ISI) を低減しています。以上のプリエンファシスと DC バランスによって、ケーブル端のレシーバ入力で、歪みの小さいアイ・パターンを得られます。これらの改良によって、5m 以上のケーブルをドライブできます。さらに、クロック周波数とドライブする媒体に依存しますが、ケーブル・デスキュー機能も備えています。詳細については、「デスキュー」、「RSKM」、「RSKMD」の項を参照してください。

電源の推奨バイパス

電源ピンにはバイパス・コンデンサを接続しなければなりません。パッケージの電源ピンごとに電源を供給している内部回路が異なるので、「端子説明」の表記載の注記を除いて、すべての電源ピンの近くにコンデンサを設ける必要があります。0.1 μF の高周波セラミック・コンデンサ (表面実装タイプを推奨) を各電源ピンの近くに配置してください。実装面積に余裕がある場合は 0.01 μF コンデンサを、容量の小さいほうを電源ピンに近い側に並列に接続してください。さらに、プリント基板全体にコンデンサを分散して配置するとデカップリング性能が向上します。デカップリング・コンデンサと電源層との接続には複数の (大きな) ピアを使用してください。また、トランスミッタの PLLVCC ピンと LVDSVCC ピン (ピン 40) の近くには 4.7 μF ~ 10 μF のバルク・コンデンサの実装を推奨します。このコンデンサと対応するピンの間は幅広い配線を用いてください。

入力信号品質の要件 - トランスミッタ

入力信号の品質は、データシートの「推奨入力仕様」表記載の要件に適合していなければなりません。また、絶対最大定格を超えるアンダーシュートは推奨されません。ホスト・デバイスとトランスミッタ間の配線長が長く伝送線路として動作する場合は、終端を行う必要があります。駆動能力を設定できるデバイスでトランスミッタを駆動する場合、データ入力は伝送線路効果を防ぐために弱めに設定しておくことを推奨します。クロック信号はクリーンなエッジを確保するために一般に強めに設定し、かつ低ジッタの信号を与えてください。

使用しない LVDS 出力チャネル

使用しない LVDS 出力チャネルは、トランスミッタの出力ピン部分で 100 Ω で終端してください。

LVDS インターコネクットのガイドライン

詳細はアプリケーション・ノート AN-1108 と AN-905 を参照してください。

- 100 Ω のカップリングされた差動ペア配線を使用してください。
- 配線間隔には S/2S/3S ルールを適用してください。
S = ペア内の配線間隔
2S = ペア間の配線間隔
3S = TTL 信号との配線間隔
- ピアの数はいかなる場合でも抑えてください。
- 500Mbps 以上のライン速度で動作させる場合は差動コネクタを使用してください。
- 配線のバランスを維持してください。
- ペア内のスキューを可能な限り抑えてください。
- ペア間スキューを可能な限り抑えてください。
- 終端は RX 入力の可能な限り近くに配置してください。

レシーバ出力ドライバの駆動能力

VDS90CR482 の出力には 1 個もしくは 2 個の負荷が接続される。この想定にもつき、負荷 8pF で、 V_{OH} および V_{OL} に対し $\pm 2\text{mA}$ の動作条件で試験を行っています。ファンアウトを多く取りたい場合、または長い伝送線路を駆動したい場合は、レシーバ出力に対しバッファを設けることを推奨します。レシーバ出力には TRI-STATE 機能はありません。

DS90CR483/484

DS90CR481/482 チップセットは電氣的に DS90CR483/484 と同一です。ただし、内部 PLL の制御回路は異なっており、DS90CR481/482 の動作範囲は 65MHz ~ 112MHz 動作となっています。両方のチップセットは、それぞれのデータシート記載の範囲であれば置き換えが可能です。

詳細情報

Channel Link に関連する以下のアプリケーション・ノートをリリースしています。

- AN-1041 Channel Link の概要
- AN-1059 RSKM Calculations
- AN-1108 プリント基板とインターコネクットのガイドライン
- AN-905 差動インピーダンス
- LVDS オーナーズ・マニュアル (日本語版)

DS90CR481 端子説明— Channel Link トランスミッタ

ピン名称	I/O	説明
TxIN	I	TTL レベル入力です (Note 10)。
TxOUTP	O	正極性 LVDS 差動データ出力です。
TxOUTM	O	負極性 LVDS 差動データ出力です。
TxCLKIN	I	TTL レベル・クロック入力です。立ち上がりエッジがデータ・ストロブとなります。
TxCLKP	O	正極性 LVDS 差動クロック出力です。
TxCLKM	O	負極性 LVDS 差動クロック出力です。
PD	I	TTL レベル入力です。LOW で出力は TRI-STATE になり、パワーダウンとなって消費電流が小さくなります (Note 10)。
PLLSEL	I	PLL 周波数範囲の選択です。このピンを V_{CC} に接続してください。開放または GND への接続は将来の拡張用です (Note 10)。
PRE	I	プリエンファシス量の選択です。外付けのプルアップ抵抗を介して V_{CC} に接続すると、プリエンファシスが機能します。このとき抵抗値によりプリエンファシスの量が決まります (「アプリケーション情報」を参照)。プリエンファシスをせずに通常の LVDS ドライブ・レベルが必要な場合は、このピンを開放にします (GND には接続しないでください)。
DS_OPT	I	この TTL レベル入力を LOW にすると、ケーブル・デスクュー動作となります。デスクュー中は、TxIN データはサンプリングされません。デスクュー機能を働かせるには、この入力を最低 4 クロック・サイクルの間 LOW に保ちます。通常、デスクュー機能は、トランスミッタとレシーバのそれぞれの PLL がロックしたあとで実行されます。また、システム・リセットのあと、および再コンフィギュレーション・イベントのあとにも実行する必要があります。"DESKEW" ピンがイネーブルになったとき、少なくとも一回は動作させなければなりません (Note 10)。
BAL	I	TTL レベル入力です。従来このピンは、DC バランス・モードをイネーブルに固定化するため信号名を V_{CC} としていました。本ピンを LOW に接続するか開放にすると、DC バランス機能をディスエーブルにできます。イネーブルおよびディスエーブルそれぞれに対するパラレル・データと LVDS データ・ビットとのマッピングを、Figure 15、16 に示します。
V_{CC}	I	TTL 入力バッファとデジタル回路用電源です。20 ピンと 21 ピンはバイパスの必要はありません。
GND	I	TTL 入力バッファとデジタル回路用 GND です。
PLL V_{CC}	I	PLL 回路用電源です。
PLLGND	I	PLL 回路用 GND です。
LVDS V_{CC}	I	LVDS 出力バッファ用電源です。
LVDSGND	I	LVDS 出力バッファ用 GND です。
NC		未接続です。これらのピンは接続せずに、開放のままにしてください。

Note 10: 内蔵プルダウン抵抗により、開放の場合のデフォルト値は LOW となります。

DS90CR482 端子説明— Channel Link レシーバ

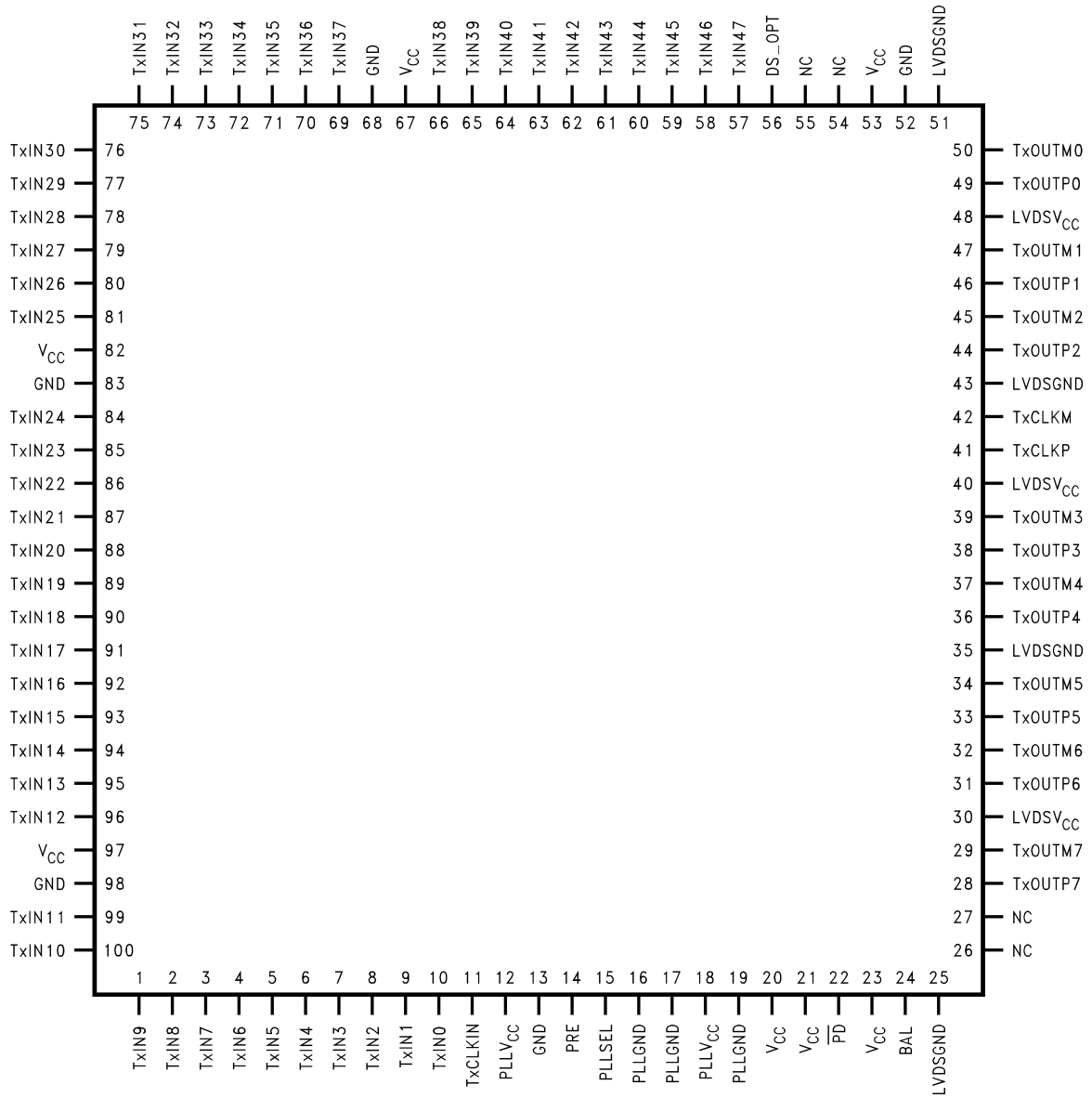
ピン名称	I/O	説明
RxINP	I	正極性 LVDS 差動データ入力です。
RxINM	I	負極性 LVDS 差動データ入力です。
RxOUT	O	TTL レベルのデータ出力です。パワーダウン ($\overline{PD} = \text{Low}$) モードでは、レシーバ出力は強制的に LOW にされます。
RxCLKP	I	正極性 LVDS 差動クロック入力です。
RxCLKM	I	負極性 LVDS 差動クロック入力です。
RxCLKOUT	O	TTL レベルのクロック出力です。立ち上がりエッジがデータ・ストロブとなります。
PLLSEL	I	PLL 周波数範囲の選択です。このピンを V_{CC} に接続してください。開放または GND への接続は将来の拡張用です (Note 10)。
DESKEW	I	デスクューとオーバー・サンプリングのオン / オフです。デスクュー / オーバー・サンプリング機能を使用する場合は、このピンを V_{CC} に接続してください。このピンを GND に接続すると、この機能はディセーブルとなります (Note 10)。デスクュー機能は DC バランス・モードでのみサポートされています。
\overline{PD}	I	TTL レベル入力です。LOW のときレシーバ・データ出力は LOW になります (Note 10)。
V_{CC}	I	TTL 出力バッファとデジタル回路用電源です。6 ピンと 77 ピンはバイパスの必要はありません。
GND	I	TTL 出力バッファとデジタル回路用 GND です。
PLL V_{CC}	I	PLL 回路用電源です。
PLLGND	I	PLL 回路用 GND です。
LVDS V_{CC}	I	LVDS 入力バッファ用電源です。
LVDSGND	I	LVDS 入力バッファ用 GND です。
NC		未接続です。これらのピンは接続せずに、開放のままにしてください。

Note 11: レシーバ入力段には、レシーバ入力開放であったり終端されていた場合に、安定した出力レベルを得るためのフェイル・セーフ・バイアス回路が内蔵されています。テスト条件下では、レシーバ入力は HIGH 状態となります。また、ケーブルの相互接続が切断されていて、入力が開放または終端されていると、出力は前の有効な値を保ちます。

Note 12: DS90CR482 は、DS90CR481 から送られてくるデータから DC バランス・モードか非 DC バランス・モードかを自動的に判別し、その結果にもとづいてデータ・ビットのマッピングを切り換えて LVDS データをデシリアライズします。

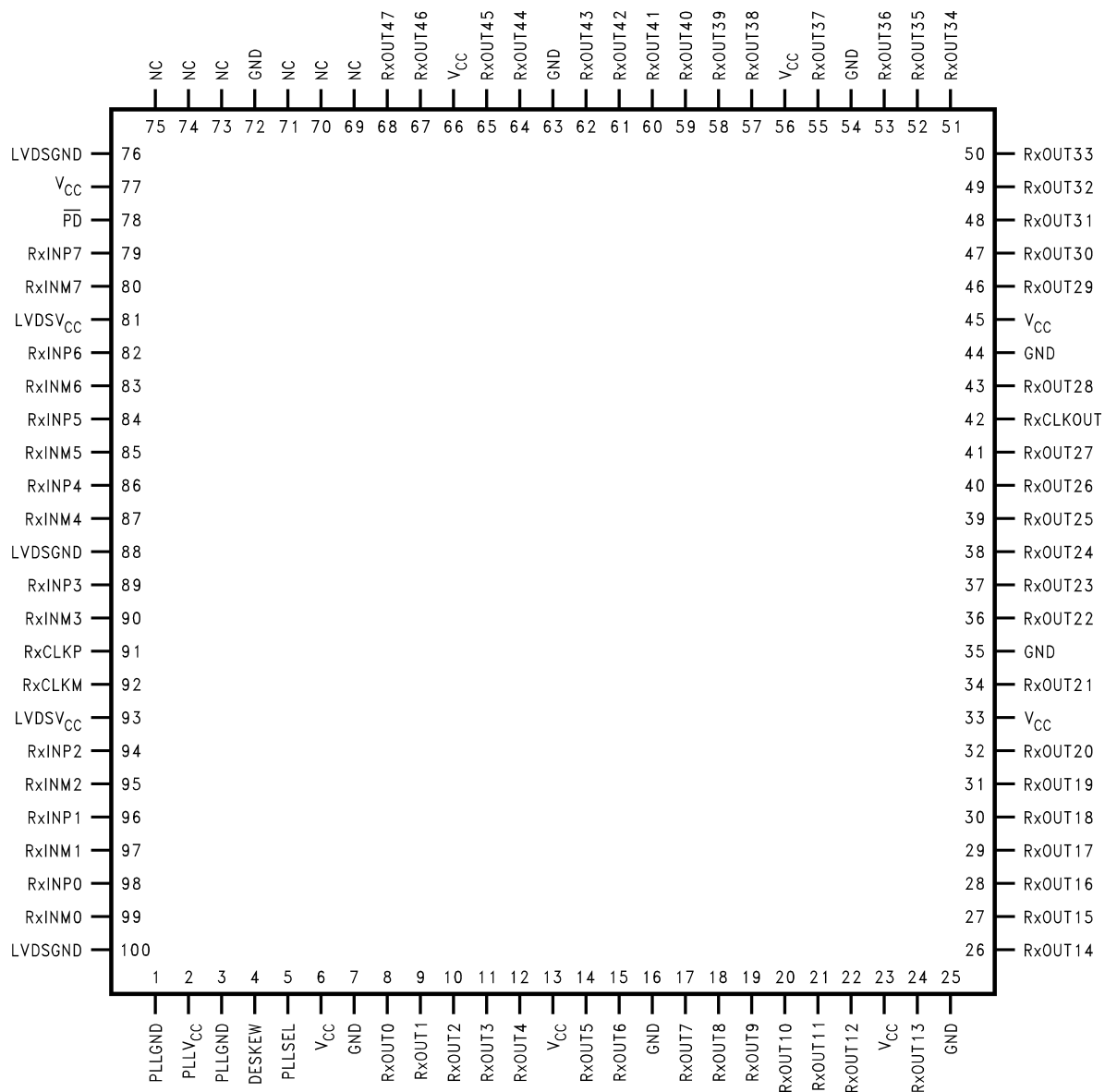
DS90CR481 - ピン配置図

Transmitter - DS90CR481 - TQFP - Top View

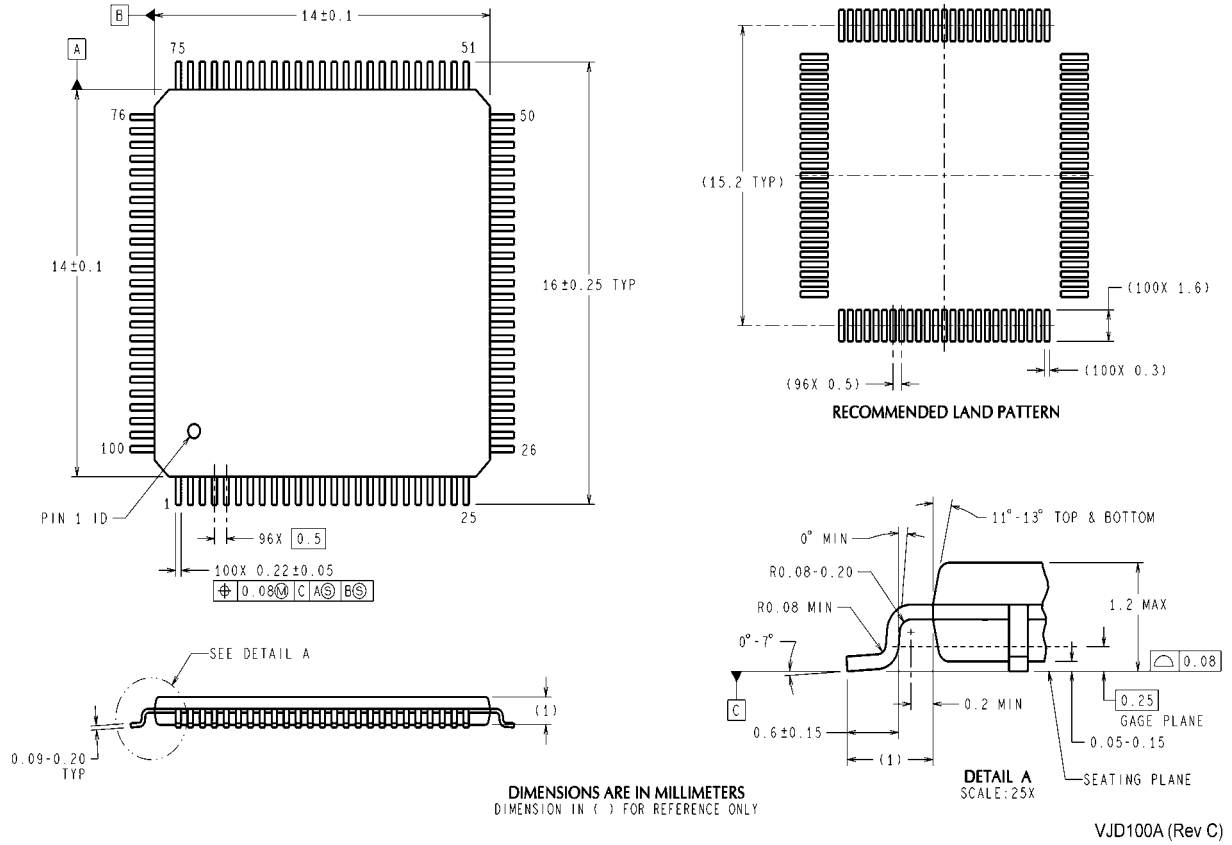


DS90CR482 - ピン配置図

Receiver - DS90CR482 - TQFP - Top View



外形寸法図 単位は millimeters



Dimensions show in millimeters only
 Order Number DS90CR481VJD or DS90CR482VS
 NS Package Number VJD100A

このドキュメントの内容はナショナル セミコンダクター 社製品の関連情報として提供されます。ナショナル セミコンダクター 社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター 社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター 社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター 社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター 社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター 社との取引条件で規定される場合を除き、ナショナル セミコンダクター 社は一切の義務を負わないものとし、また、ナショナル セミコンダクター 社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター 社の製品は、ナショナル セミコンダクター 社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクター のロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2007 National Semiconductor Corporation
 製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上