

DS90CR486

DS90CR486 133MHz 48-Bit Channel Link Deserializer (6.384 Gbps)



Literature Number: JAJ978

ご注意：この日本語データシートは参考資料として提供しており、内容が最新でない場合があります。製品のご検討およびご採用に際しては、必ず最新の英文データシートをご確認ください。



2003年3月

DS90CR486

133MHz、48ビット、Channel Link デシリアライザ (6.384Gbps)

概要

DS90CR486 レシーバは、8 系統の低電圧差動信号 (LVDS) データ・ストリームを 48 ビットの LVCMOS/TTL データに復元するデシリアライザです。133MHz クロックを使用した場合、6.384Gbit/s (798MB/s) のデータ・スループットを達成します。

データ・ラインの多重化によって、ケーブルの大幅な削減が可能です。通常、線長の長いシングルエンドの平行・バスは、1本のアクティブ信号当たり1本のグラウンドを必要とします(しかも、ノイズを排除する性能は優れていません)。そのため、48ビット幅のデータと1ビットのクロックを送ろうとすると、最大98芯ものケーブルが必要となります。しかし、Channel link チップセットを使用すると、わずか19芯のケーブルで済みます(8組のデータ・ペアと1組のクロック・ペアと少なくとも1本のグラウンド)。相互接続のビット幅で比べると80%も少なくて済み、システム・コストの削減、コネクタ形状の小型化と部品コストの低減、ケーブルのビット幅が少ないことによるシールドの小型化が実現できます。

DS90CR486 は、DS90CR485 Channel Link シリアライザとの併用を前提に設計されています。従来のシリアライザ DS90CR481 と DS90CR483 は下位互換性があります。また DS90CR486 は、BAL ピンを除いて DS90CR484 とピン互換です。

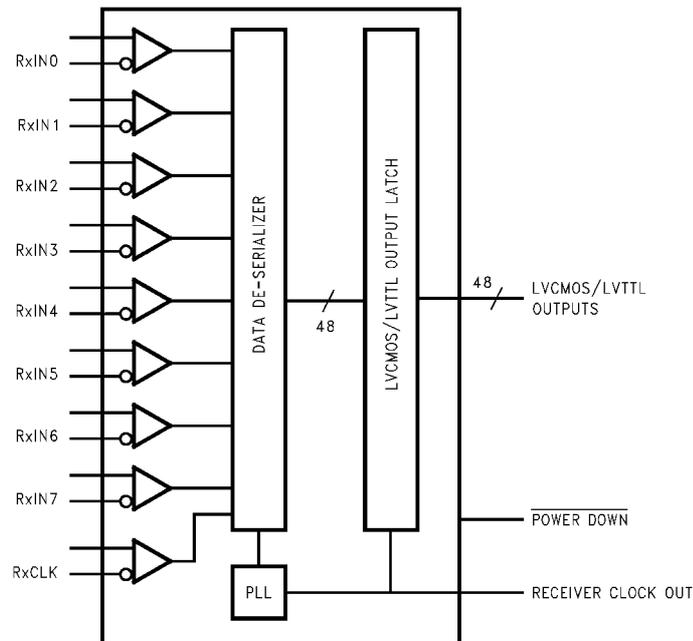
本チップセットは、高スループットの1対1のアプリケーションで問題となる EMI とインターコネクタに必要な実装サイズを解決する理想的なソリューションです。

詳細は「アプリケーション情報」を参照してください。

特長

- 最大スループット 6.384Gbps
- 66MHz ~ 133MHz の入力クロック周波数に対応
- ケーブルおよびコネクタのサイズとコストの削減
- ケーブル・デスキュー機能
- 符号間干渉を低減する DC バランス
- 1対1のバックプレーンまたはケーブル・アプリケーションに対応
- 低消費電力、133MHz 動作時 890mW (代表値)
- プリント基板の設計を容易にするフロースルー・ピン出力 + 3.3V 電源電圧
- 100ピン TQFP パッケージ
- TIA/EIA-644-A-2001 LVDS 標準に準拠

一般的なブロック図



DS90CR486 133MHz、48ビット、Channel Link デシリアライザ (6.384Gbps)

絶対最大定格 (Note 2)

本データシートには軍用・航空宇宙用の規格は記載されていません。関連する電氣的信頼性試験方法の規格を参照ください。

電源電圧 (V _{CC})	- 0.3V ~ + 3.6V
LVC MOS/LVTTL 出力電圧	- 0.3V ~ (V _{CC} + 0.3V)
LVDS レシーバ入力電圧	- 0.3V ~ + 3.6V
接合部温度	+ 150
保存温度範囲	- 65 ~ + 150
リード温度 (ハンダ付け、4 秒)	+ 260
パッケージ最大許容消費電力 (25 °C)	2.9 W
100 TQFP パッケージ	

パッケージ・デレーティング 25 以上で 23.8mW/
ESD 耐圧

(人体モデル、1.5k、100pF) > 2 kV
(EIAJ、0、200pF) > 200 V

推奨動作条件

	最小値	代表値	最大値	単位
電源電圧 (V _{CC})	3.14	3.3	3.46	V
動作温度範囲 (T _A)	- 10	+ 25	+ 70	
レシーバ入力電圧	0		2.4	V
電源電圧ノイズ (V _{CC})			100	mV _{p-p}
クロック・レート	66		133	MHz

電氣的特性

特記のない限り、推奨動作条件での電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units	
LVC MOS/LVTTL DC SPECIFICATIONS							
V _{IH}	High Level Input Voltage	All LVC MOS/LVTTL inputs except \overline{PD} .	2.0		V _{CC}	V	
		For \overline{PD} input only.	2.5		V _{CC}	V	
V _{IL}	Low Level Input Voltage		GND		0.8	V	
I _{IN}	Input Current	V _{IN} = 0.4V, 2.5V, or V _{CC} (Note 1:)		+ 1.8	+ 15	μA	
		V _{IN} = GND	- 15	0		μA	
V _{OH}	High Level Output Voltage	I _{OH} = - 2 mA	2.0			V	
V _{OL}	Low Level Output Voltage	I _{OL} = + 2 mA			0.4	V	
I _{OS}	Output Short Circuit Current	V _{OUT} = 0V			- 120	mA	
V _{CL}	Input Clamp Voltage	I _{CL} = - 18 mA		- 0.8	- 1.5	V	
LVDS RECEIVER DC SPECIFICATIONS							
V _{TH}	Differential Input High Threshold	V _{CM} = + 1.2V			+ 100	mV	
V _{TL}	Differential Input Low Threshold		- 100			mV	
I _{IN}	Input Current	V _{IN} = + 2.4V, V _{CC} = 3.6V			± 10	μA	
		V _{IN} = 0V, V _{CC} = 3.6V			± 10	μA	
RECEIVER SUPPLY CURRENT							
ICCRW	Receiver Supply Current Worst Case	C _L = 8 pF, BAL = Low, Worst Case Pattern (Figures 1, 2)	f = 66 MHz		190	245	mA
			f = 100 MHz		230	325	mA
			f = 133 MHz		270	340	mA
ICCRZ	Receiver Supply Current Power Down	\overline{PD} = Low Receiver Outputs stay low during Power down mode.		60	110	μA	

レシーバ・スイッチング特性

特記のない限り、推奨動作条件での電源電圧および温度範囲に適用。

Symbol	Parameter	Min	Typ	Max	Units
CLHT	LVC MOS/LVTTL Low-to-High Transition Time, (Figure 2), Rx data out, (Note 5)		0.8	1.3	ns
	LVC MOS/LVTTL Low-to-High Transition Time, (Figure 2), Rx clock out, (Note 5)		0.7	1.0	ns
CHLT	LVC MOS/LVTTL High-to-Low Transition Time, (Figure 2), Rx data out, (Note 5)		0.9	1.3	ns
	LVC MOS/LVTTL High-to-Low Transition Time, (Figure 2), Rx clock out, (Note 5)		0.8	1.0	ns
RCOP	RxCLK OUT Period, (Figure 3)	7.518	T	15.152	ns
RCOH	RxCLK OUT High Time, (Figure 3)	f = 133 MHz	2.7		ns
		f = 100 MHz	3.8		ns
		f = 66 MHz	6.0		ns
RCOL	RxCLK OUT Low Time, (Figure 3)	f = 133 MHz	2.7		ns
		f = 100 MHz	3.8		ns
		f = 66 MHz	6.0		ns
RSRC	RxOUT Data valid before RxCLK OUT, (Figure 3)	f = 133 MHz	2.0	3.5	ns
		f = 100 MHz	3.0	4.7	ns
		f = 66 MHz	5.0	7.0	ns
RHRC	RxOUT Data valid after RxCLK OUT, (Figure 3)	f = 133 MHz	2.5	4.1	ns
		f = 100 MHz	3.5	5.0	ns
		f = 66 MHz	6.0	8.0	ns
RPDL	Receiver Propagation Delay - Latency, (Figure 4)	2(TCIP) + 5	2(TCIP) + 10	2(TCIP) + 15	ns
RPLLS	Receiver Phase Lock Loop Set, (Figure 5)			10	ms
RPDD	Receiver Powerdown Delay, (Figure 6)			1	μs
RSKMD	Receiver Skew Margin with Deskew, BAL = Low (Figure 7), (Note 6)	f = 133 MHz	275		ps
		f = 100 MHz	400		ps
		f = 66 MHz	500		ps
RDR	Receiver Deskew Range	f = 133 MHz	- 150	+ 150	ps
		f = 100 MHz	- 200	+ 200	ps
		f = 66 MHz	- 200	+ 200	ps

Note 1: $\overline{\text{PD}}$ ピンの I_{IN} パラメータは 2.5V ではテストを行っていません。

Note 2: 「絶対最大定格」を超えてデバイスを動作させた場合、安全性は保証されません。また、絶対最大定格の上限または下限でデバイスを動作させるべきであることを示しているわけではありません。デバイスの動作条件は「電気的特性」の各表により規定されています。

Note 3: Typ 値は $V_{CC} = 3.3V$ 、 $T_A = 25^\circ\text{C}$ の時です。

Note 4: デバイス・ピンに流れ込む電流を正と定義し、デバイス・ピンから流れ出る電流を負と定義しています。電圧は、差動電圧である V_{TH} 、 V_{TL} 、 V_{ID} および特記のある場合を除いてグラウンド基準です。

Note 5: CLHT と CHLT は、推奨周波数範囲でのレシーバ・データ出力の LOW から HIGH 遷移時間、および HIGH から LOW 遷移時間の測定値です。各リミット値は実験による特性評価と、統計的解析を用いた設計上の保証 (GBD = Guaranteed By Design) にもとづいています。

Note 6: デスキュー時のレシーバ・スキュー・マージン (RSKMD) は、レシーバ入力での有効なデータ・サンプリング範囲として定義されています。DESKEW 機能は、レシーバのサンプリング・ストロブを LVDS ピットの中点に制約し、インターコネクト・スキューを除去 (調整) します。このマージン (RSKMD) により、符号間干渉 (ケーブルのタイプや長さに依存)、トランスミッタ・パルス位置 (TPPOS) の変動、LVDS クロック・ジッタ (TJCC) が許容されます。

RSKMD = ISI + TPPOS (変動) + LVDS ソース・クロック・ジッタ (サイクルごと)

詳細は「アプリケーション情報」を参照してください。

AC タイミング図

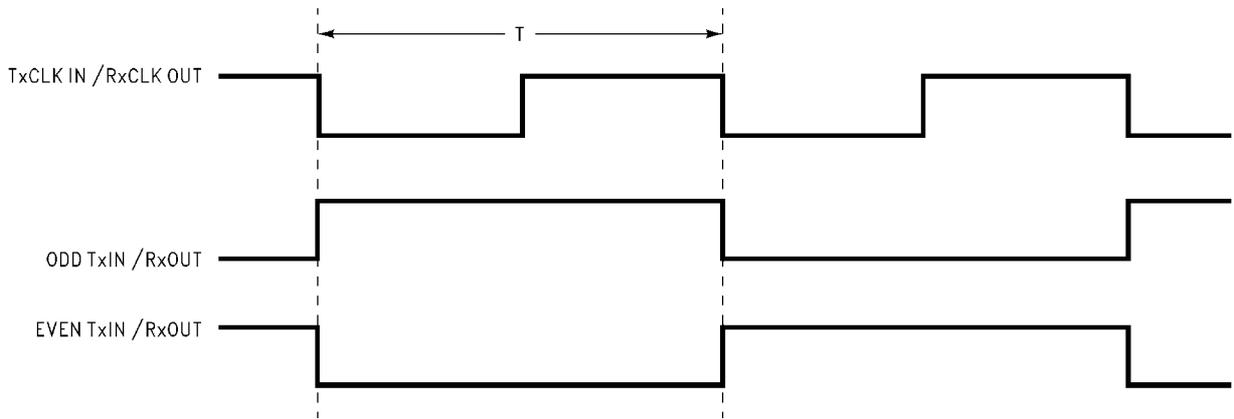


FIGURE 1. " Worst Case " Test Pattern

Note 7: ワースト・ケースのテスト・パターンは、デジタル回路、LVDS I/O および LVCMOS/LVTTL I/O を最も多くトグルさせます。

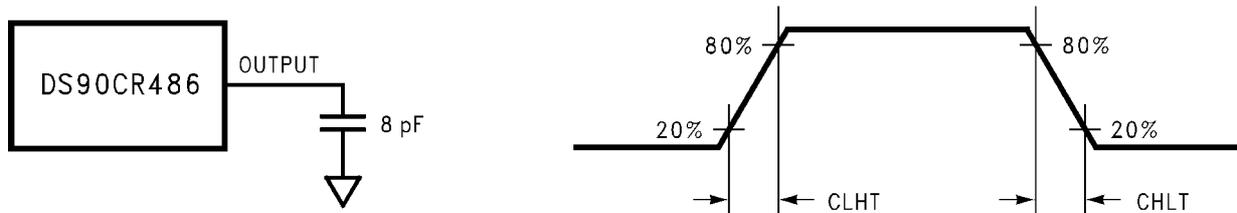


FIGURE 2. DS90CR486 LVCMOS/LVTTL Output Load and Transition Times

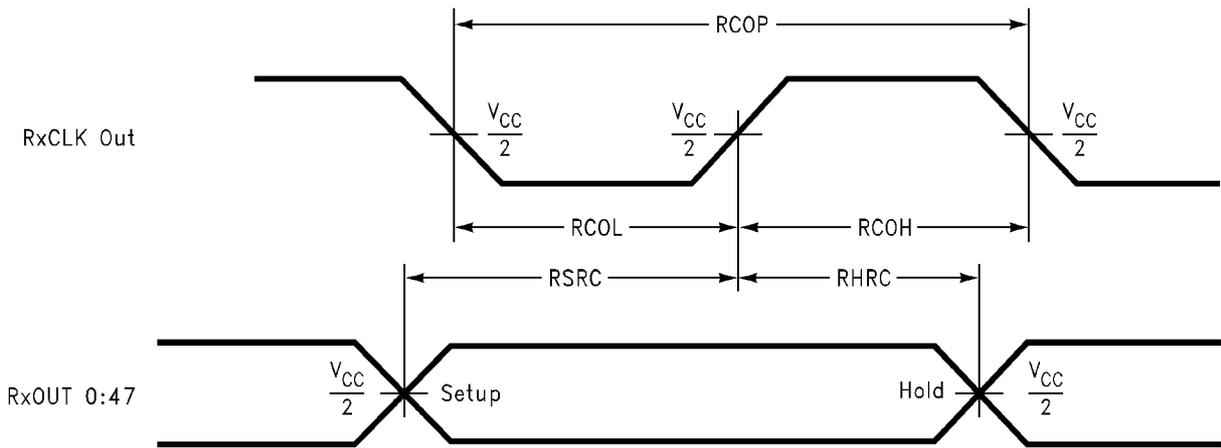


FIGURE 3. DS90CR486 Setup/Hold and High/Low Times

AC タイミング図 (つづき)

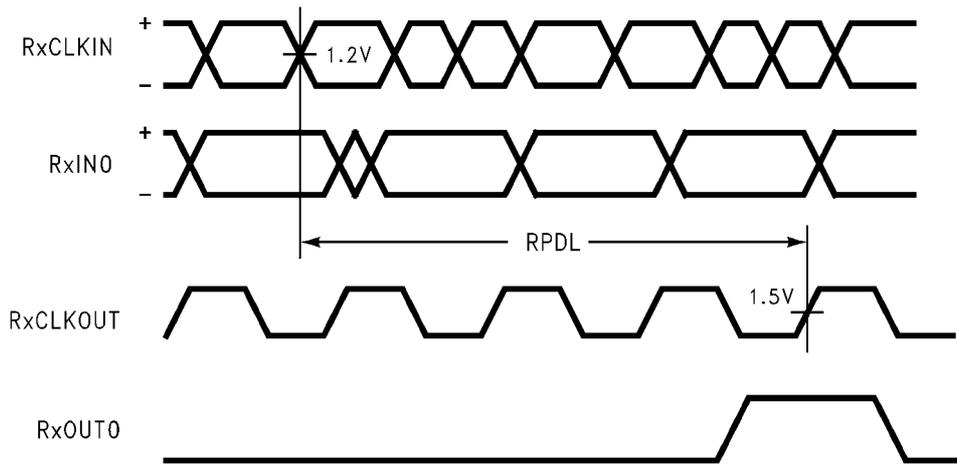


FIGURE 4. DS90CR486 Propagation Delay - Latency

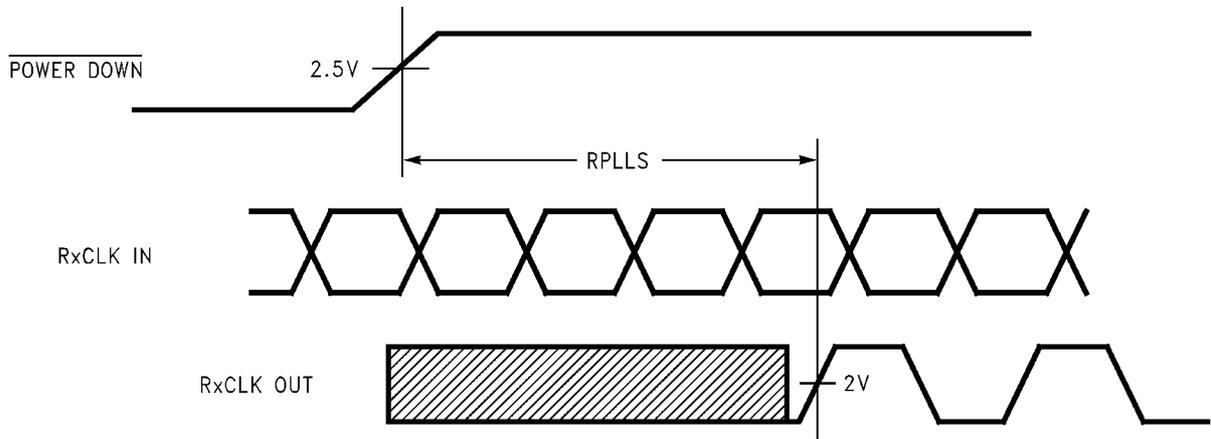


FIGURE 5. DS90CR486 Phase Lock Loop Set Time ($V_{CC} > 3.0V$)

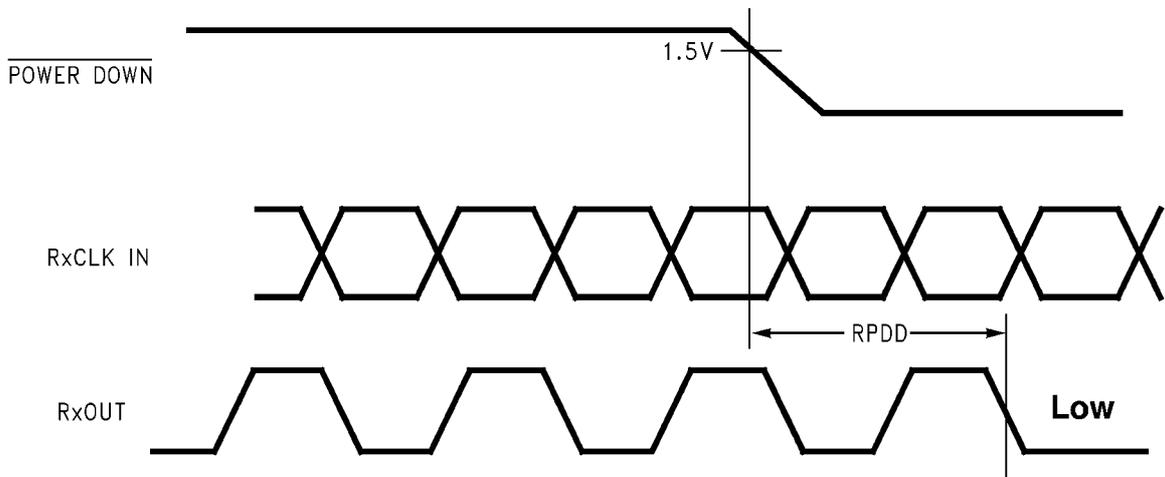
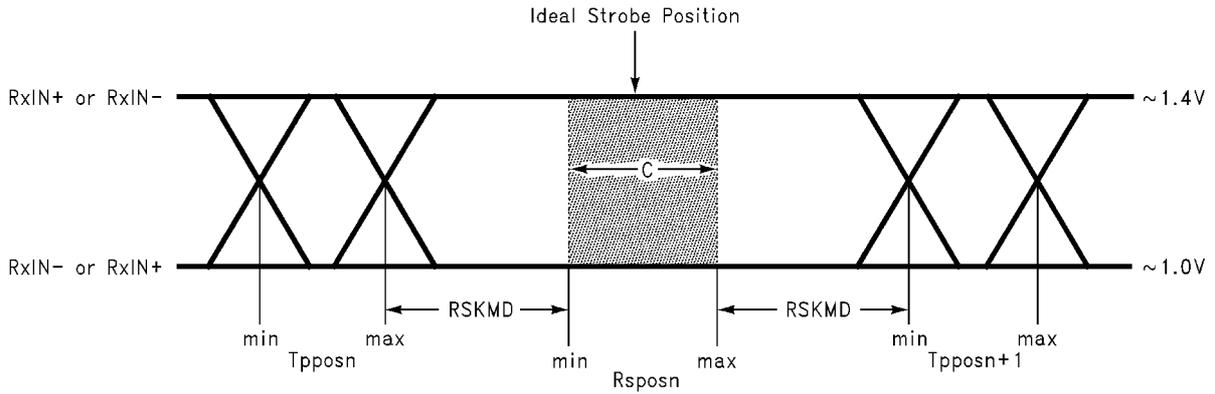


FIGURE 6. DS90CR486 Power Down Delay

AC タイミング図 (つづき)



C Rspesn (レシーバ入力ストロブ位置) の Min 値と Max 値によって定義されるセットアップとホールド時間 (内部データ・サンプリング・ウィンドウ)

Tpposn トランスミッタの出力パルス位置 (Min 値および Max 値)

RSKMD = ISI (符号間干渉) + TPPOS (変動) + LVDS ソース・クロック・ジッタ (サイクルごと)

ケーブル・スキュー 通常 30cm あたり 10ps ~ 40ps、ケーブルにより異なります。

Note 8: サイクルごとの LVDS 出力ジッタ仕様は、トランスミッタのデータシートを参照してください。

Note 9: 符号間干渉は配線長に依存しますが、おそらくはゼロです。符号間干渉の低減にはトランスミッタのプリエンファシス機能を使用します。詳細はトランスミッタのデータシートを参照してください。

FIGURE 7. Receiver Skew Margin with DESKEW (RSKMD)

LVDS インタフェース

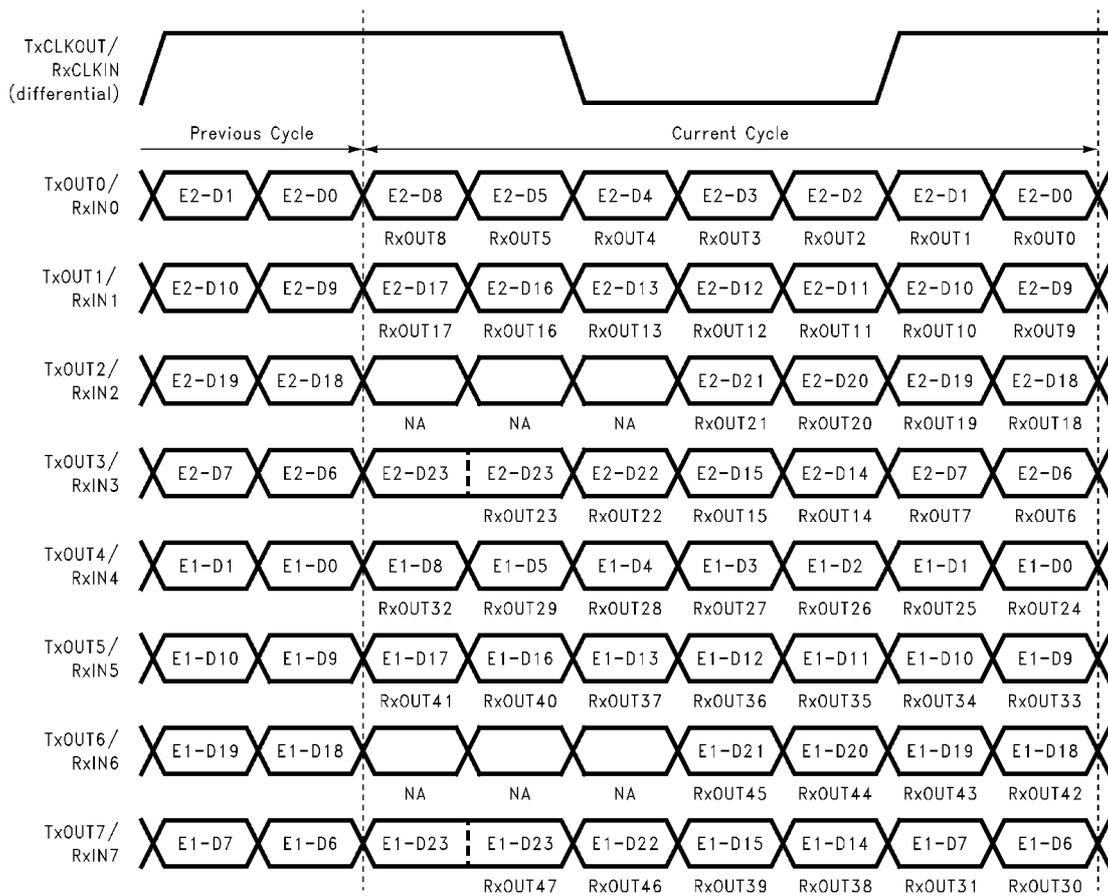


FIGURE 8. 48 LVC MOS/LVTTL Outputs Mapped to 8 LVDS Inputs (DC Balance Mode- Disable, BAL = Low) (E1 - Falling Edge; E2 - Rising Edge)

LVDS インタフェース(つぎ)

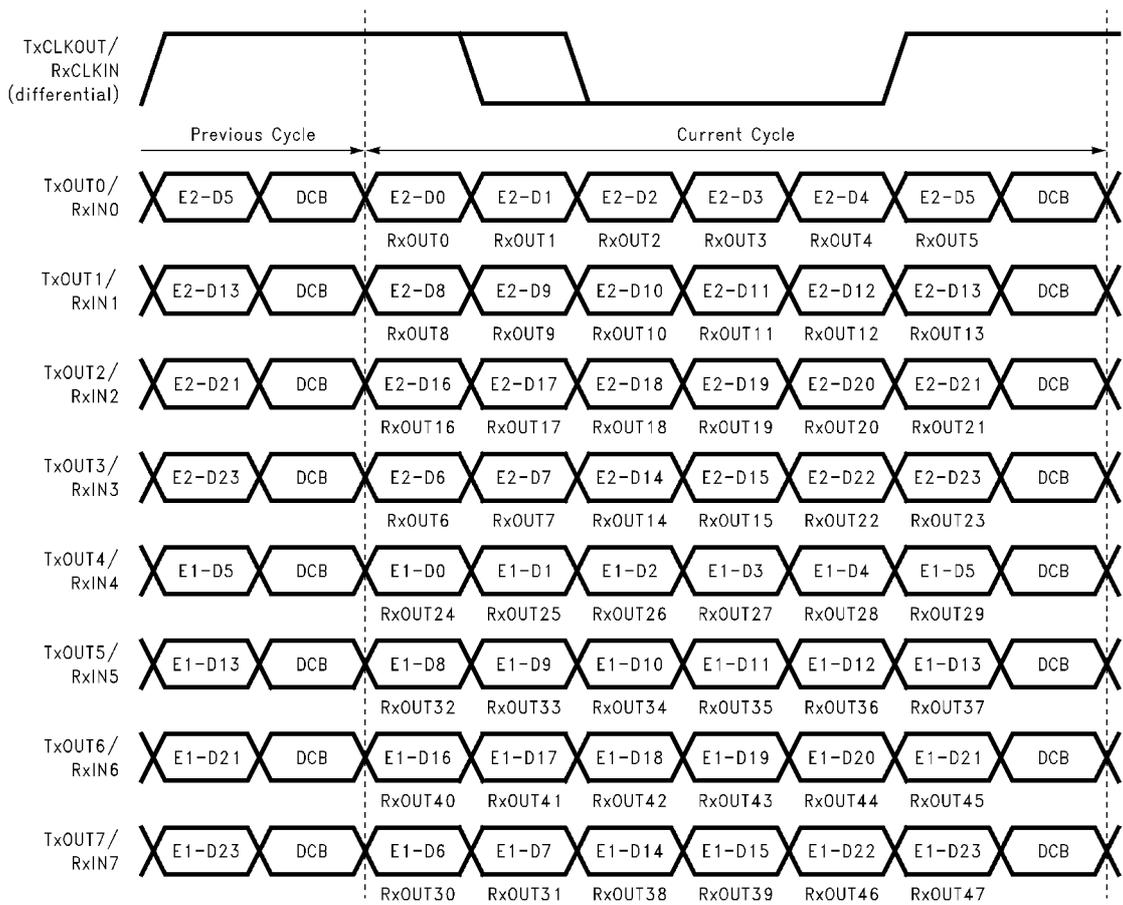


FIGURE 9. 48 LVC MOS/LVTTL Outputs Mapped to 8 LVDS Inputs(DC Balance Mode - Enable, BAL = High) (E1 - Falling Edge; E2 - Rising Edge)

DS90CR486 出力と DS90CR485/DS90CR483 入力に対応

DS90CR486 Receiver Output	DS90CR485 Transmitter Input *	DS90CR483 Transmitter Input
RxOUT0	E2-D0	TxIN0
RxOUT1	E2-D1	TxIN1
RxOUT2	E2-D2	TxIN2
RxOUT3	E2-D3	TxIN3
RxOUT4	E2-D4	TxIN4
RxOUT5	E2-D5	TxIN5
RxOUT6	E2-D6	TxIN6
RxOUT7	E2-D7	TxIN7
RxOUT8	E2-D8	TxIN8
RxOUT9	E2-D9	TxIN9
RxOUT10	E2-D10	TxIN10
RxOUT11	E2-D11	TxIN11
RxOUT12	E2-D12	TxIN12
RxOUT13	E2-D13	TxIN13
RxOUT14	E2-D14	TxIN14
RxOUT15	E2-D15	TxIN15
RxOUT16	E2-D16	TxIN16
RxOUT17	E2-D17	TxIN17
RxOUT18	E2-D18	TxIN18
RxOUT19	E2-D19	TxIN19
RxOUT20	E2-D20	TxIN20
RxOUT21	E2-D21	TxIN21
RxOUT22	E2-D22	TxIN22
RxOUT23	E2-D23	TxIN23
RxOUT24	E1-D0	TxIN24
RxOUT25	E1-D1	TxIN25
RxOUT26	E1-D2	TxIN26
RxOUT27	E1-D3	TxIN27
RxOUT28	E1-D4	TxIN28
RxOUT29	E1-D5	TxIN29
RxOUT30	E1-D6	TxIN30
RxOUT31	E1-D7	TxIN31
RxOUT32	E1-D8	TxIN32
RxOUT33	E1-D9	TxIN33
RxOUT34	E1-D10	TxIN34
RxOUT35	E1-D11	TxIN35
RxOUT36	E1-D12	TxIN36
RxOUT37	E1-D13	TxIN37
RxOUT38	E1-D14	TxIN38
RxOUT39	E1-D15	TxIN39
RxOUT40	E1-D16	TxIN40
RxOUT41	E1-D17	TxIN41
RxOUT42	E1-D18	TxIN42
RxOUT43	E1-D19	TxIN43
RxOUT44	E1-D20	TxIN44
RxOUT45	E1-D21	TxIN45
RxOUT46	E1-D22	TxIN46
RxOUT47	E1-D23	TxIN47

* RxCLK P/M 入力クロック・エッジの、E1 = 立ち下りエッジ、E2 = 立ち上がりエッジ

DS90CR486 端子説明 Channel Link Receiver

端子名	I/O	端子番号	説明
RxINP	I	8	正極性 LVDS 差動データ入力です。
RxINM	I	8	負極性 LVDS 差動データ入力です。
RxOUT	O	48	LVC MOS/LVTTL レベルのデータ出力です。パワーダウン ($\overline{\text{PD}} = \text{LOW}$) モードでは、レシーバ出力は強制的に LOW になります。
RxCLKP	I	1	正極性 LVDS 差動クロック入力です。
RxCLKM	I	1	負極性 LVDS 差動クロック入力です。
RxCLKOUT	O	1	LVC MOS/LVTTL レベルのクロック出力です。立ち上がりエッジがデータ・ストロブとなります。
PLLSEL	I	1	PLL 周波数範囲を選択する制御入力です。このピンは V_{CC} に接続してください。開放、またはグラウンドへの接続は、将来の拡張用に予約されています。
$\overline{\text{PD}}$	I	1	パワーダウン・ピンです。通常動作ではこのピンには 2.5V から V_{CC} の範囲の電圧を印加してください。本ピンを LOW にアサートするとレシーバ出力ピンは LOW になります。詳細は「アプリケーション情報」を参照してください。
DESKEW	I	1	デスクュー機能を正しく動作させるためには、このピンを HIGH レベルまたは V_{CC} に接続してください。1 クロック以上の LOW パルスを与えるとデスクューの初期化動作が再実行されます。このピンは LOW に固定してはなりません。詳細は「アプリケーション情報」を参照してください。
BAL	I	1	LVC MOS/LVTTL レベル入力です。DC バランス機能 (Figure 9) をイネーブルにするには、このピンを HIGH レベルまたは V_{CC} に接続してください。LOW に接続したり開放のまま使用すると、DC バランス機能はデイスエーブルされます (Figure 8)。詳細は後述の「アプリケーション情報」を参照してください。
CON1	I	1	制御ピンです。HIGH レベルまたは V_{CC} に接続してください。
V_{CC}	I	6	LVC MOS/LVTTL 出力バッファとデジタル回路用電源です。
GND	I	8	LVC MOS/LVTTL 出力バッファとデジタル回路用 GND です。
PLL V_{CC}	I	1	PLL 回路用電源です。
PLLGND	I	2	PLL 回路用 GND です。
LVDS V_{CC}	I	2	LVDS 入力バッファ用電源です。
LVDSGND	I	3	LVDS 入力バッファ用 GND です。
NC		6	未接続です。これらのピンは接続せずに、開放のままにしてください。

Note 10: レシーバ入力段には、レシーバ入力開放であったり終端されていた場合に、安定した出力レベルを得るためのフェールセーフ・バイアス回路が内蔵されています。開放または終端時は、レシーバ入力は HIGH 状態となります。クロック信号が入力されていれば、出力もすべて HIGH になります。また、ケーブル・インターコネクが接続されておらず、入力開放または終端状態になっている場合は、出力は前の有効な値を保ちます。クロック入力開放または終端されている場合は、クロック出力は LOW となります。

アプリケーション情報

DC バランス

Figure 9 に示すように、各サイクルの間に、各 LVDS データラインで 1 ビットの追加ビットをデータに加えて送ります。この追加ビットが DC バランス (DCB) ビットです。DC バランス機能の目的は、短期および長期にわたっての LVDS 信号の DC バイアスを最小にすることです。この機能は、データをそのままの極性で送るか、反転して送ることによって実現します。

DC バランス・ビットは、転送中ワードのデイスパリティ (0/1 ビット個数の差) と、転送前ワードのデータ・デイスパリティから算出されます。転送前ワードのデータ・デイスパリティは、データ中の 1 のビット個数から 0 のビット個数を引いて求めます。転送中ワードのデイスパリティは、初期段階では +7 から -6 のいずれかの値となります。その後、転送中ワードのデイスパリティは、反転したデータ・デイスパリティを連続的に合計して求めます。データが反転せずに送られた場合はデータ・デイスパリティ値から 1 を引き、データが反転して送られた場合はデータ・デイスパリティを反転して 1 を加えます。この結果、転送中デイスパリティの値は +7 から -6 の範囲となります。

データがそのまま送られるときは DC バランス・ビット (DCB) の値は 0 となり、反転して送られるときは 1 となります。データを反転せずに送るか反転して送るかは、転送中データのデイスパリティと転送前データのデイスパリティを用いて次のように決定します。

データを反転せずに送信：

転送中データのデイスパリティが正で、かつ転送前データのデイスパリティが 0 または負のとき

転送中データのデイスパリティが負で、かつ転送前データのデイスパリティが正のとき

データを反転して送信：

転送中データのデイスパリティが正で、かつ転送前データのデイスパリティが正のとき

転送中データのデイスパリティが負で、かつ転送前データのデイスパリティが 0 または負のとき

転送中データのデイスパリティが 0 のとき

トランスミッタの BAL ピンを HIGH にすると DC バランス・モードとなります。「端子説明」の項も参照してください。

デスクュー

本レーザのデスクュー機能では、それぞれ独立した差動ペア間のインターコネクト・スキュー (ペア間スキュー) を、LVDS クロックの立ち上がりエッジに対する固定値として補正します。デバイスのパワーアップ時に、デスクューの初期化動作、すなわち較正が自動的に行われます。DS90CR486 の制御ピン CON1、DESKEW ピンは、ともに HIGH にしておく必要があります。なお、デスクュー初期化はデバイスのパワーアップ後に実行させることも可能です。1 クロック以上の LOW パルスを DESKEW ピンに与えると、デスクュー較正処理が再実行されます。較正の完了には、TX および RX PLL がロック後 (20ms)、さらに 4096 クロック・サイクルが必要です。この間は R_{XIN} データはサンプルされません。データ出力は LOW となります。通常動作では DESKEW ピンは HIGH にしておかなければなりません。DESKEW ピンを LOW あるいは開放のままにしておくと、サンプリング・ストロブの再較正が繰り返されます。その間、データ出力は LOW のままとなります。

デスクュー機能を正しく動作させるには初期化が必要です。DS90CR486 デスクューは、3 クロック・サイクルの遷移を伴う任意のデータ・パターンを用いて初期化が可能です。そのため、デスクューの初期化方法には、システム・コンフィギュレーションに依存して複数の方法があります (Figure 10 を参照)。たとえば、DS90CR485 と DS90CR486 を DC バランス・モードで使用した場合にデスクュー機能を初期化するには、トランスミッタ DS90CR485

の DS_OPT ピン入力をパワーアップ時に HIGH または LOW にします。レーザのデスクュー初期化動作を完了させるために、DS_OPT ピンのレベルは、少なくとも 20ms (TX と RX PLL のロック時間) に 4096 クロック・サイクルを加えた時間を維持してください。DS90CR483 と DS90CR484 に関するその他のコンフィギュレーションについては、Figure 10 のフローチャートを参照してください。

トランスミッタ DS90CR485 の DS_OPT 入力ピンは、デスクュー用較正パターンの生成を開始するときに使用します。レーザのデスクュー初期化動作を完了させるために、コンフィギュレーションに依存してパワーアップ時に HIGH または LOW を与えます。この理由から、DS_OPT に HIGH (データ・サンプリングがアクティブ) を与えたときの LVDS クロック信号のパターンは 1111000 または 1110000 とし、また、LVDS データ・ライン (TxOUT 0 ~ 7) は 1 クロックのみ HIGH として次のクロックは LOW にしなければなりません。一方、DS_OPT を LOW にしてデスクュー較正パターンを送り出す場合は、LVDS クロック・パターンは 1111100 または 1100000 とします。あわせてトランスミッタはデスクュー用較正パターンとして 1111000 または 1110000 の連続パターンをデータ・ライン (TxOUT 0 ~ 7) に送出するため、これらのパターンを用いてレーザは入力端でのサンプリング・ストロブ・タイミングを自動的に調整できます。スキュー調整は特定の範囲内で、各データ・チャネルで個別に行なわれます。デスクューが可能なタイミング範囲は、データシート「レーザ・スイッチング特性」の表を参照してください。

デスクュー機能の初期化は、PLL が入力クロック周波数にロックしたあとに少なくとも 1 回は行う必要があります。またレーザがパワーアップされ PLL がロックしたときにも必要です。電源を一度オフにしたとき、またはケーブルが外されたときに初期化動作を行わないと、レーザが受信したデータを正しくサンプリングできなくなるおそれがあります。

パワーダウン

レーザはパワーダウン機能を備えています。このピンを LOW にアサートすると、PLL はシャットダウンされ電源ピンを流れる消費電流はきわめて小さくなります。パワーダウン・モードではレーザ出力は LOW ステートに固定されます。「端子説明」の表を参照)。なお PWDWN ピンは、LVCMOS/LVTTL 入力レベルとは異なり高いスレッシュホールド特性を持っています。通常動作時は、このピンに 2.5V から V_{CC} の範囲の電圧を与えてください。

システム構成

チップセットは、本来は単一のレーザ負荷を想定して設計されています。このような接続は 1 対 1 の構成として知られています。必要な制限に従えば、複数のレーザ負荷を駆動することも可能です (たとえば低データレートなど)。まず、相互接続の最遠端に置かれたレーザにのみ、差動信号のペア間に終端抵抗を付加します。また、ドライバから見た DC インピーダンスが 100 になるようにします。さらに、トランスミッタと最遠端のレーザの間に接続される複数のレーザが、信号の負荷インピーダンスを局所的に低下させないようにします。そのためには、相互接続から各レーザへのスタブ (枝分かれ) 長を、きわめて短く保つ必要があります。

ケーブル終端

LVDS バスで正しい動作を得るためには、終端抵抗が不可欠です。終端抵抗値は、信号が伝送される媒体の差動インピーダンスに等しくなければなりません。値の範囲としては 90 から 132 となります。100 のツイストペア・ケーブルを用いた場合の標準的な値は 100 です。終端抵抗は反射の抑止と電流ループの形成のために必要です。終端抵抗は、抵抗までのスタブ長を最短とするために、できる限りレーザ入力の近くに配置してください。

アプリケーション情報 (つづき)

バックプレーン・アプリケーションを構成する

100 の差動ライン・インピーダンスを持つバックプレーンを用いたアプリケーションでは、差動ラインのペア間スキューは配線長により調整可能です。トランスミッタ DS90CR485 の "DS_OPT" ピンは HIGH にしておきます。また、バックプレーン基板上の配線長が短いアプリケーションでは、通常はトランスミッタのプリエンファシス機能は不要です。したがって、"PRE" ピンはグラウンドには接続せずに開放のままにしておきます。ただし、将来の拡張用として、プリエンファシスを必要とするような重い容量性負荷の影響を打ち消せるように、 V_{CC} へのプルアップ抵抗のハンダ・パッドを備えておいてもよいでしょう。

電源の推奨バイパス

電源ピンにはバイパス・コンデンサを接続しなければなりません。パッケージの電源ピンごとに電源を供給している内部回路が異なるので、「端子説明」の表記載の注記を除いて、すべての電源ピンの近くにコンデンサを設ける必要があります。0.1 μF の高周波セラミック・コンデンサ (表面実装タイプを推奨) を各電源ピンの近くに配置してください。実装面積に余裕がある場合は 0.01 μF コンデンサを、容量の小さいほうを電源ピンに近い側に並列に接続してください。さらに、プリント基板全体にコンデンサを分散して配置するとデカップリング性能が向上します。デカップリング・コンデンサと電源層との接続には複数の (大きな) ピアを使用してください。また、PLL V_{CC} ピンと LVDS V_{CC} ピンの近くには 4.7 μF から 10 μF のパルク・コンデンサの実装を推奨します。このコンデンサと対応するピンの間は幅広い配線を用いてください。

レシーバ出力ドライバの駆動能力

DS90CR486 の出力には 1 個または 2 個の負荷が接続されるとの想定にもつき、負荷 8 pF で、 V_{OH} および V_{OL} に対し $\pm 2\text{mA}$ の動作条件で試験を行っています。DS90CR486 レシーバ出力の駆動能力は従来の Channel Link デバイスに比べて改善が図られ

ています。レシーバ出力に外部バッファは必要ありません。ファンアウトを多く取りたい場合、または長い伝送線路を駆動したい場合は、レシーバ出力に対しバッファを設けることを推奨します。レシーバ出力には TRI-STATE 機能はありません。

LVDS インターコネクットのガイドライン

詳細はアプリケーション・ノート AN-1108 と AN-905 を参照してください。

- 100 のカップリングされた差動ペア配線を使用してください。
- 配線間隔には S/2S/3S ルールを適用してください。
 - S = ペア内の配線間隔
 - 2S = ペア間の配線間隔
 - 3S = TTL 信号との配線間隔
- ピアの数は可能なかぎり抑えてください。
- 500Mbps 以上のライン速度で動作させる場合は差動コネクタを使用してください。
- 配線のバランスを維持してください。
- ペア内のスキューを可能なかぎり抑えてください。
- ペア間スキューを可能なかぎり抑えてください。
- 終端は RX 入力の可能なかぎり近くに配置してください。

詳細情報

Channel Link に関連する以下のアプリケーション・ノートをリリースしています。

- AN-1041 Channel Link の概要
- AN-1108 プリント基板とインターコネクットのガイドライン
- AN-905 差動インピーダンス
- LVDS オーナーズ・マニュアル (日本語版)

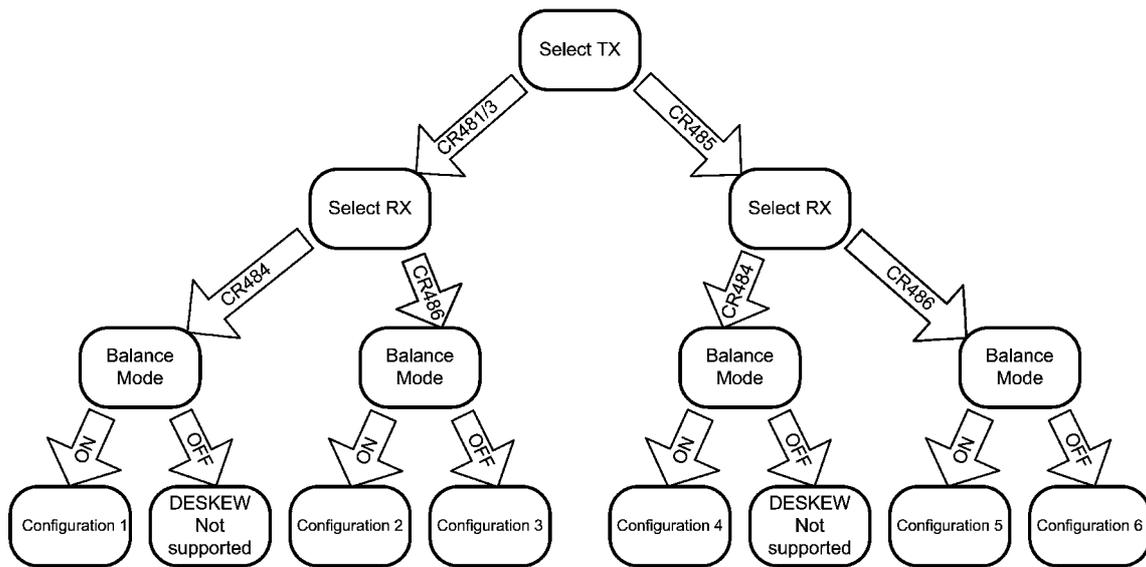


FIGURE 10. Deskew Configuration Setup Chart

コンフィギュレーション 1

DS90CR481/483 と DS90CR484 を DC バランス ON で使用するコンフィギュレーションです (BAL = HIGH、33MHz ~ 80MHz)。レーザーのデスキュー初期化動作を完了させるために、トランスミッタ DS90CR481/483 の DS_OPT ピンには 4 クロック以上の LOW を与えなければなりません。DS_OPT ピンには、PLL が入力クロック周波数にロックしたあとに信号を印加します。このコンフィギュレーションでは、レーザー DS90CR484 の DESKEW ピンは HIGH にしておく必要があります。

コンフィギュレーション 2

DS90CR481/483 と DS90CR486 を DC バランス ON で使用するコンフィギュレーションです (BAL = HIGH、CON1 = HIGH、66MHz ~ 112MHz)。パワーアップ時に、トランスミッタ DS90CR481/483 の DS_OPT ピンは HIGH または LOW に設定可能です。レーザーのデスキュー初期化動作を完了させるために、DS_OPT ピンに与えるパルス幅は少なくとも 20ms (TX と RX PLL ロック時間) に 4096 クロック・サイクルを加えた時間が必要です。このコンフィギュレーションでは、DS90CR486 の DESKEW と CON1 ピンは HIGH にしておく必要があります。

コンフィギュレーション 3

DS90CR481/483 と DS90CR486 を DC バランス OFF で使用するコンフィギュレーションです (BAL = LOW、CON1 = HIGH、66MHz ~ 112MHz)。このコンフィギュレーションでは、トランスミッタ DS90CR481/483 の DS_OPT ピンは無視され動作に影響を与えません。レーザーの DS90CR486 のデスキュー動作を初期化するために、パワーアップ時にトランスミッタにはデータとクロックを与える必要があります。このコンフィギュレーションでは、DS90CR486 の DESKEW と CON1 ピンは HIGH にしておく必要があります。

コンフィギュレーション 4

DS90CR485 と DS90CR484 を DC バランス ON で使用するコンフィギュレーションです (BAL = HIGH、66MHz ~ 80MHz)。レーザーのデスキュー初期化動作を完了させるために、トランスミ

ッタ DS90CR485 の DS_OPT ピンには 4 クロック以上の LOW を与えなければなりません。DS_OPT ピンには、PLL が入力クロック周波数にロックしたあとに信号を印加します。このコンフィギュレーションでは、レーザー DS90CR484 の DESKEW ピンは HIGH にしておく必要があります。

コンフィギュレーション 5

DS90CR485 と DS90CR486 を DC バランス ON で使用するコンフィギュレーションです (BAL = HIGH、CON1 = HIGH、66MHz ~ 133MHz)。パワーアップ時に、トランスミッタ DS90CR485 の DS_OPT ピンは HIGH または LOW に設定可能です。レーザーのデスキュー初期化動作を完了させるために、DS_OPT ピンに与えるパルス幅は少なくとも 20ms (TX と RX PLL ロック時間) に 4096 クロック・サイクルを加えた時間が必要です。このコンフィギュレーションでは、レーザー DS90CR486 の DESKEW と CON1 ピンは HIGH にしておく必要があります。

コンフィギュレーション 6

DS90CR485 と DS90CR486 を DC バランス OFF で使用するコンフィギュレーションです (BAL = LOW、CON1 = HIGH、66MHz ~ 133MHz)。このコンフィギュレーションでは、トランスミッタ DS90CR485 の DS_OPT ピンは無視され動作に影響を与えません。レーザーの DS90CR486 のデスキュー動作を初期化するために、パワーアップ時にトランスミッタにはデータとクロックを与える必要があります。このコンフィギュレーションでは、DS90CR486 の DESKEW と CON1 ピンは HIGH にしておく必要があります。

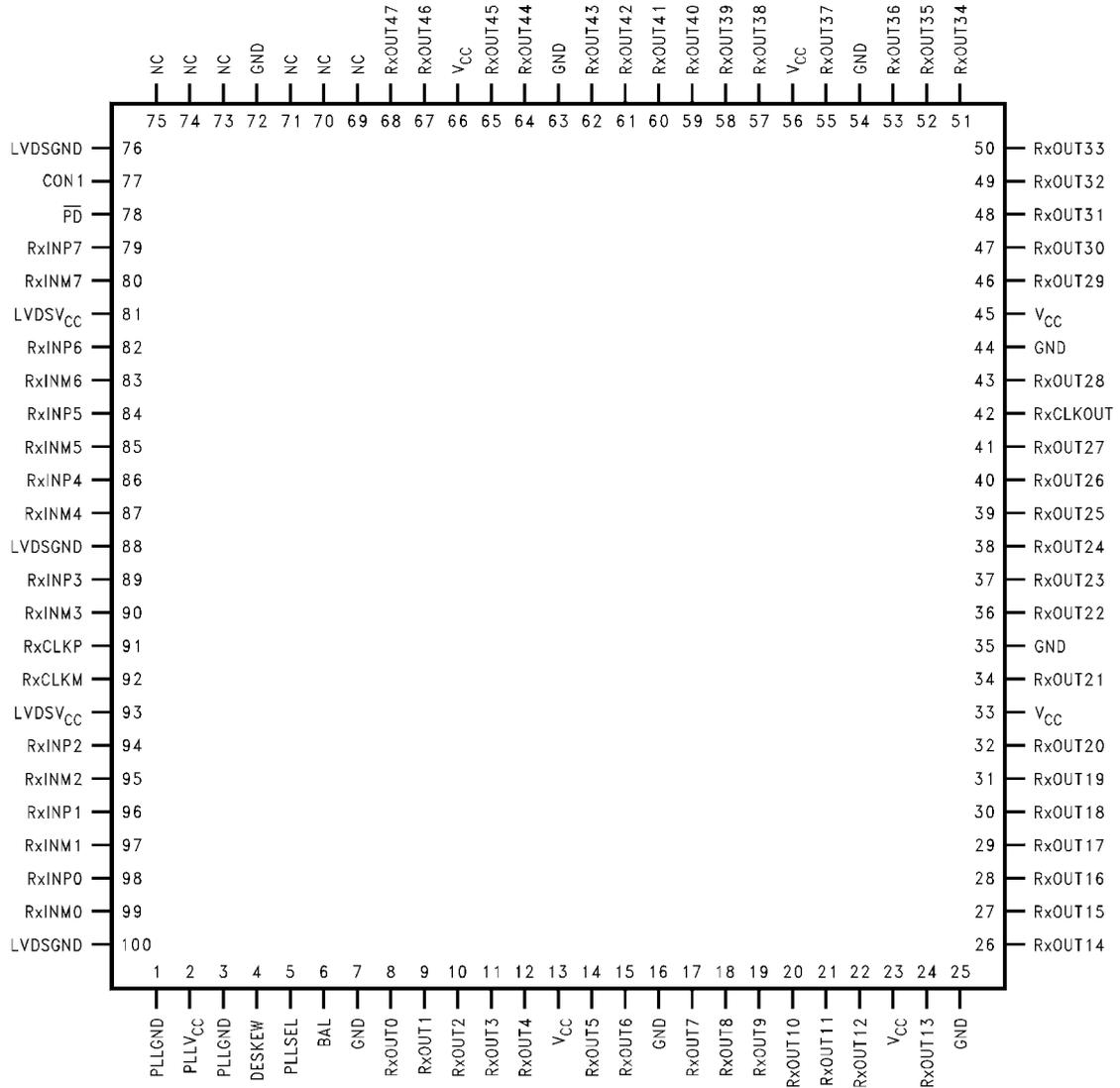
デスキューなし

このコンフィギュレーションではデスキュー機能は働きません。DS90CR484 のデスキュー機能は DC バランスが ON (BAL = HIGH) のときのみサポートされます。ただし DS90CR486 のデスキュー機能は、DC バランスと非 DC バランスの両方で有効です。

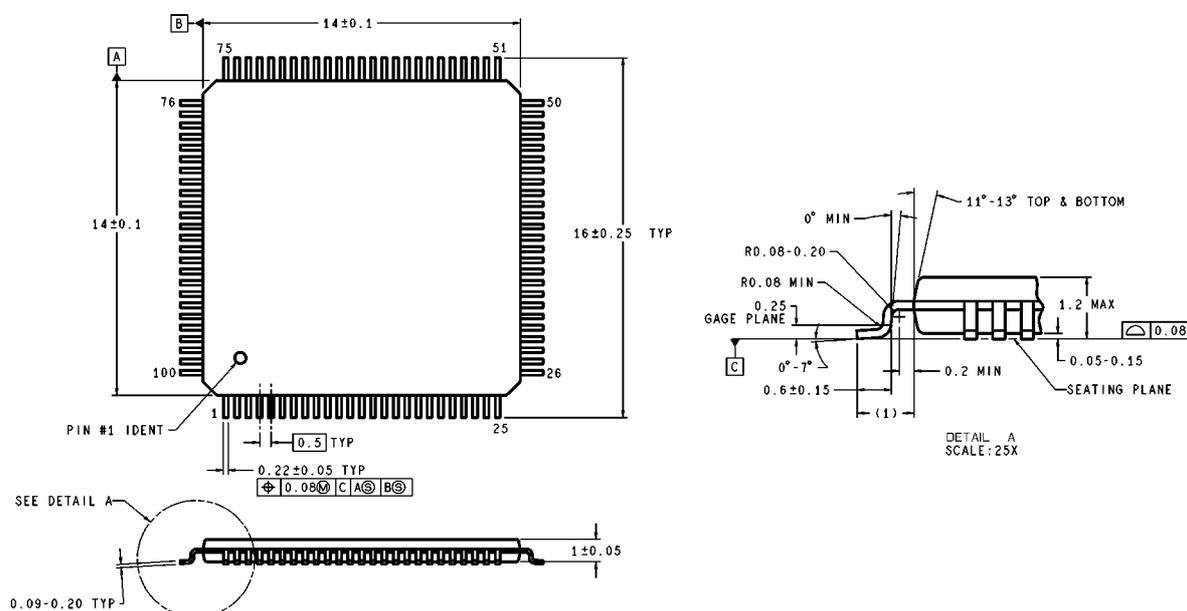
Note 11: デスキュー動作の詳細は、「アプリケーション情報」を参照してください。

配置图

Receiver - DS90CR486
(Top View)



外形寸法図 単位はmillimeters



VJD100A (Rev B)

Dimensions show in millimeters
 Order Number DS90CR486VS
 NS Package Number VS100A

生命維持装置への使用について

弊社の製品はナショナル セミコンダクター社の書面による許可なくしては、生命維持用の装置またはシステム内の重要な部品として使用することはできません。

1. 生命維持用の装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。
2. 重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/JPN/

その他のお問い合わせはフリーダイヤルをご利用下さい。

フリーダイヤル
 0120-666-116

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されてもありません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されてもありません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上