

DS90LV001

DS90LV001 800 Mbps LVDS Buffer



Literature Number: JAJ709

DS90LV001

800Mbps LVDS バッファ

概要

DS90LV001 は、LVDS 入力信号から LVDS 出力信号を生成する LVDS-LVDS バッファです。さまざまな大規模システムでは信号をバックプレーンを介して分配する必要がありますが、スタブ長と呼ばれるバックプレーン伝送線路から個々のカード上の無終端レシーバまでの配線長が、システムの動作速度を制限する 1 つの要因となっています。一般にこのようなバス・システムの性能を高めるにはスタブ長を可能な限り短くすべきとされていますが、実際の装置設計ではさまざまな課題が存在し、設計者が望むとおりにスタブ長を短くするのは容易ではありません。

LLP (リードレス・リードフレーム・パッケージ) でも提供される DS90LV001 はサイズがきわめて小さいため、バス・レシーバとしてメインの伝送線路のきわめて近くに配置でき、システム性能を高められます。

DS90LV001 は入力ダイナミック・レンジが広く、LVDS の信号のほかに LVPECL 仕様の差動信号を入力することも可能です。その場合、デバイスは LVPECL-LVDS インタフェース変換器の役割を果たします。

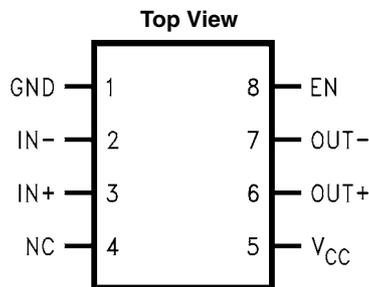
出力イネーブル・ピンを備えており、LVDS 出力を TRI-STATE にできます。

DS90LV001 は 8 ピンの LLP、SOIC で供給されます。

特長

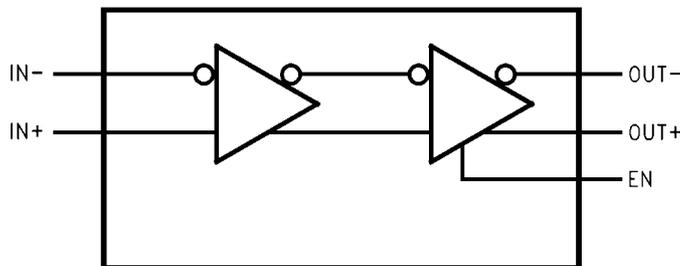
- + 3.3V 単一電源
- LVPECL レベルを入力できる LVDS レシーバ
- TRI-STATE 出力
- ± 100mV 以下のレシーバ入力のスレッショルド
- 1.4ns (typ) の高速な伝搬遅延時間
- 800Mbps の低ジッタ完全差動データ・パス
- 800Mbps における疑似ランダム・ビット列 PRBS = $2^{23} - 1$ データ・パターンでのピーク・ツー・ピーク・ジッタ 100ps (typ)
- ANSI/TIA/EIA-644-A LVDS 標準と互換
- 8 ピン SOIC、実装面積を小型化する (70%) LLP パッケージで供給
- 産業用温度範囲

ピン配置図



Order Number DS90LV001TM, DS90LV001TLD
See NS Package Number M08A, LDA08A

ブロック図



絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電氣的信頼性試験方法の規格を参照ください。

電源電圧 (V _{CC})	- 0.3V ~ + 4V
LVC MOS/LVTTL 入力電圧 (EN)	- 0.3V ~ (V _{CC} + 0.3V)
LVDS レシーバ入力電圧 (IN +, IN -)	- 0.3V ~ + 4V
LVDS ドライバ出力電圧 (OUT +, OUT -)	- 0.3V ~ + 4V
LVDS 出力短絡電流	連続
接合部温度	+ 150
保存温度範囲	- 65 ~ + 150
リード許容温度	
ハンダ付け (4 秒)	+ 260

最大パッケージ電力損失 (25 °C)

M パッケージ		726mW
M パッケージのデレーティング	25	以上において 5.8mW/
LDA パッケージ		2.44W
LDA パッケージのデレーティング	25	以上において 19.49mW/

ESD 耐圧

(人体モデル、1.5k Ω 、100pF)	2.5kV
(EIAJ、0 Ω 、200pF)	250V

推奨動作条件

	最小値	代表値	最大値	単位
電源電圧 (V _{CC})	3.0	3.3	3.6	V
レシーバ入力電圧	0		V _{CC}	V
動作周囲温度	- 40	+ 25	+ 85	

電氣的特性

特記のない限り、推奨動作条件の電源電圧と動作周囲温度を対象 (Note 2、3)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
LVC MOS/LVTTL DC SPECIFICATIONS (EN)						
V _{IH}	High Level Input Voltage		2.0		V _{CC}	V
V _{IL}	Low Level Input Voltage		GND		0.8	V
I _{IH}	High Level Input Current	V _{IN} = 3.6V or 2.0V, V _{CC} = 3.6V		+7	+20	μ A
I _{IL}	Low Level Input Current	V _{IN} = GND or 0.8V, V _{CC} = 3.6V		\pm 1	\pm 10	μ A
V _{CL}	Input Clamp Voltage	I _{CL} = -18 mA		-0.6	-1.5	V
LVDS OUTPUT DC SPECIFICATIONS (OUT)						
V _{OD}	Differential Output Voltage	R _L = 100 Ω	250	325	450	mV
Δ V _{OD}	Change in Magnitude of V _{OD} for Complimentary Output States	Figure 1 and Figure 2			20	mV
V _{OS}	Offset Voltage	R _L = 100 Ω	1.080	1.19	1.375	V
Δ V _{OS}	Change in Magnitude of V _{OS} for Complimentary Output States	Figure 1			20	mV
I _{OZ}	Output TRI-STATE Current	EN = 0V, V _{OUT} = V _{CC} or GND		\pm 1	\pm 10	μ A
I _{OFF}	Power-Off Leakage Current	V _{CC} = 0V, V _{OUT} = 3.6V or GND		\pm 1	\pm 10	μ A
I _{OS}	Output Short Circuit Current (Note 4)	EN = V _{CC} , V _{OUT+} and V _{OUT-} = 0V		-16	-24	mA
I _{OSD}	Differential Output Short Circuit Current (Note 4)	EN = V _{CC} , V _{OD} = 0V		-7	-12	mA
LVDS RECEIVER DC SPECIFICATIONS (IN)						
V _{TH}	Differential Input High Threshold	V _{CM} = +0.05V, +1.2V or +3.25V		0	+100	mV
V _{TL}	Differential Input Low Threshold		-100	0		mV
V _{CMR}	Common Mode Voltage Range	V _{ID} = 100mV, V _{CC} = 3.3V	0.05		3.25	V
I _{IN}	Input Current	V _{IN} = +3.0V		\pm 1	\pm 10	μ A
		V _{IN} = 0V		\pm 1	\pm 10	μ A
Δ I _{IN}	Change in Magnitude of I _{IN}	V _{IN} = +3.0V		1	6	μ A
		V _{IN} = 0V		1	6	μ A
SUPPLY CURRENT						
I _{CCD}	Total Supply Current	EN = V _{CC} , R _L = 100 Ω , C _L = 5 pF		47	70	mA
I _{CCZ}	TRI-STATE Supply Current	EN = 0V		22	35	mA

AC 電気的特性

特記のない限り、推奨動作条件の電源電圧と動作周囲温度を対象 (Note 3)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{PHLD}	Differential Propagation Delay High to Low	$R_L = 100\Omega, C_L = 5pF$	1.0	1.4	2.0	ns
t_{PLHD}	Differential Propagation Delay Low to High	Figure 3 and Figure 4	1.0	1.4	2.0	ns
t_{SKD1}	Pulse Skew $ t_{PLHD} - t_{PHLD} $ (Notes 5, 6)			20	200	ps
t_{SKD3}	Part to Part Skew (Notes 5, 7)			0	60	ps
t_{SKD4}	Part to Part Skew (Notes 5, 8)				400	ps
t_{LHT}	Rise Time (Note 5)	$R_L = 100\Omega, C_L = 5pF$	200	320	450	ps
t_{HLT}	Fall Time (Note 5)	Figure 3 and Figure 5	200	310	450	ps
t_{PHZ}	Disable Time (Active High to Z)	$R_L = 100\Omega, C_L = 5pF$		3	25	ns
t_{PLZ}	Disable Time (Active Low to Z)	Figure 6 and Figure 7		3	25	ns
t_{PZH}	Enable Time (Z to Active High)			25	45	ns
t_{PZL}	Enable Time (Z to Active Low)			25	45	ns
t_{DJ}	LVDS Data Jitter, Deterministic (Peak-to-Peak) (Note 9)	$V_{ID} = 300mV; PRBS = 2^{23} - 1$ data; $V_{CM} = 1.2V$ at 800Mbps (NRZ)		100	135	ps
t_{RJ}	LVDS Clock Jitter, Random (Note 9)	$V_{ID} = 300mV; V_{CM} = 1.2V$ at 400MHz clock		2.2	3.5	ps

Note 1: 「絶対最大定格」とは、この値を超えるとデバイスの安全を保証できない値のことです。デバイスをこのリミット値で動作させることを意図しているわけではありません。デバイスの実際の動作条件は「電気的特性」の表に規定されています。

Note 2: デバイス・ピンに流れ込む電流は正と定義されます。デバイス・ピンから流れ出る電流は負と定義されます。 V_{OD} 、 V_{OD} 以外の電圧はすべてグラウンドを基準としています。

Note 3: すべての "typ" 値は、特記のない限り $V_{CC} = +3.3V, T_A = 25$ のときです。

Note 4: 出力短絡電流 (I_{OS}) は大きさを表し、マイナス符号は電流の流れる方向を表しています。

Note 5: パラメータは設計によって保証されています。リミット値は、素子性能のばらつき範囲 (プロセス、電圧、温度) を含めた統計的な解析に基づいています。

Note 6: t_{SKD1} 、 $|t_{PLHD} - t_{PHLD}|$ は同チャネルの立ち上がりエッジと立ち下がりエッジにおける伝搬遅延時間の差の大きさをあらわしています。

Note 7: デバイス間スキュー t_{SKD3} は、規定されている差動伝搬遅延時間の最小値と最大値の差として定義されています。本仕様は、双方のデバイスに同じ電源電圧が供給されていて、動作温度範囲内で温度差が 5 以内の場合に適用されます。

Note 8: デバイス間スキュー t_{SKD4} は、任意のデバイス間事象に対する差動チャネル間スキューとして定義されています。本仕様は、推奨動作温度と電圧範囲全域に適用され、プロセスばらつきを含みます。 t_{SKD4} は差動伝搬遅延時間の最大、最小の差の絶対値 $|Max - Min|$ として定義されています。

Note 9: パラメータは設計によって保証されています。リミット値は、次の測定機器を用いて、素子性能のばらつき範囲 (プロセス、電圧、温度) を含めた統計的な解析に基づいています。HP8133A (パターン・アナライザ・ジェネレータ)、5 フィートの RG142B ケーブルと被測定デバイスのテスト・ボード、および HP83480A (デジタル・オシロスコープ・メインフレーム) と HP83484A (50GHz スコープ・モジュール)。HP8133A に RG142B ケーブルを接続した場合、 $t_{DJ} = 21ps, t_{RJ} = 1.8ps$ です。

DC テスト回路

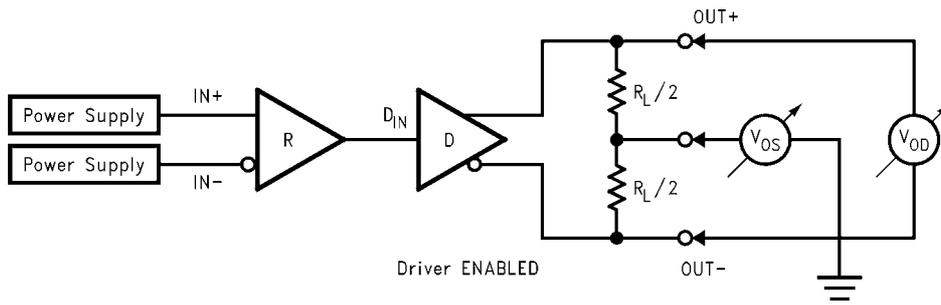


FIGURE 1. Differential Driver DC Test Circuit

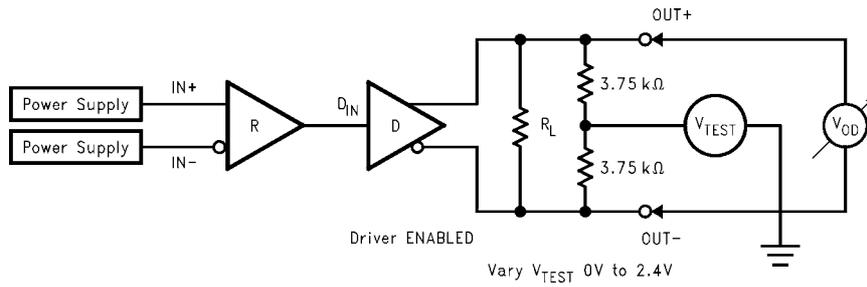


FIGURE 2. Differential Driver Full Load DC Test Circuit

AC テスト回路およびタイミング図

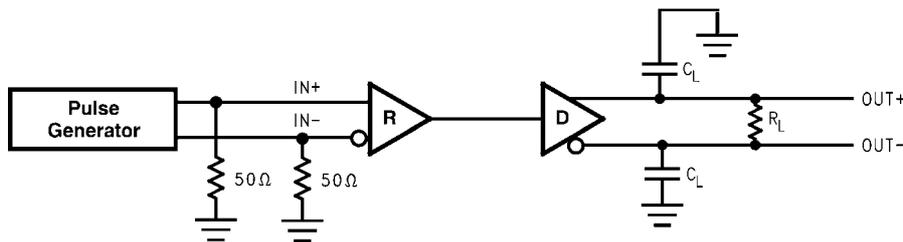


FIGURE 3. LVDS Output Load

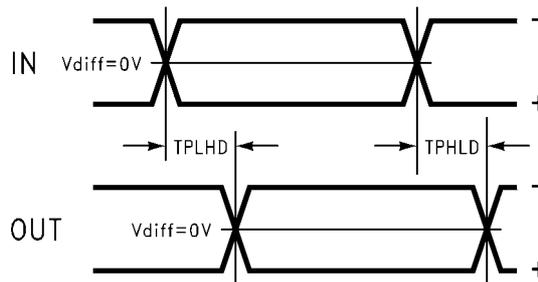


FIGURE 4. Propagation Delay Low-to-High and High-to-Low

AC テスト回路およびタイミング図 (つづき)

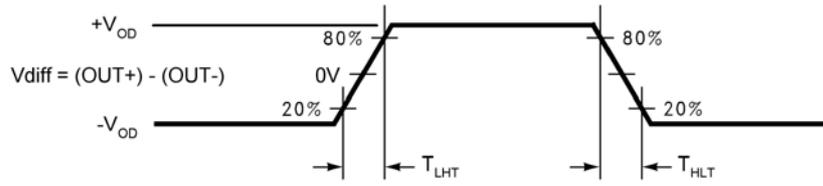


FIGURE 5. LVDS Output Transition Time

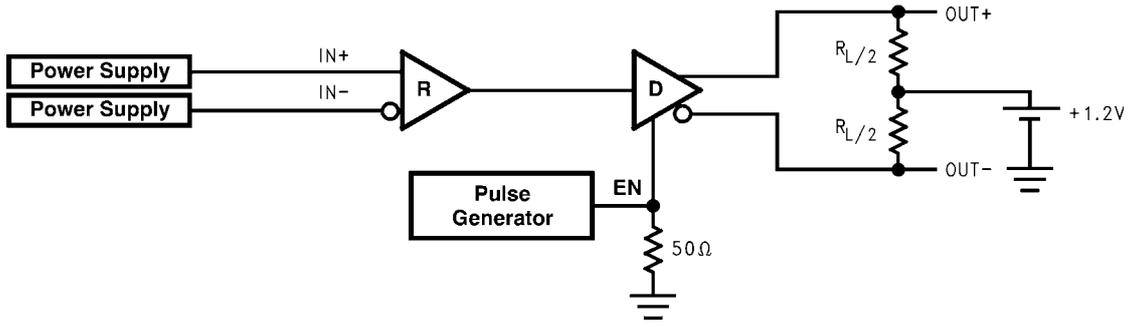


FIGURE 6. TRI-STATE Delay Test Circuit

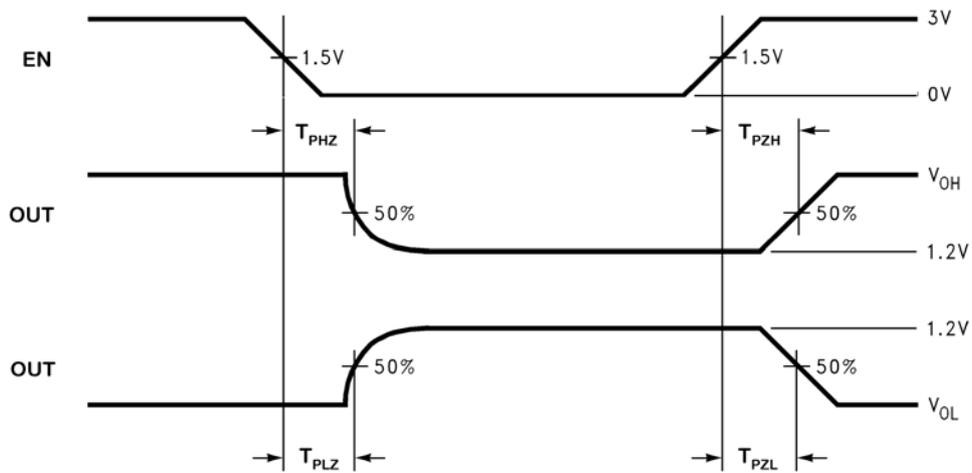


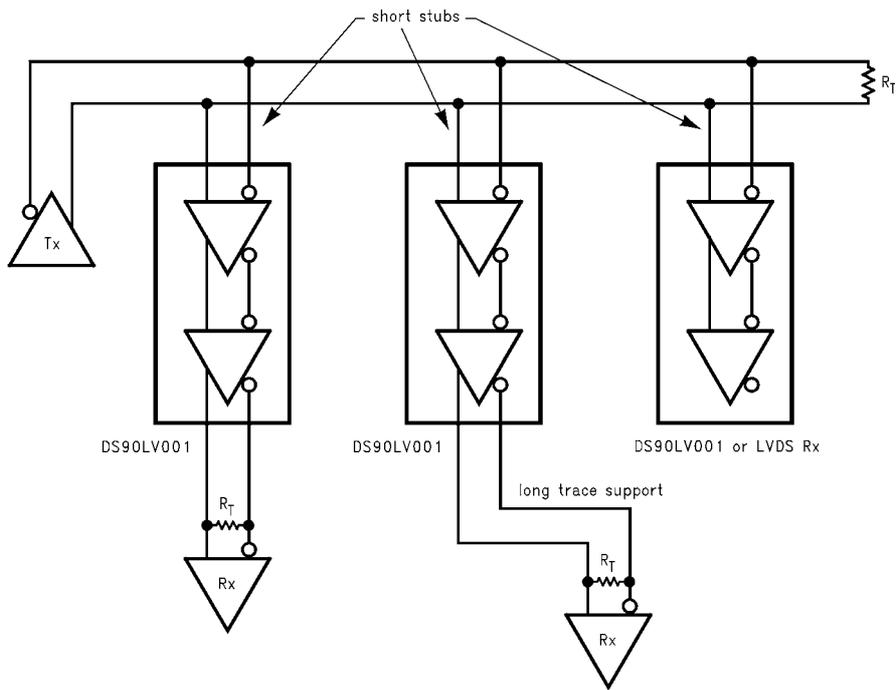
FIGURE 7. Output active to TRI-STATE and TRI-STATE to active output time

DS90LV001 ピン説明 (SOIC、LLP)

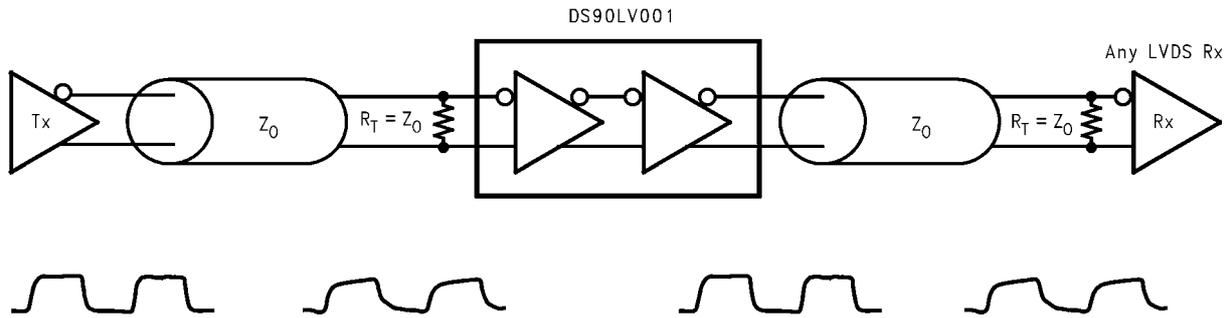
ピン名	ピン番号	入出力	説明
GND	1	P	グラウンド
IN -	2	I	反転レシーバ LVDS 入力ピン
IN +	3	I	非反転レシーバ LVDS 入力ピン
NC	4		未接続
V _{CC}	5	P	電源 3.3V ± 0.3V
OUT +	6	O	非反転ドライバ LVDS 出力ピン
OUT -	7	O	反転ドライバ LVDS 出力ピン
EN	8	I	イネーブル・ピン。EN が "LOW" のときドライバはディスエーブルとなり LVDS 出力は TRI-STATE (ハイ・インピーダンス) になります。EN が "HIGH" のときドライバはイネーブルになります。入力は LVCMOS/LVTTL レベルです。
DAP	NA	NA	ダイ・アタッチ・パッド (DAP) (LLP パッケージのみ)。DAP はデバイスの GND にもその他のピンにも接続されていません。放熱効率を高めるために、DAP を PCB のグラウンド・プレーンに接続することを推奨します。

代表的なアプリケーション

Backplane Stub-Hider Application



Cable Repeater Application



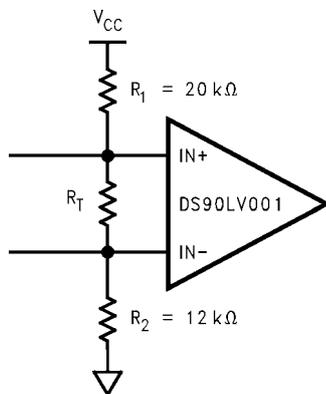
アプリケーション情報

動作モード

DS90LV001は「スタブ長を隠蔽する」デバイスとして使用できます。さまざまな大規模システムでは信号をバックプレーンを介して分配する必要がありますが、スタブ長と呼ばれるバックプレーン伝送線路から個々のカード上の無終端レシーバまでの配線長が、システムの動作速度を制限する1つの要因となっています。一般にこのようなバス・システムの性能を高めるにはスタブ長を可能な限り短くすべきとされていますが、実際の装置設計ではさまざまな課題が存在し、設計者が望むとおりにスタブ長を短くするのは容易ではありません。LLP（リードレス・リードフレーム・パッケージ）でも提供されるDS90LV001はサイズがとても小さいため、バックプレーンの伝送線路のきわめて近く、またはカード・コネクタのきわめて近くに実装でき、その結果、スタブ長が短縮されシステム性能の向上が図れます。DS90LV001で信号をいったんバッファしたあとは、本来のLVDSレシーバまでの配線を長くすることも可能です。LLPパッケージは、SOICパッケージに比べ75%の実装面積を削減します。

入力フェイルセーフ

DS90LV001のレシーバ入力は、内部にフェイルセーフ・バイアス回路を持っていません。ポイント・ツー・ポイント、またはドライブ源が単一のマルチドロップ・アプリケーションでは、フェイルセーフ・バイアスは必ずしも必要ではありません。ドライバがオフの時、リンクはインアクティブとなります。フェイルセーフ・バイアスが必要な時は、外付けの抵抗で実現できます。IN+を V_{CC} (3.3V)に20kでプルアップし、IN-を12kでグラウンドに接続します。この方法はリンクに対して若干の正の差動バイアスを与えると、リンクを"HIGH"レベルに確定させることができ、波形に対する影響もわずかです。



プリント基板のレイアウトと電源のバイパス

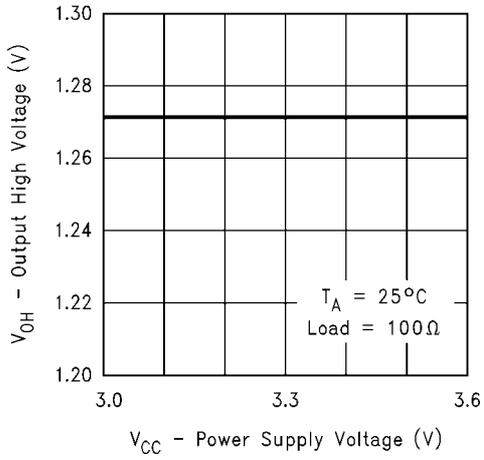
DS90LV001を搭載するプリント基板は、デバイスに対してノイズのない電源を供給するように、レイアウトと層構成を設計しなければなりません。優れたレイアウトでは、不必要にノイズを拾ったり帰還や干渉を最小にするために、高い周波数の信号および高レベルの入出力信号の分離を行います。また、4～10ミル程度の薄い誘電体材料を電源層とグラウンド層の間に挟むと、電源系の性能を大きく改善できる場合があります。つまり、この方式によりプリント基板の電源層の容量が増えるため、とくに高周波の電源ノイズに対するフィルタ特性を改善する効果があり、併せて外付けバイパス・コンデンサの容量や配置に対する条件を緩やかにします。外付けバイパス・コンデンサは、高周波セラミック・コンデンサとタンタル電解コンデンサの両方を用いてください。高周波セラミック・コンデンサの値は、0.01 μF から 0.1 μF の範囲を使用します。また、タンタル・コンデンサの値は、2.2 μF から 10 μF の範囲です。タンタル・コンデンサの電圧定格は、使用する電源電圧の5倍以上にします。DS90LV001の各電源ピンと高周波バイパス・コンデンサのハンダ・パターンには、2つのスルーホールを設けることを推奨します。スルーホールを2つにすると、電源またはグラウンドに対するインダクタンス成分が最高で1/2に低減されるため、バイパス・コンデンサの実効周波数が向上します。

プリント基板の外層（表面層）はグラウンド・パターンで満たしてください。そのような外層にすると、信号間の分離とシールド特性が改善され、電源層間の容量も増えます。効果を上げるためには当然のこととして、外層のグラウンド・パターンをグラウンド層に対して多くのスルーホールで接続する必要があります。まんべんなく設けたスルーホールにより、電流リターン・パスが短くなるため信号歪みが減少し、伝送線路の波形品質が改善されます。外層では、グラウンド・パターンは信号またはハンダ・パッドに対して、最も幅広の配線パターンの幅が信号層と電源層またはグラウンド層との層間距離の、大きい方の間隔を空けなければなりません。これにより、伝送線路のインピーダンス効果を最小限に抑え、部品のハンダ・パッド近くでの好ましくない寄生容量を低減します。

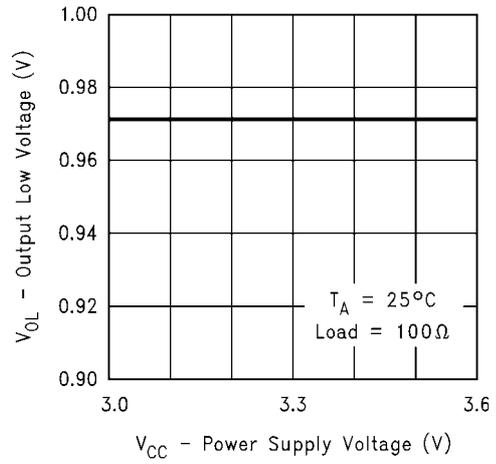
またほかにも、LVDS用のプリント基板を設計するときに従わなければならないガイドラインがあります。ガイドラインについては、弊社のアプリケーション・ノート AN-1108を参照してください。また、アプリケーション・ノート AN-1187には、LLPパッケージに関する推奨事項が記載されています。

代表的な性能特性

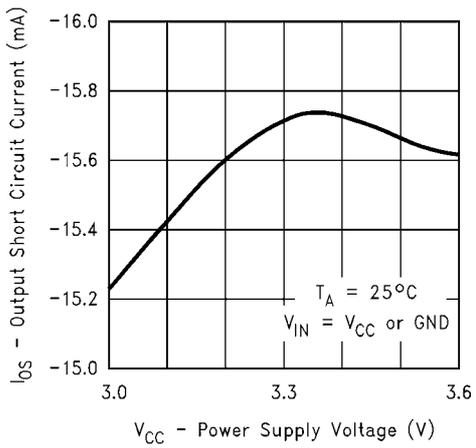
Output High Voltage vs Power Supply Voltage



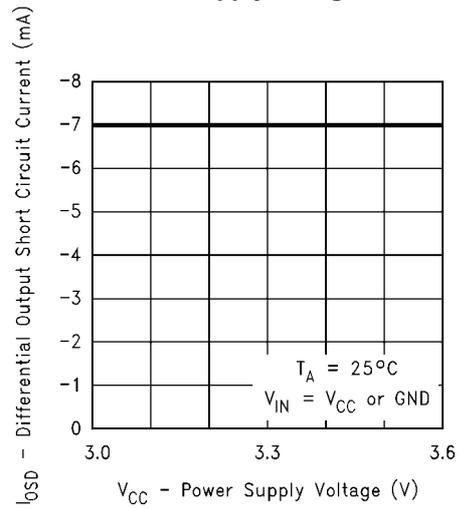
Output Low Voltage vs Power Supply Voltage



Output Short Circuit Current vs Power Supply Voltage

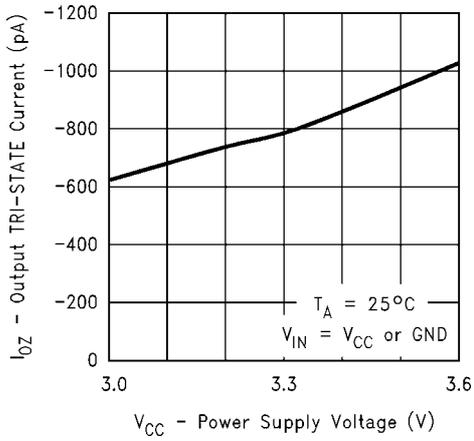


Differential Output Short Circuit Current vs Power Supply Voltage

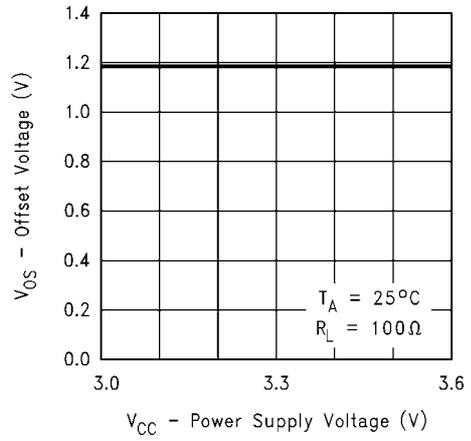


代表的な性能特性 (つづき)

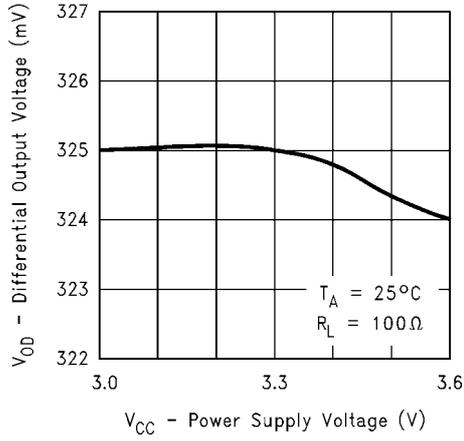
Output TRI-STATE Current vs Power Supply Voltage



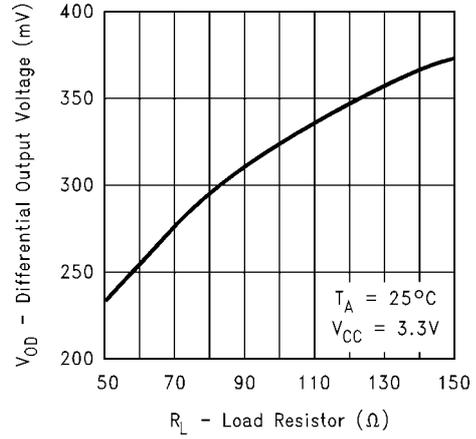
Offset Voltage vs Power Supply Voltage



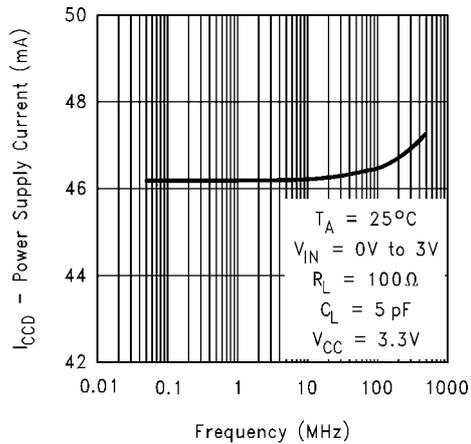
Differential Output Voltage vs Power Supply Voltage



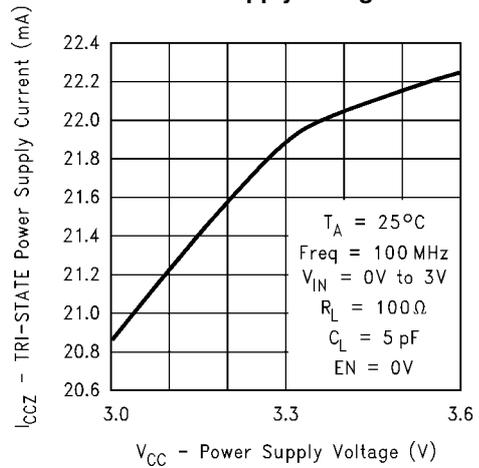
Differential Output Voltage vs Load Resistor



Power Supply Current vs Frequency

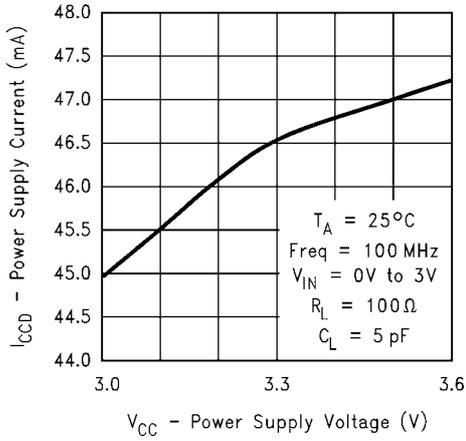


TRI-STATE Power Supply Current vs Power Supply Voltage

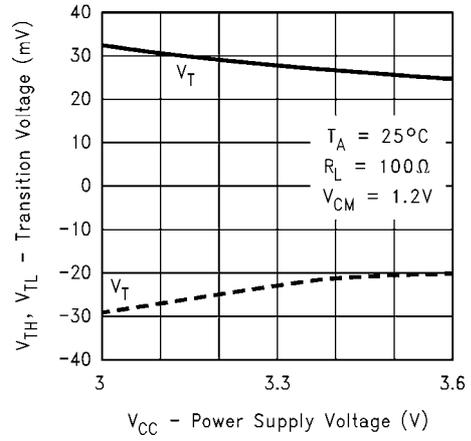


代表的な性能特性 (つづき)

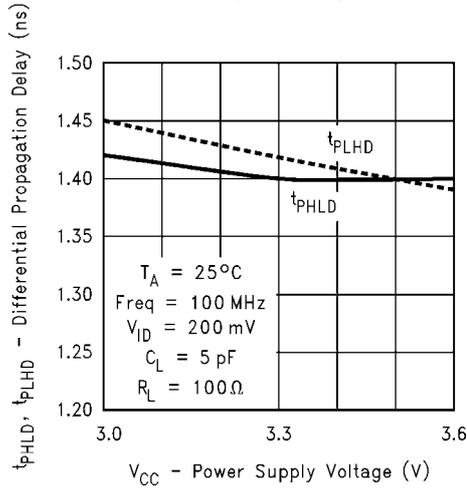
Power Supply Current vs Power Supply Voltage



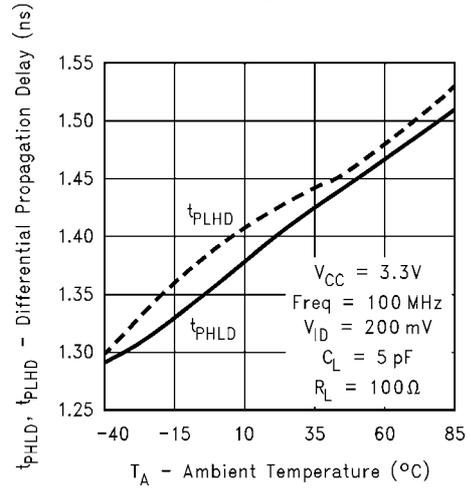
Differential Transition Voltage vs Power Supply Voltage



Differential Propagation Delay vs Power Supply Voltage

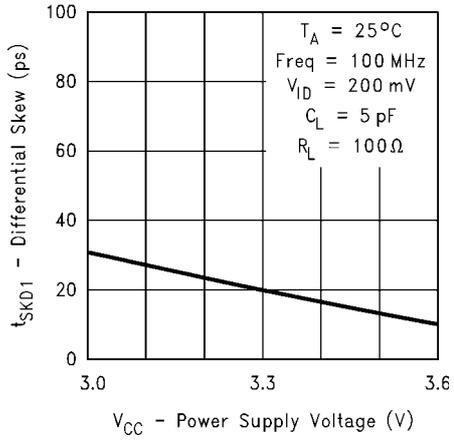


Differential Propagation Delay vs Ambient Temperature

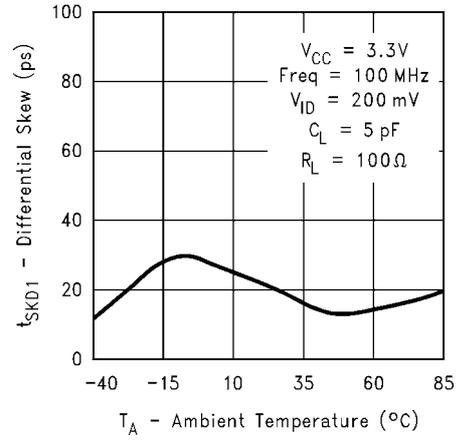


代表的な性能特性 (つづき)

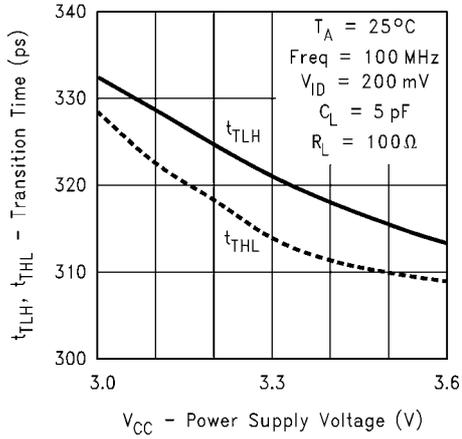
Differential Skew vs Power Supply Voltage



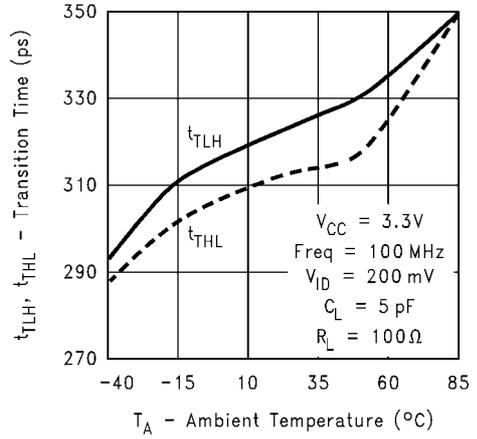
Differential Skew vs Ambient Temperature



Transition Time vs Power Supply Voltage

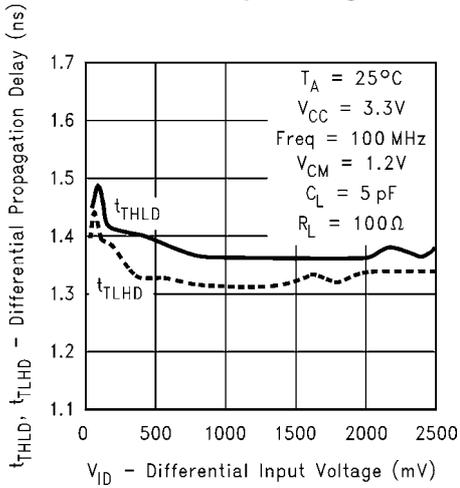


Transition Time vs Ambient Temperature

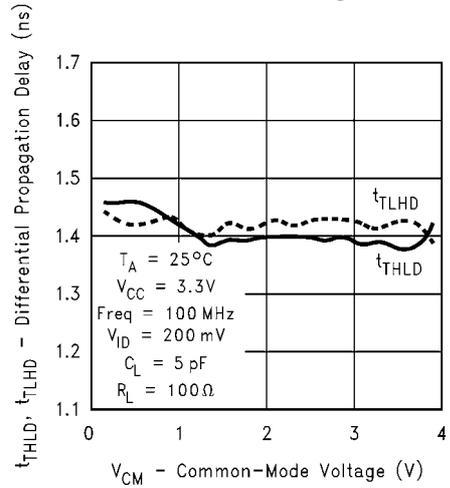


代表的な性能特性 (つづき)

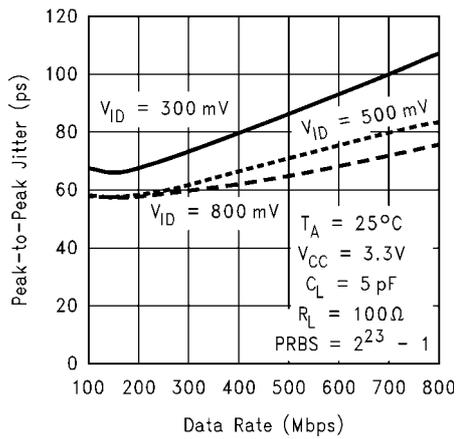
Differential Propagation Delay vs Differential Input Voltage



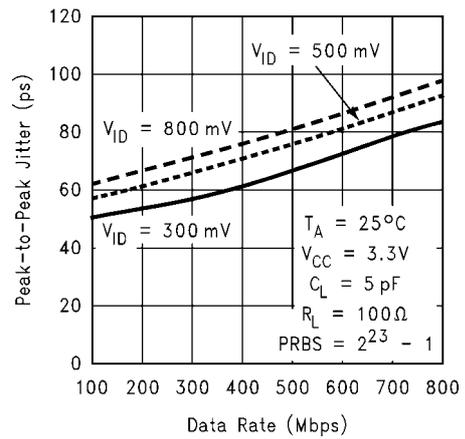
Differential Propagation Delay vs Common-Mode Voltage



Peak-to-Peak Output Jitter at $V_{CM} = 0.4V$ vs Differential Input Voltage

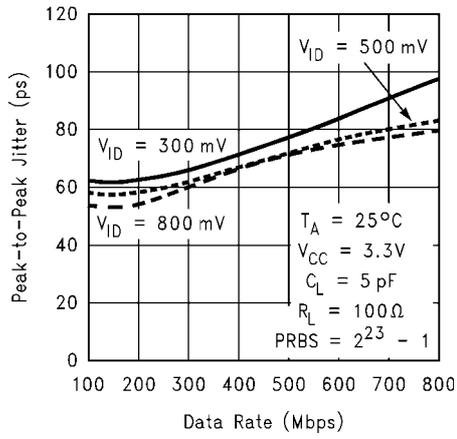


Peak-to-Peak Output Jitter at $V_{CM} = 2.9V$ vs Differential Input Voltage

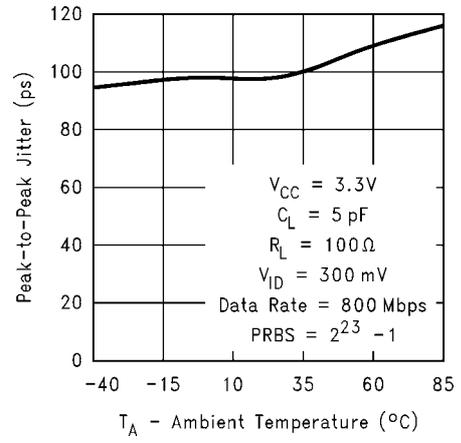


代表的な性能特性 (つづき)

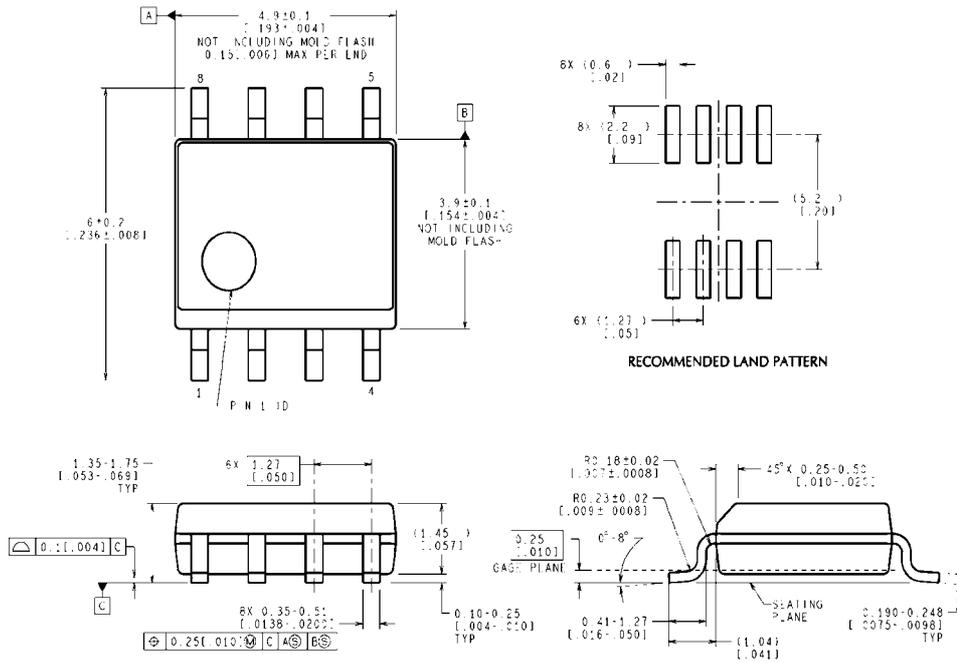
Peak-to-Peak Output Jitter at $V_{CM} = 1.2V$ vs Differential Input Voltage



Peak-to-Peak Output Jitter at $V_{CM} = 1.2V$ vs Ambient Temperature



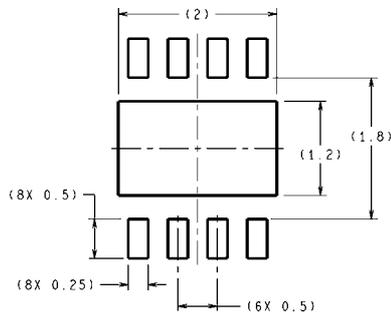
外形寸法図 単位は millimeters



CONTROLLING DIMENSION IS MILLIMETER
VALUES IN [] ARE INCHES
DIMENSIONS IN () FOR REFERENCE ONLY

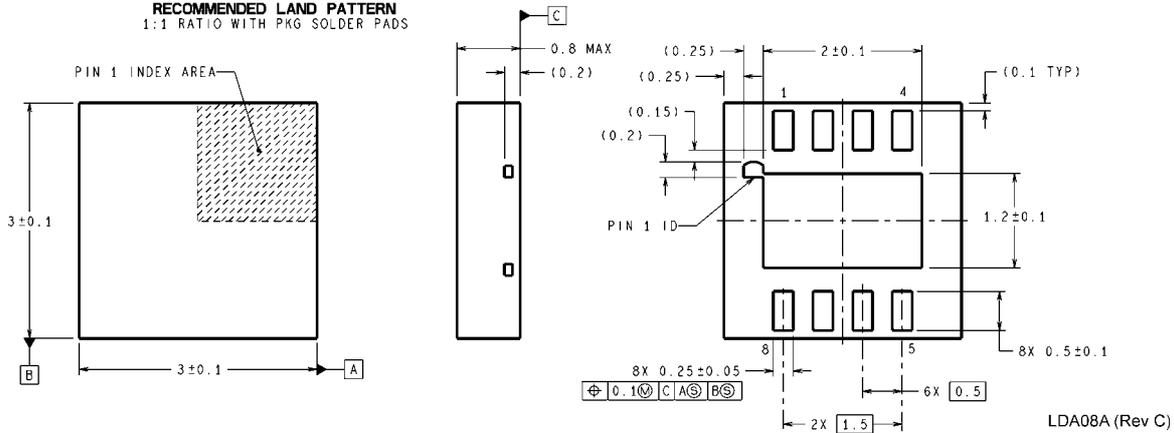
M08A (Rev L)

Order Number DS90LV001TM
See NS Package Number M08A



DIMENSIONS ARE IN MILLIMETERS

RECOMMENDED LAND PATTERN
1:1 RATIO WITH PKG SOLDER PADS



LDA08A (Rev C)

Order Number DS90LV001TLD
See NS Package Number LDA08A

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2009 National Semiconductor Corporation
製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated (TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2012, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上