

# DS90LV049

*DS90LV049 3V LVDS Dual Line Driver with Dual Line Receiver*



Literature Number: JAJSA12

ご注意：この日本語データシートは参考資料として提供しており、内容が最新でない場合があります。製品のご検討およびご採用に際しては、必ず最新の英文データシートをご確認ください。



2003年3月

## DS90LV049

### 3V LVDS デュアル・ライン・ドライバおよびデュアル・ライン・レシーバ

#### 概要

DS90LV049 は、フロースルー型ピン配列を採用したデュアル回路のライン・ドライバ=レシーバ・ペアで、超低消費電力、優れたノイズ耐性、高いデータ・スループットを必要とするアプリケーション向けに開発されています。Low Voltage Differential Signaling (LVDS) の技術を使用しており、400Mbps 以上のデータ・レートをサポートします。

DS90LV049 のドライバは、LVTTTL/LVCMOS 信号レベルの入力に対応し、これら信号を LVDS 信号出力に変換します。一方、レシーバは LVDS 信号の入力に対応し、これを 3V CMOS 信号に変換します。LVDS 入力バッファはフェイルセーフ・バイパス回路を内蔵しているため、レシーバ入力が開放の場合でも出力を既知の "H" ステートに固定します。さらに DS90LV049 は、TRI-STATE 機能をサポートしており、デバイスを使用しない場合に低電力のアイドル・ステートに移行させることが可能です。

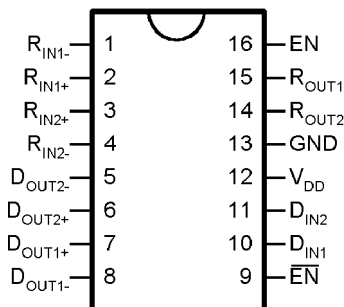
ENABLE と  $\overline{\text{EN}}$  入力は互いに AND 接続されており TRI-STATE 出力を制御でき、4 回路同時に制御が可能です。

#### 特長

- 400Mbps の転送レート
- プリント基板のレイアウト設計を容易にするフロースルー型ピン配列
- ドライバのチャンネル間スキュー 50ps (typ)
- レシーバのチャンネル間スキュー 50ps (typ)
- 3.3V 単一電源動作
- TRI-STATE 出力制御
- レシーバ入力に対する内部フェイルセーフ・バイパス
- 低消費電力設計 70mW、3.3V 時
- 電源オフ時、LVDS 出力ハイ・インピーダンス
- TIA/EIA-644-A LVDS 規格に適合
- 動作温度範囲 (-40 ~ +85 )
- 薄型 16 ピン TSSOP パッケージ

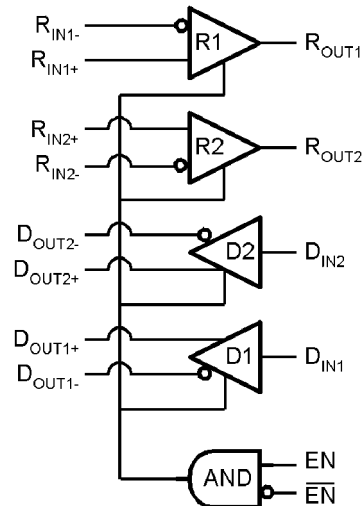
#### ピン配置図

Dual-In-Line



Order Number DS90LV049TMT  
 Order Number DS90LV049TMTX (Tape and Reel)  
 See NS Package Number MTC16

#### 機能図



#### 真理値表

EN	$\overline{\text{EN}}$	LVDS Out	LVC MOS Out
L or Open	L or Open	OFF	OFF
H	L or Open	ON	ON
L or Open	H	OFF	OFF
H	H	OFF	OFF

DS90LV049 3V LVDS デュアル・ライン・ドライバおよびデュアル・ライン・レシーバ

**絶対最大定格 (Note 1)**

本データシートには軍用・航空宇宙用の規格は記載されていません。関連する電気的信頼性試験方法の規格を参照ください。

電源電圧 (V <sub>DD</sub> )	- 0.3V ~ + 4V
LVC MOS 入力電圧 (D <sub>IN</sub> )	- 0.3V ~ (V <sub>DD</sub> + 0.3V)
LVDS 入力電圧 (R <sub>IN+</sub> , R <sub>IN-</sub> )	- 0.3V ~ + 3.9V
イネーブル入力電圧 (EN, $\overline{\text{EN}}$ )	- 0.3V ~ (V <sub>DD</sub> + 0.3V)
LVC MOS 出力電圧 (R <sub>OUT</sub> )	- 0.3V ~ (V <sub>DD</sub> + 0.3V)
LVDS 出力電圧 (D <sub>OUT+</sub> , D <sub>OUT-</sub> )	- 0.3V ~ + 3.9V
LVC MOS 出力短絡電流 (R <sub>OUT</sub> )	100mA
LVDS 出力短絡電流 (D <sub>OUT+</sub> , D <sub>OUT-</sub> )	24mA
LVDS 出力短絡電流時間 (D <sub>OUT+</sub> , D <sub>OUT-</sub> )	連続
保存温度範囲	- 65 ~ + 150

許容リード温度	
ハンダ付け (4 秒)	+ 260
最大接合部温度	+ 150
最大パッケージ消費電力 ( + 25 )	
MTC パッケージ	866mW
25 以上の周囲温度で使用される場合は、MTC パッケージについては 6.9mW/ を減じてください。	
ESD 耐圧	
(人体モデル、1.5k、100pF)	7kV
(MM、0、200pF)	250 V

**推奨動作条件**

	最小値	代表値	最大値	単位
電源電圧 (V <sub>DD</sub> )	+ 3.0	+ 3.3	+ 3.6	V
動作周囲温度 (T <sub>A</sub> )	- 40	+ 25	+ 85	

**電気的特性**

特記のない限り、推奨動作条件に記載の電源電圧及び動作周囲温度に対して適用。(Note 2、4、6)

Symbol	Parameter	Conditions	Pin	Min	Typ	Max	Units
<b>LVC MOS Input DC Specifications (Driver Inputs, ENABLE Pins)</b>							
V <sub>IH</sub>	Input High Voltage		D <sub>IN</sub> EN $\overline{\text{EN}}$	2.0		V <sub>DD</sub>	V
V <sub>IL</sub>	Input Low Voltage			GND		0.8	V
I <sub>IH</sub>	Input High Current	V <sub>IN</sub> = V <sub>DD</sub>		-10	1	+10	μA
I <sub>IL</sub>	Input Low Current	V <sub>IN</sub> = GND		-10	-0.1	+10	μA
V <sub>CL</sub>	Input Clamp Voltage	I <sub>CL</sub> = -18 mA		-1.5	-0.6		V
<b>LVDS Output DC Specifications (Driver Outputs)</b>							
V <sub>OD</sub>	Differential Output Voltage	R <sub>L</sub> = 100 Ω (Figure 1)	D <sub>OUT-</sub> D <sub>OUT+</sub>	250	350	450	mV
ΔV <sub>OD</sub>	Change in Magnitude of V <sub>OD</sub> for Complementary Output States				1	35	lmVl
V <sub>OS</sub>	Offset Voltage			1.125	1.23	1.375	V
ΔV <sub>OS</sub>	Change in Magnitude of V <sub>OS</sub> for Complementary Output States				1	25	lmVl
I <sub>OS</sub>	Output Short Circuit Current (Note 14)	ENABLED, D <sub>IN</sub> = V <sub>DD</sub> , D <sub>OUT+</sub> = 0 V or D <sub>IN</sub> = GND, D <sub>OUT-</sub> = 0 V		-5.8		-9.0	mA
I <sub>OSD</sub>	Differential Output Short Circuit Current (Note 14)	ENABLED, V <sub>OD</sub> = 0 V		-5.8		-9.0	mA
I <sub>OFF</sub>	Power-off Leakage	V <sub>OUT</sub> = 0 V or 3.6 V V <sub>DD</sub> = 0 V or Open		-20	±1	+20	μA
I <sub>OZ</sub>	Output TRI-STATE Current	EN = 0 V and $\overline{\text{EN}}$ = V <sub>DD</sub> V <sub>OUT</sub> = 0 V or V <sub>DD</sub>	-10	±1	+10	μA	
<b>LVDS Input DC Specifications (Receiver Inputs)</b>							
V <sub>TH</sub>	Differential Input High Threshold	V <sub>CM</sub> = 1.2 V, 0.05 V, 2.35 V	R <sub>IN+</sub> R <sub>IN-</sub>		-15	35	mV
V <sub>TL</sub>	Differential Input Low Threshold			-100	-15		mV
V <sub>CMR</sub>	Common-Mode Voltage Range	V <sub>ID</sub> = 100 mV, V <sub>DD</sub> =3.3 V		0.05		3	V
I <sub>IN</sub>	Input Current	V <sub>DD</sub> =3.6 V V <sub>IN</sub> = 0 V or 2.8 V	-12	±4	+12	μA	
		V <sub>DD</sub> =0 V V <sub>IN</sub> = 0 V or 2.8 V or 3.6 V	-10	±1	+10	μA	

## 電氣的特性 (つづき)

特記のない限り、推奨動作条件に記載の電源電圧及び動作周囲温度に対して適用。(Note 2、4、6)

Symbol	Parameter	Conditions	Pin	Min	Typ	Max	Units
<b>LVC MOS Output DC Specifications (Receiver Outputs)</b>							
$V_{OH}$	Output High Voltage	$I_{OH} = -0.4 \text{ mA}$ , $V_{ID} = 200 \text{ mV}$	$R_{OUT}$	2.7	3.3		V
$V_{OL}$	Output Low Voltage	$I_{OL} = 2 \text{ mA}$ , $V_{ID} = 200 \text{ mV}$		0.05	0.25		V
$I_{OZ}$	Output TRI-STATE Current	Disabled, $V_{OUT} = 0 \text{ V}$ or $V_{DD}$		-10	$\pm 1$	+10	$\mu\text{A}$
<b>General DC Specifications</b>							
$I_{DD}$	Power Supply Current (Note 3)	$EN = 3.3 \text{ V}$	$V_{DD}$		21	35	mA
$I_{DDZ}$	TRI-State Supply Current	$EN = 0 \text{ V}$			15	25	mA

## スイッチング特性

$V_{DD} = +3.3\text{V} \pm 10\%$ ,  $T_A = -40 \sim +85$  (Note 4、13)

Symbol	Parameter	Conditions	Min	Typ	Max	Units	
<b>LVDS Outputs (Driver Outputs)</b>							
$t_{PHLD}$	Differential Propagation Delay High to Low	$R_L = 100 \Omega$ (Figure 2 and Figure 3)		0.7	2	ns	
$t_{PLHD}$	Differential Propagation Delay Low to High			0.7	2	ns	
$t_{SKD1}$	Differential Pulse Skew $ t_{PHLD} - t_{PLHD} $ (Notes 5, 7)			0	0.05	0.4	ns
$t_{SKD2}$	Differential Channel-to-Channel Skew (Notes 5, 8)			0	0.05	0.5	ns
$t_{SKD3}$	Differential Part-to-Part Skew (Notes 5, 9)			0		1.0	ns
$t_{TLH}$	Rise Time (Note 5)			0.2	0.4	1	ns
$t_{THL}$	Fall Time (Note 5)			0.2	0.4	1	ns
$t_{PHZ}$	Disable Time High to Z		$R_L = 100 \Omega$ (Figure 4 and Figure 5)		1.5	3	ns
$t_{PLZ}$	Disable Time Low to Z				1.5	3	ns
$t_{PZH}$	Enable Time Z to High				1	3	6
$t_{PZL}$	Enable Time Z to Low			1	3	6	ns
$f_{MAX}$	Maximum Operating Frequency (Note 16)		200	250		MHz	
<b>LVC MOS Outputs (Receiver Outputs)</b>							
$t_{PHL}$	Propagation Delay High to Low	$(\text{Figure 6 and Figure 7})$	0.5	2	3.5	ns	
$t_{PLH}$	Propagation Delay Low to High		0.5	2	3.5	ns	
$t_{SK1}$	Pulse Skew $ t_{PHL} - t_{PLH} $ (Note 10)		0	0.05	0.4	ns	
$t_{SK2}$	Channel-to-Channel Skew (Note 11)		0	0.05	0.5	ns	
$t_{SK3}$	Part-to-Part Skew (Note 12)		0		1.0	ns	
$t_{TLH}$	Rise Time (Note 5)		0.3	0.9	1.4	ns	
$t_{THL}$	Fall Time (Note 5)		0.3	0.75	1.4	ns	
$t_{PHZ}$	Disable Time High to Z		$(\text{Figure 8 and Figure 9})$	3	5.6	8	ns
$t_{PLZ}$	Disable Time Low to Z			3	5.4	8	ns
$t_{PZH}$	Enable Time Z to High			2.5	4.6	7	ns
$t_{PZL}$	Enable Time Z to Low	2.5		4.6	7	ns	
$f_{MAX}$	Maximum Operating Frequency (Note 17)		200	250		MHz	

**Note 1:** 「絶対最大定格」とはこの値を超えるとデバイスの安全を保障できない値です。デバイスをこの規格値で動作する事を意味しているわけではありません。「電氣的特性」の表にデバイスの実際の動作条件が示されています。

**Note 2:** デバイスのピンに流れ込む電流はすべて正、デバイスのピンから流れ出す電流は負と示されています。 $V_{TH}$ 、 $V_{TL}$ 、 $V_{OD}$ 、 $V_{OD}$ を除き、すべての電圧はグラウンドを基準としています。

**Note 3:** ドライバ、レシーバどちらの入力もスタティックです。すべての LVDS 出力には 100  $\Omega$  負荷が接続されています。すべての LVC MOS 出力は開放です。出力には容量性負荷は接続されていません。

**Note 4:** すべての代表値は、 $V_{DD} = +3.3\text{V}$ 、 $T_A = +25$  の値です。

**Note 5:** パラメータは設計によって保証されています。リミット値は、素子性能のばらつき範囲(プロセス、電圧、温度)を含めた統計的な解析に基づいています。

**Note 6:** DS90LV049 ドライバは電流モード・デバイスのため、出力に抵抗性負荷を接続しない限りデータシート記載の仕様範囲では機能しません。負荷抵抗の代表値は 90  $\sim$  110  $\Omega$  の範囲です。

**Note 7:** 差動パルス・スキュー  $t_{SKD1}$  は  $|t_{PHLD} - t_{PLHD}|$  として定義されています。同一ドライバ・チャネルでの立ち上りエッジと立ち下りエッジの差動伝搬遅延時間の差です。

### スイッチング特性 (つづき)

- Note 8:** 差動チャンネル間スキュー  $t_{SKD2}$  は、同一デバイスにある 2 個のドライバ間の差動伝搬遅延時間の差です。
- Note 9:** デバイス間差動スキュー  $t_{SKD3}$  は  $|t_{PLHD Max} - t_{PLHD Min}|$  または  $|t_{PHLD Max} - t_{PHLD Min}|$  として定義されています。規定されている差動伝搬遅延時間の最小値と最大値の差です。本仕様は、双方のデバイスに同じ電源電圧 ( $V_{DD}$ ) が供給されていて、動作温度範囲内で温度差が 5 以内の場合に適用されます。
- Note 10:** パルス・スキュー  $t_{SK1}$  は  $|t_{PHL} - t_{PLH}|$  として定義されています。同一レシーバ・チャンネルでの立ち上りエッジと立ち下りエッジの差動伝搬遅延時間の差です。
- Note 11:** チャンネル間スキュー  $t_{SK2}$  は、同一デバイスにある 2 個のレシーバ間の、差動伝搬遅延時間の差です。
- Note 12:** デバイス間スキュー  $t_{SKD3}$  は  $|t_{PLH Max} - t_{PLH Min}|$  または  $|t_{PHL Max} - t_{PHL Min}|$  で、規定されている差動伝搬遅延時間の最小値と最大値の差として定義されています。本仕様は、双方のデバイスに同じ電源電圧 ( $V_{DD}$ ) が供給されていて、動作温度範囲内で温度差が 5 以内の場合に適用されます。
- Note 13:** 特記のない限り、パルス・ゼネレータの波形は、 $f = 1\text{MHz}$ 、 $Z_0 = 50$ 、 $t_r = 1\text{ns}$ 、 $t_f = 1\text{ns}$ 。
- Note 14:** 出力短絡電流 ( $I_{OS}$ ) は大きさを表し、マイナス符号は電流の流れる方向を表しています。
- Note 15:** すべての入力電圧は特記のない限り 1 チャンネルのみで、その他の入力端子はグラウンドに接地します。
- Note 16:**  $f_{MAX}$  ゼネレータ入力条件:  $t_r = t_f < 1\text{ns}$  (0% ~ 100%)、デューティ・サイクル 50%、0V ~ 3V。出力基準: デューティ・サイクル = 45%/55%、 $V_{OD} > 250\text{mV}$ 、全チャンネルがスイッチング。
- Note 17:** 伝送周波数  $f_{MAX}$  の測定条件はすべてのチャンネルを動作させます。入力の測定条件は  $t_r = t_f < 1\text{ns}$ 、(0% ~ 100%)、50%デューティ・サイクル、 $V_{ID} = 200\text{mV}$ 、 $V_{CM} = 1.2\text{V}$ 。出力の測定条件はデューティ・サイクル = 45%/55%、 $V_{OH} > 2.7\text{V}$ 、 $V_{OL} < 0.25\text{V}$ 。

### Parameter Measurement Information

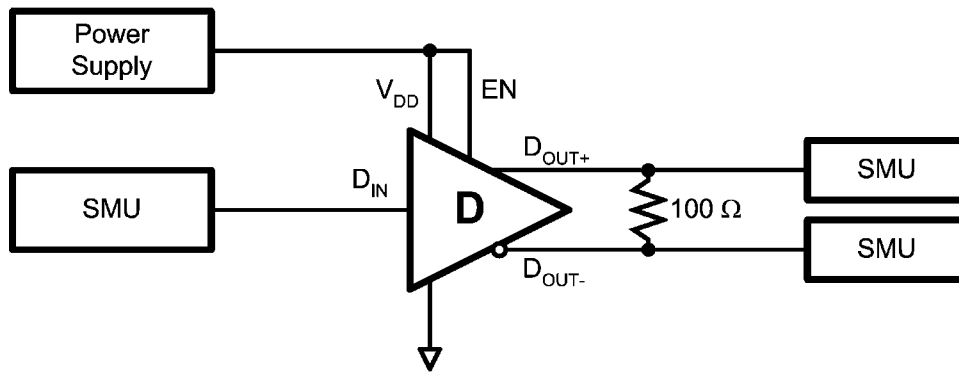


FIGURE 1. Driver  $V_{OD}$  and  $V_{OS}$  Test Circuit

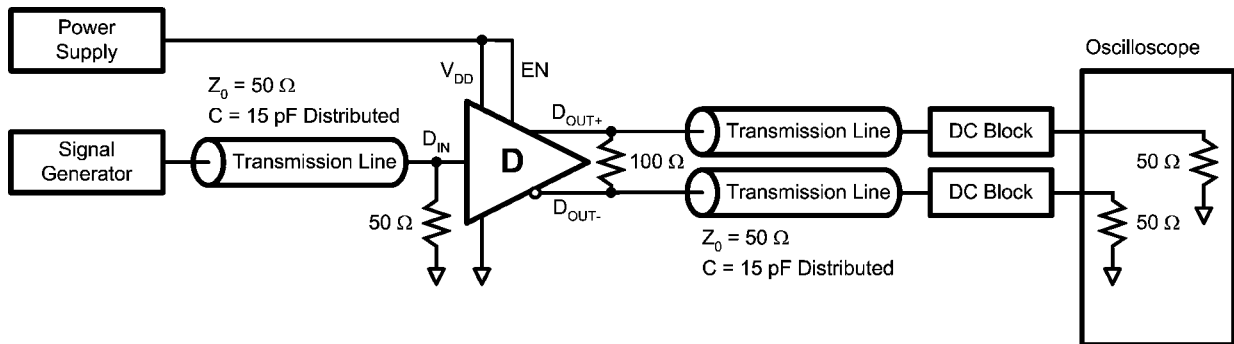


FIGURE 2. Driver Propagation Delay and Transition Time Test Circuit

Parameter Measurement Information (つづき)

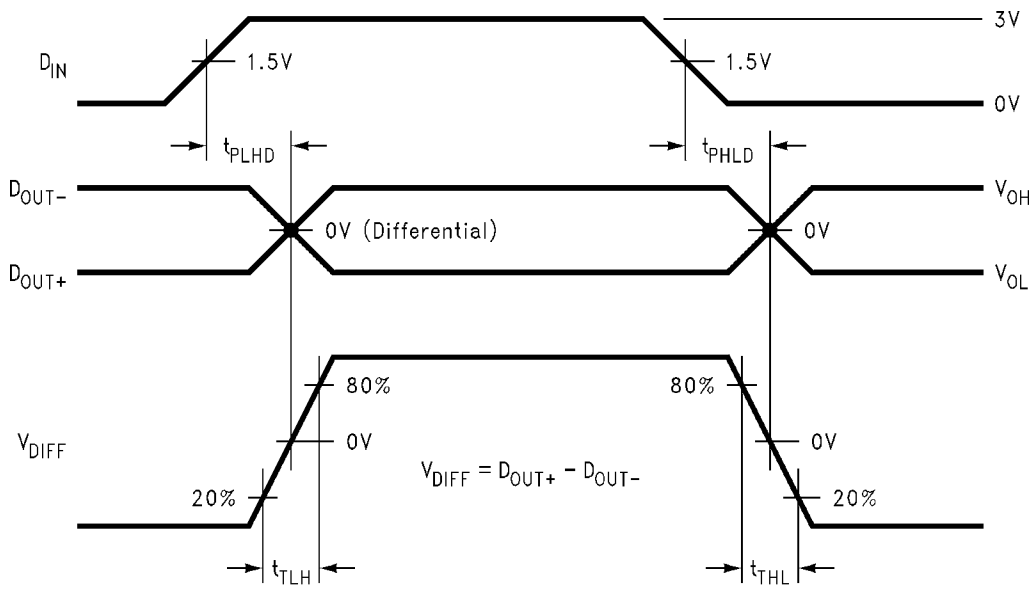


FIGURE 3. Driver Propagation Delay and Transition Time Waveforms

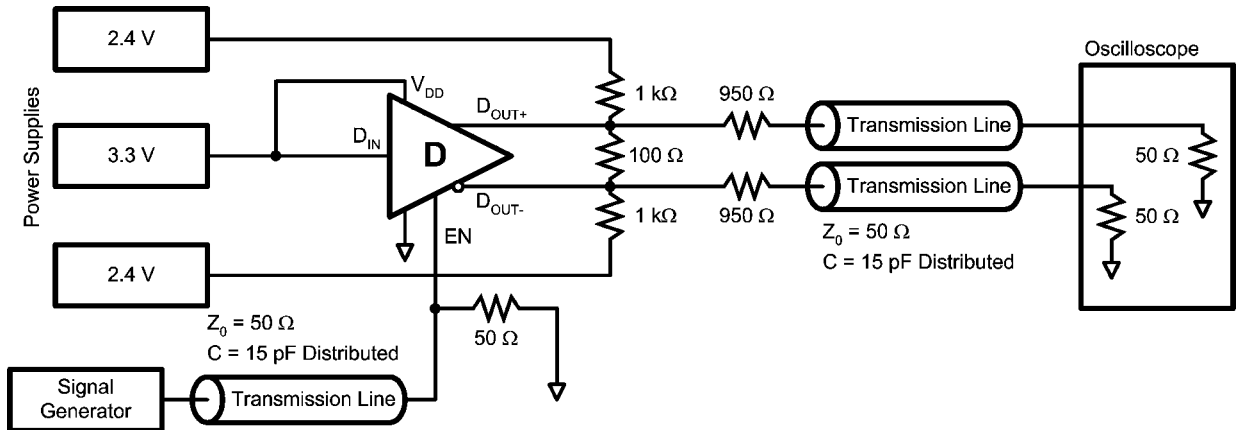


FIGURE 4. Driver TRI-STATE Delay Test Circuit

Parameter Measurement Information (つづき)

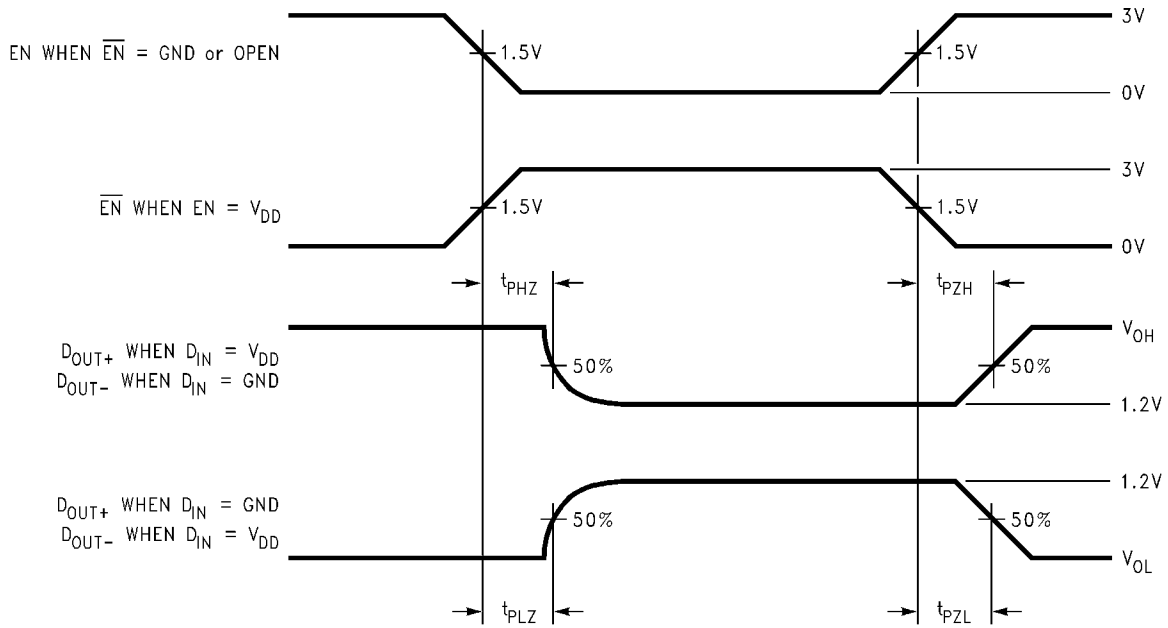


FIGURE 5. Driver TRI-STATE Delay Waveform

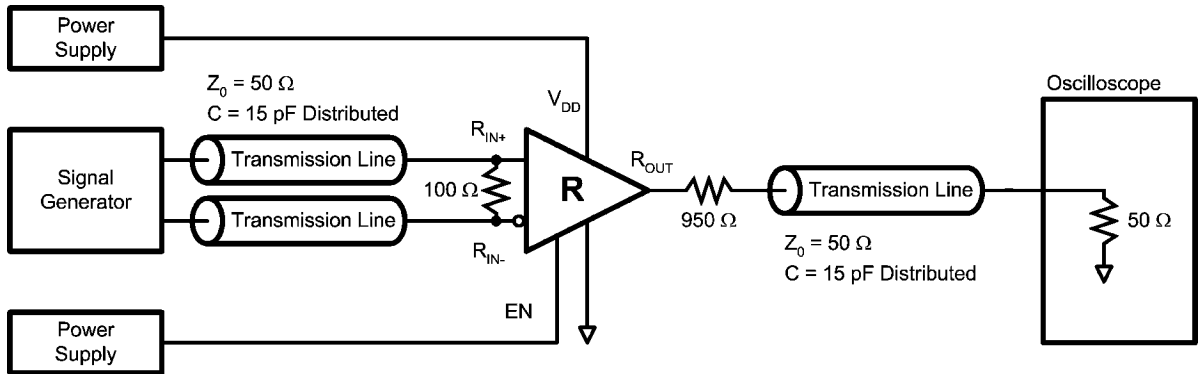


FIGURE 6. Receiver Propagation Delay and Transition Time Test Circuit

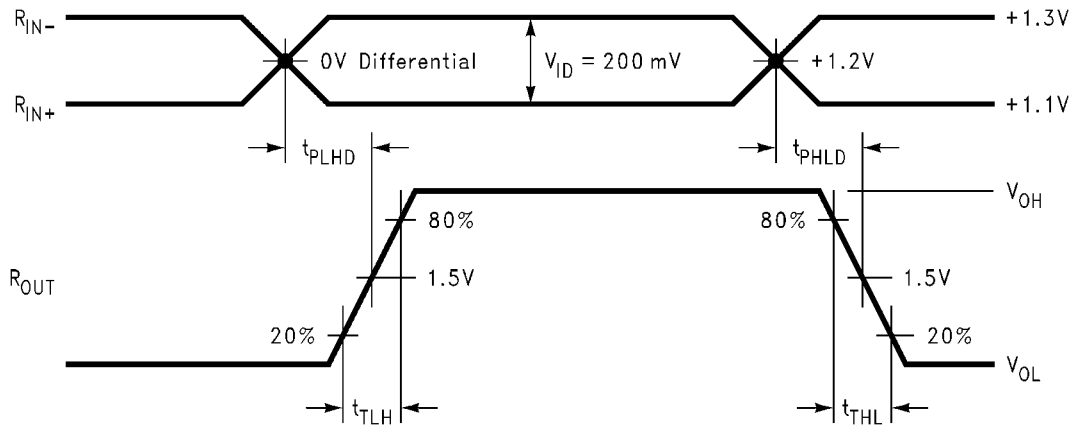


FIGURE 7. Receiver Propagation Delay and Transition Time Waveforms

Parameter Measurement Information (つづき)

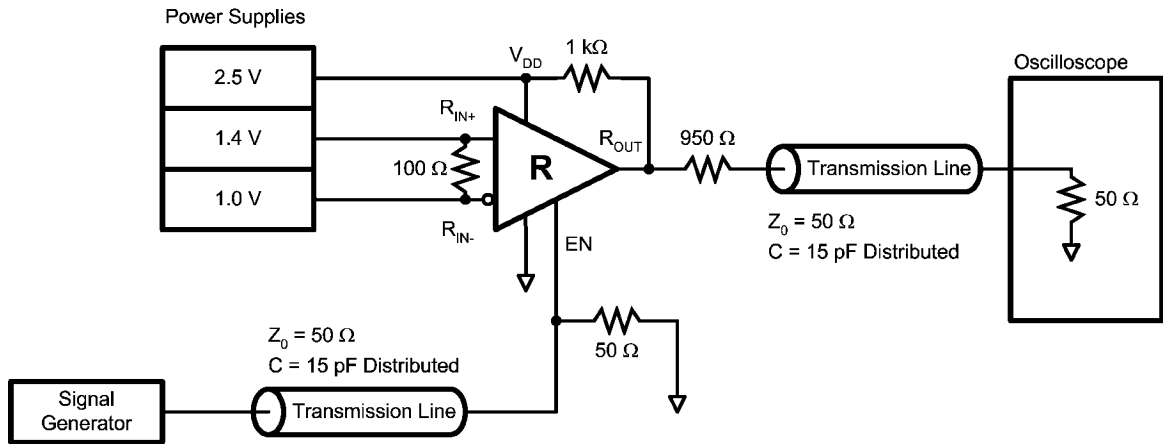


FIGURE 8. Receiver TRI-STATE Delay Test Circuit

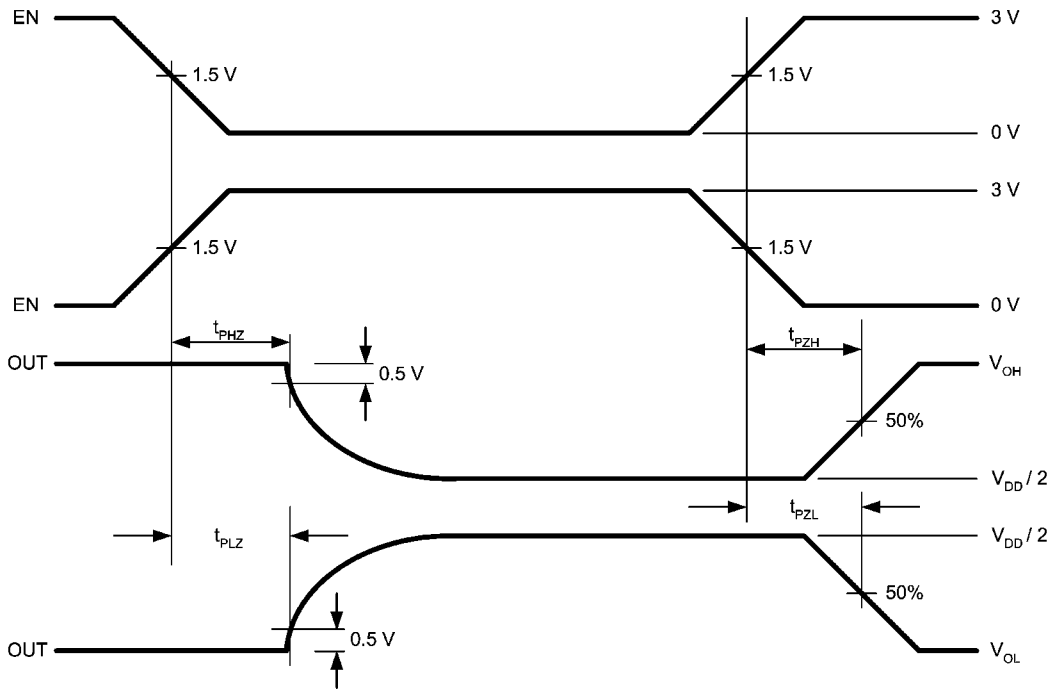


FIGURE 9. Receiver TRI-STATE Delay Waveforms

代表的なアプリケーション

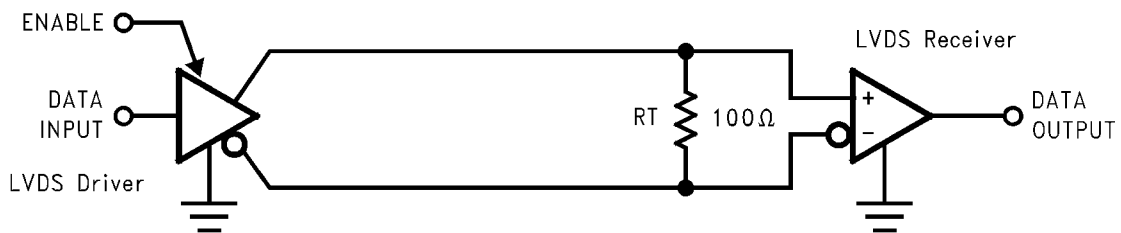


FIGURE 10. Point-to-Point Application



## アプリケーション情報

LVDS ドライバおよびレシーバの一般的なアプリケーションのガイドラインとヒントについては、アプリケーション・ノートの LVDS オーナーズ・マニュアル (#550062-002)、AN-805、AN-808、AN-903、AN-916、AN-971、AN-977 を参照してください。

LVDS のドライバおよびレシーバは、Figure 10 に示すように 1 対 1 (一組のドライバおよびレシーバ) の構成に使用する目的で作られています。ドライバの出力波形は速いエッジ・レートを持ち、かつクリーンな波形を出力します。レシーバは標準的なツイストペア・ケーブル、平行ケーブルおよび PCB パターン等の平衡伝送経路を經由してドライバに接続されます。標準的なメディアの差動インピーダンスは 100 Ω 近辺の範囲にあり、一般的に終端抵抗はメディアの特性インピーダンスに合わせます。100 Ω の終端抵抗 (メディアに整合するように選択) を、レシーバ入力ピンの可能な限り近くに配置します。終端抵抗は、ドライバ出力 (電流モード) をレシーバが感受できる電圧に変換します。マルチ・レシーバのような構成も可能ですが、グラウンド・シフト、ノイズ・マージン、総終端負荷と合わせて、バス上のコネクタ、ケーブルのスタブ長、インピーダンス不整合の原因となるさまざまな影響を考慮する必要があります。

TRI-STATE 機能によってデバイス出力をディスエーブルでき、データ送信を行わない場合にさらに低消費電力ステートが得られます。

DS90LV049 はフロースルー・ピン配置となっており、プリント基板のレイアウトが容易になります。デバイスの一方に LVDS 信号を配置すると、ドライバとレシーバ間の差動ペア・トレースの電気的な長さを合わせられ、さらにトレースを互いに近づけられるので、ノイズをコモンモードで処理できます。ノイズは、LVDS 信号をデバイス的一方に、TTL 信号を他方に接続すると分離できます。

### 電源デカップリングの推奨

電源ピンにはバイパス・コンデンサを接続しなくてはなりません。0.1 μF と 0.001 μF の高周波セラミック・コンデンサ (表面実装品を推奨) を並列に、かつ、小容量のコンデンサのほうを電源ピンの近くに配置してください。プリント基板全体にバイパス・コンデンサを追加実装すると、デカップリング性能を向上できます。複数のビアを使用してデカップリング・コンデンサと電源層を接続してください。プリント基板に対するシステム電源の供給部には、電源とグラウンド間に、10 μF (35V) 以上の固形タンタル・コンデンサを接続してください。

### プリント基板の考慮事項

4 層基板以上を推奨します。振り分けは、上面より LVDS 信号、グラウンド、電源、TTL 信号の順序です。

LVDS 信号に TTL 信号がカップリングしないように、LVDS 配線と TTL 配線は分離してください。電源 / グラウンド・プレーンによって分離された異なる層に、TTL 信号と LVDS 信号をそれぞれ分けて配線するのが最善の方法です。

LVDS ポート側のドライバとレシーバはコネクタの近くに配置してください。

### 差動ライン

使用する伝送メディアの差動インピーダンス、および終端抵抗値に整合するように、配線インピーダンスを制御してください。デバイスから出力されたあとは、差動ラインの配線はできる限り間隔を狭くします (スタブ長も 10mm 以内に抑えます)。これにより信号反射と、コモンモードとして重畳する同相ノイズが低減されます。実際、1mm のパターン間隔は 3mm のパターン間隔より輻射ノイズが軽減されるのが確認されています。また、差動ラインに励起されるノイズは、どちらかと言えばコモンモードとして現れる場合が多く、レシーバによって除去されます。

信号スキューを低減するために電気的な配線長は等しくしてください。ペア信号間にスキューが存在すると、信号間に位相差が生まれ磁界を打ち消し合う効果が減少し、結果として EMI 問題を引き起こします (電気信号の伝達の速度は、 $v = c/\epsilon_r$ 、 $c$  (光速) = 0.2997mm/ps または 0.0118in/ps)。差動配線では、CAD の自動配線のみには頼ってはいけません。差動インピーダンスが整合するよう配線長に充分配慮し、かつ、差動信号を他の配線から分離してください。スルーホールやその他ライン上の不連続線は最小にしてください。

90° の直角配線は避けてください (インピーダンス不整合を招きます)。円弧または 45° で配線してください。

レシーバでのコモンモード除去性能を維持するため、差動ペア間の配線間隔はできるだけ短くしてください。プリント・パターン上の対になったパターン間の間隔はインピーダンスの変化を最小に抑えるため一定に保ちます。接続部では、多少のインピーダンス不整合は許容されます。

### 終端抵抗

終端抵抗は使用する差動ラインの特性インピーダンスにあわせ、通常、終端抵抗値は 90 ~ 130 Ω の範囲内に設定します。電流モード出力は、電圧を生成するために終端抵抗が必要なことに注意してください。抵抗終端を行わないと LVDS は正しく動作しません。一般に、レシーバ端で差動ペア間に単一の抵抗を接続すれば充分です。

誤差 1 ~ 2% の表面実装抵抗が最適です。プリント基板のスタブ長、デバイスのリード長、終端抵抗からレシーバまでの配線長を最短にしてください。終端抵抗とレシーバ・ピンまでの距離は、10mm 未満としてください (最長でも 12mm)。

### LVDS 伝送線路のプロローピング

LVDS 信号ラインの測定には信号ラインへの影響を極力少なくするため、高入力インピーダンス (100k Ω 以上)、低入力容量 (2pF 以下) の測定プローブ (FET プローブなど) を使用し、オシロスコープの帯域は 1GHz 以上のものを使用します。適切なプローブを使用しないと、結果に悪影響を与えます。

### ケーブルとコネクタに関する一般的な注意事項

LVDS で使用するケーブルやコネクタの選択は重要です。

使用するメディアは調整されたインピーダンスのものを使用します。ケーブルやコネクタは約 100 Ω の伝送特性インピーダンスのものを推奨します。大幅なインピーダンス不整合を招いてはいけません。

平衡ケーブル (ツイストペア) は不平衡ケーブル (リボン・ケーブル、単線の同軸ケーブル) に比べて、ノイズの低減や信号品質が優れています。平衡ケーブルは EMI (電磁輻射ノイズ) の発生が少ない傾向にあり、またコモンモードの電磁的放射ノイズはレシーバによって除去できます。

## アプリケーション情報 (つづき)

## フェイルセーフ動作

LVDS レシーバは小さい差動入力電圧 (20mV) を CMOS ロジックに変換する高ゲイン、ハイ・スピードのアンプです。このように高ゲイン、低い差動入力のため有効信号からノイズなどの発生については注意を払います。

レシーバ内蔵のフェイルセーフ回路は、レシーバ入力が開放の場合に、微小な電流をソース / シンクしてフェイルセーフ保護を行います ("High" 出力電圧が得られる既知のステートにします)。

アプリケーションが DS90LV049 が持つ 2 つのレシーバのうち 1 つしか必要としない場合、使用しないもう 1 つのレシーバ入力は開放のままにします。電源やグラウンドに接続しないでください。内部のプルアップおよびプルダウン微小電流源によって入力はバイアスされ、出力は "H" ステートに固定されます。入力が開放でも、内部回路によって安定出力 "H" が保証されます。

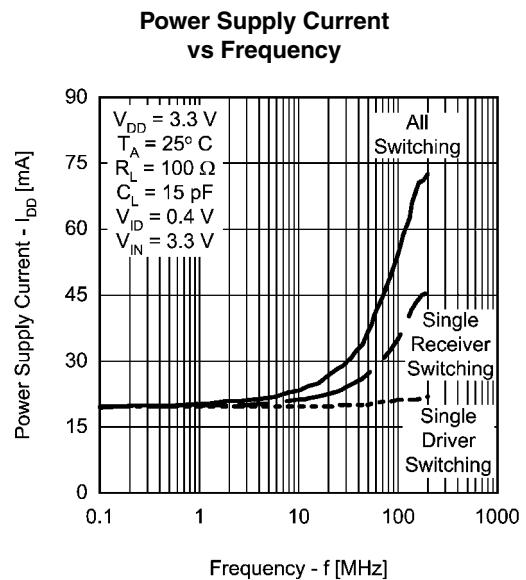
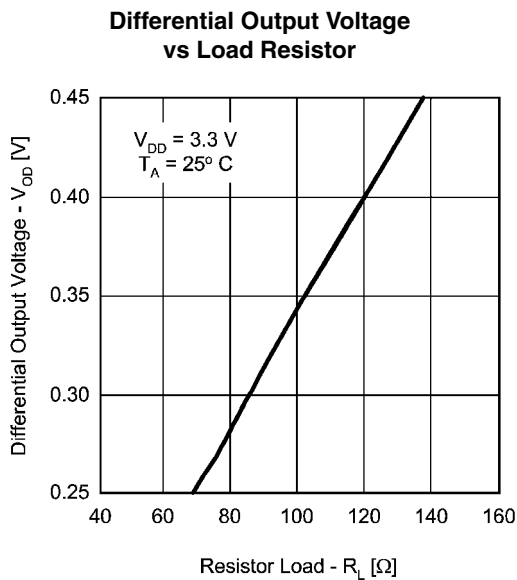
比較的低い抵抗値 (強いバイアス) の外付けプルアップ抵抗とプルダウン抵抗を使用すると、高ノイズ・レベルに対するフェイルセーフ性能を高めます。プルアップ抵抗とプルダウン抵抗は、ドライバに対する負荷の増分と波形歪みを抑えるために、5k $\Omega$  ~ 15k $\Omega$  の範囲としてください。コモンモード・バイアス点は、内部回路と互換になるように、およそ 1.2V (1.75V 未満) に設定してください。

LVDS インタフェースのフェイルセーフ・バイアスの詳細は、アプリケーション・ノート AN-1194 を参照してください。

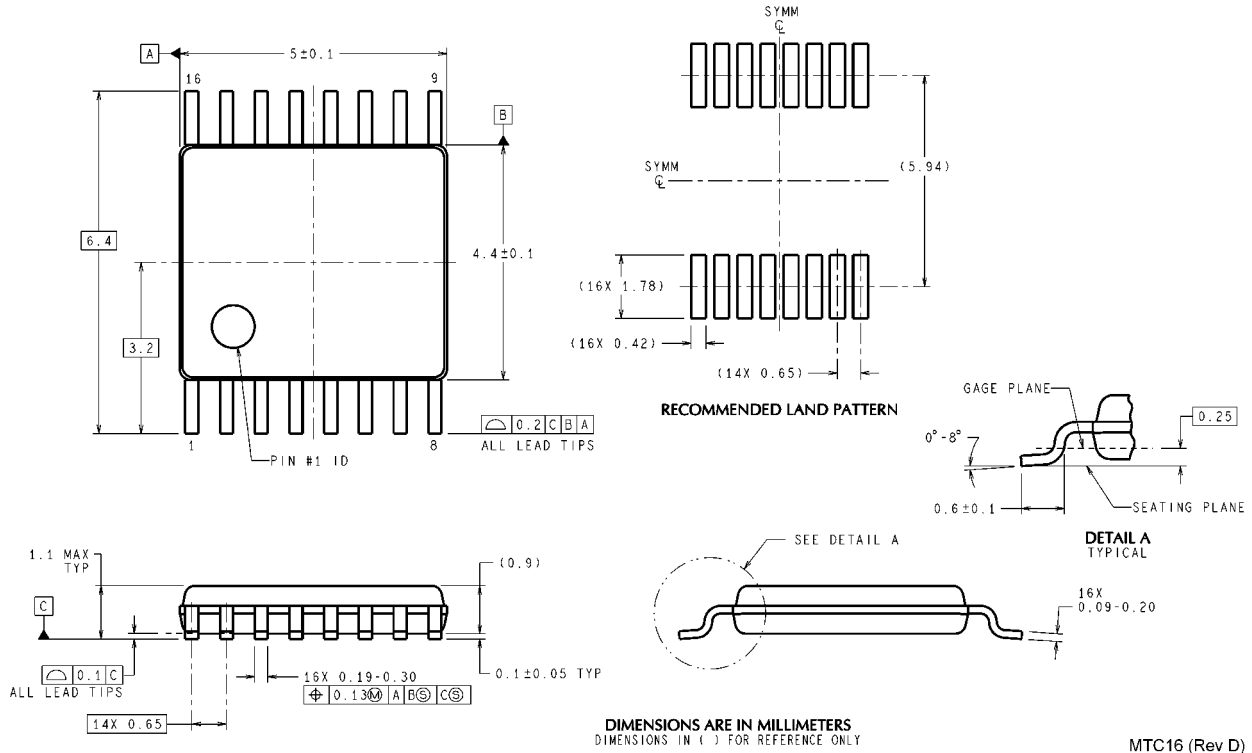
## 端子説明

端子番号	端子名	説明
10, 11	D <sub>IN</sub>	ドライバ入力ピンで LVCOMS レベルです。内部電流源によりプルダウンされています。
6, 7	D <sub>OUT +</sub>	非反転ドライバ出力ピンで LVDS レベルです。
5, 8	D <sub>OUT -</sub>	反転ドライバ出力ピンで LVDS レベルです。
2, 3	R <sub>IN +</sub>	非反転レシーバ入力ピンで LVDS レベルです。内部電流源によりプルアップされています。
1, 4	R <sub>IN -</sub>	反転レシーバ入力ピンで LVDS レベルです。内部電流源によりプルダウンされています。
14, 15	R <sub>OUT</sub>	レシーバ出力ピンで LVCOMS レベルです。
9, 16	EN, $\overline{\text{EN}}$	イネーブル・ピンおよびディスエーブル・ピンです。どちらのピンも内部電流源によりプルダウンされています。
12	V <sub>DD</sub>	電源ピン
13	GND	グラウンド・ピン

## 代表的な性能特性



外形寸法図 特記のない限り inches (millimeters)



DIMENSIONS ARE IN MILLIMETERS  
DIMENSIONS IN ( ) FOR REFERENCE ONLY

MTC16 (Rev D)

**16-Lead (0.100 Wide) Molded Thin Shrink Small Outline Package, JEDEC**  
**Order Number DS90LV049TMT**  
**Order Number DS90LV049TMTX (Tape and Reel)**  
**NS Package Number MTC16**

生命維持装置への使用について

弊社の製品はナショナル セミコンダクター社の書面による許可なくしては、生命維持用の装置またはシステム内の重要な部品として使用することはできません。

1. 生命維持用の装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。
2. 重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

その他のお問い合わせはフリーダイヤルをご利用下さい。

[www.national.com/JPN/](http://www.national.com/JPN/)

フリーダイヤル 0120-666-116

# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated (TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2012, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上