

# DS90UR124,DS90UR241

*DS90UR241Q DS90UR124Q 5-43 MHz DC-Balanced 24-Bit FPD-Link II Serializer  
and Deserializer Chipset*



Literature Number: JAJSAK8

## DS90UR241/DS90UR124

### 5-43MHz DC バランス・モード 24 ビット LVDS シリアライザおよびデシリアライザ

#### 概要

DS90UR241/124 チップセットは、24 ビットの平行・バスをクロック情報を埋め込んだ完全にトランスペアレントなデータ/制御 LVDS シリアル・データ列に変換します。1 つのシリアル・データ列では 24 ビット・平行・データ・バスで問題となるクロックとのスキューを考慮する必要はないので、プリント基板やケーブルでの伝送が容易になります。あわせてプリント基板層数やケーブル幅、コネクタ・サイズとピン数などを低減できるため、コストを抑えられます。

DS90UR241/124 は、LVDS シグナリングを高速 I/O に採用しています。LVDS が持つ低消費電力かつ低ノイズの伝送方式により、シリアル伝送において高信頼のデータ転送を可能にします。動作周波数範囲においてシリアライザの出力のエッジ・レートを最適化することにより、EMI をさらに抑えられます。

加えて、このデバイスでは、プリエンファシス機能によって損失性のケーブルを使った長距離伝送での信号ブーストが可能です。内部 DC バランス・エンコーディング / デコーディングの採用により、AC 結合したインターコネクをサポートしています。ナショナル セミコンダクター独自のランダム・ロック機能により、ランダム化されたシリアライザの平行・データはデシリアライザ側でリファレンス・クロックなしで再生されます。REFCLK は不要です。

#### 特長

5MHz から 43MHz の埋め込みクロックと DC バランス・モードでの 24:1 および 1:24 のデータ伝送

LVDS 出力上の外付け抵抗を介し、最長 10m のシールド・ツイストペア・ケーブルを駆動できるユーザー定義のプリエンファシス・ドライブ機能

トランスミッタとレシーバの両方でユーザーが選択可能な平行・データのクロック・エッジ

AC 結合のデータ伝送をサポート

トランスミッタとレシーバのそれぞれをパワーダウン制御

レシーバの埋め込みクロック CDR (クロックおよびデータ・リカバリ) はリファレンス・クロック不要

すべてコード化された RDL (ランダム・データ・ロック) が活線挿抜アプリケーションをサポート

LOCK 出力フラグによりレシーバ側のデータ品質を確認

レシーバ側の RCLK と RDATA の間でバランス  $T_{SETUP}/T_{HOLD}$

レシーバの調整可能 PTO (プログレッシブ・ターンオン) の LVCMOS 出力により、EMI と SSO の影響を最小限に抑制

At-Speed BIST 機能により LVDS 伝送ラインを確認

すべての LVCMOS 入力および制御ピンに内部プルダウン

トランスミッタとレシーバに PLL のオンチップ・フィルタ

トランスミッタは 48 ピン TQFP パッケージ、レシーバは 64 ピン TQFP パッケージで提供

純粋な CMOS 0.35  $\mu\text{m}$  プロセス

電源電圧範囲 3.3V  $\pm$  10%

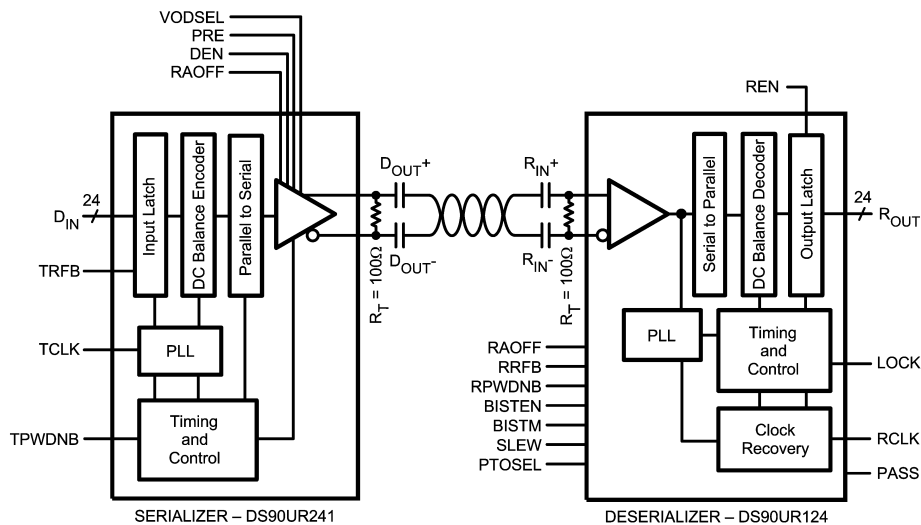
温度範囲 - 40 ~ + 105

8kV 以上の HBM ESD 構造

ISO 10605 ESD 認定取得および AEC-Q100 準拠

DS90C241/DS90C124 との互換性

#### ブロック図



TRI-STATE® はナショナル セミコンダクターの登録商標です。

**絶対最大定格 (Note)**

本データシートには軍用・航空宇宙用の規格は記載されていません。  
 関連する電気的信頼性試験方法の規格を参照ください。

電源電圧 (V <sub>DD</sub> )	- 0.3V ~ + 4V
LVCOS 入力電圧	- 0.3V ~ (V <sub>DD</sub> + 0.3V)
LVCOS 出力電圧	- 0.3V ~ (V <sub>DD</sub> + 0.3V)
LVDS レシーバ入力電圧	- 0.3V ~ + 3.9V
LVDS ドライバ出力電圧	- 0.3V ~ + 3.9V
LVDS 出力短絡時間	10ms
最大接合部温度	+ 150
保存温度範囲	- 65 ~ + 150
リード温度	
(ハンダ付け 4 秒)	+ 260

**パッケージ最大許容電力損失**

<b>パッケージのデレーティング</b>		1/ JA	/W( + 25 よリ)
DS90UR241 - 48L TQFP			
JA	45.8(4L*); 75.4(2L*)	/W	
JC	21.0	/W	

DS90UR124 - 64L TQFP

JA	42.8(4L*); 67.2(2L*)	/W
JC	14.6	/W
		*JEDEC
ESD 耐圧 (HBM)		± 8kV
ESD 耐圧 (ISO10605)		
R <sub>D</sub> = 2k 、 C <sub>S</sub> = 330pF	DS90UR241 は ISO 10605	の規格に適合
接触放電 (D <sub>OUT</sub> +、 D <sub>OUT</sub> - )		± 10 kV
空気放電 (D <sub>OUT</sub> +、 D <sub>OUT</sub> - )		± 30 kV
R <sub>D</sub> = 2k 、 C <sub>S</sub> = 330pF	DS90UR124 は ISO 10605	の規格に適合
接触放電 (R <sub>IN</sub> +、 R <sub>IN</sub> - )		± 10 kV
空気放電 (R <sub>IN</sub> +、 R <sub>IN</sub> - )		± 30 kV

**推奨動作条件**

	最小値	標準値	最大値	単位
電源電圧 (V <sub>DD</sub> )	3.0	3.3	3.6	V
動作温度範囲 (T <sub>A</sub> )	- 40	+ 25	+ 105	
クロック・レート	5		43	MHz
電源ノイズ			± 100	mV <sub>P-P</sub>

**電気的特性**

特記のない限り、推奨動作条件での電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Pin/Freq.	Min	Typ	Max	Units
<b>LVCOS DC SPECIFICATIONS</b>							
V <sub>IH</sub>	High Level Input Voltage		Tx: D <sub>IN</sub> [0:23], TCLK, TPWDNB, DEN, TRFB, RAOFF, VODSEL, RES0.	2.0		V <sub>DD</sub>	V
V <sub>IL</sub>	Low Level Input Voltage		Rx: RPWDNB, RRFB, REN, PTOSEL, BISTEN, BISTM, SLEW, RES0.	GND		0.8	V
V <sub>CL</sub>	Input Clamp Voltage	I <sub>CL</sub> = -18 mA			-0.8	-1.5	V
I <sub>IN</sub>	Input Current	V <sub>IN</sub> = 0V or 3.6V	Tx: D <sub>IN</sub> [0:23], TCLK, TPWDNB, DEN, TRFB, RAOFF, RES0. Rx: RRFB, REN, PTOSEL, BISTEN, BISTM, SLEW, RES0.	-10	±2	+10	μA
			Rx: RPWDNB	-20	±5	+20	μA
V <sub>OH</sub>	High Level Output Voltage	I <sub>OH</sub> = -2 mA, SLEW = L I <sub>OH</sub> = -4 mA, SLEW = H	Rx: R <sub>OUT</sub> [0:23], RCLK, LOCK, PASS.	2.3	3.0	V <sub>DD</sub>	V
V <sub>OL</sub>	Low Level Output Voltage	I <sub>OL</sub> = +2 mA, SLEW = L I <sub>OL</sub> = +4 mA, SLEW = H		GND	0.33	0.5	V
I <sub>OS</sub>	Output Short Circuit Current	V <sub>OUT</sub> = 0V		-40	-70	-110	mA
I <sub>OZ</sub>	TRI-STATE® Output Current	RPWDNB, REN = 0V, V <sub>OUT</sub> = 0V or V <sub>DD</sub>	Rx: R <sub>OUT</sub> [0:23], RCLK, LOCK, PASS.	-30	±0.4	+30	μA

## 電気的特性 (つぎ)

特記のない限り、推奨動作条件での電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Pin/Freq.	Min	Typ	Max	Units
<b>LVDS DC SPECIFICATIONS</b>							
$V_{TH}$	Differential Threshold High Voltage	$V_{CM} = +1.8V$	Rx: $R_{IN+}, R_{IN-}$			+50	mV
$V_{TL}$	Differential Threshold Low Voltage			-50			mV
$I_{IN}$	Input Current	$V_{IN} = +2.4V, V_{DD} = 3.6V$			$\pm 100$	$\pm 250$	$\mu A$
		$V_{IN} = 0V, V_{DD} = 3.6V$			$\pm 100$	$\pm 250$	$\mu A$
$V_{OD}$	Output Differential Voltage ( $D_{OUT+} - D_{OUT-}$ )	$R_L = 100\Omega$ , w/o pre-emphasis (Figure 10)	VODSEL = L	380	500	630	mV
			VODSEL = H	500	900	1100	
$\Delta V_{OD}$	Output Differential Voltage Unbalance	$R_L = 100\Omega$ , w/o pre-emphasis	VODSEL = L		1	50	mV
			VODSEL = H				
$V_{OS}$	Offset Voltage	$R_L = 100\Omega$ , w/o pre-emphasis	VODSEL = L	1.00	1.25	1.50	V
			VODSEL = H				
$\Delta V_{OS}$	Offset Voltage Unbalance	$R_L = 100\Omega$ , w/o pre-emphasis	VODSEL = L		3	50	mV
			VODSEL = H				
$I_{OS}$	Output Short Circuit Current	$D_{OUT} = 0V, D_{IN} = H$ , TPWDNB = 2.4V	VODSEL = L	-2.0	-5.0	-8.0	mA
			VODSEL = H	-4.5	-7.9	-14.0	
$I_{OZ}$	TRI-STATE Output Current	TPWDNB = 0V, $D_{OUT} = 0V$ OR $V_{DD}$		-15	$\pm 1$	+15	$\mu A$
		TPWDNB = 2.4V, DEN = 0V $D_{OUT} = 0V$ OR $V_{DD}$		-15	$\pm 1$	+15	$\mu A$
		TPWDNB = 2.4V, DEN = 2.4V, $D_{OUT} = 0V$ OR $V_{DD}$ NO LOCK (NO TCLK)		-15	$\pm 1$	+15	$\mu A$
<b>SER/DES SUPPLY CURRENT (DVDD*, PVDD* AND AVDD* PINS) *DIGITAL, PLL, AND ANALOG VDDS</b>							
$I_{DDT}$	Serializer Total Supply Current (includes load current)	$R_L = 100\Omega$ , PRE = OFF, RAOFF = H, VODSEL = L	f = 43 MHz, CHECKER BOARD Pattern (Figure 1)		60	85	mA
			$R_L = 100\Omega$ , PRE = 12 k $\Omega$ , RAOFF = H, VODSEL = L		65	90	
			$R_L = 100\Omega$ , PRE = OFF, RAOFF = H, VODSEL = H	f = 43 MHz, RANDOM pattern		66	
$I_{DDTZ}$	Serializer Supply Current Power-down	TPWDNB = 0V (All other LVCMOS Inputs = 0V)				45	$\mu A$
$I_{DDR}$	Deserializer Total Supply Current (includes load current)	$C_L = 4$ pF, SLEW = H	f = 43 MHz, CHECKER BOARD Pattern LVCMOS Output (Figure 2)		85	105	mA
			f = 43 MHz, RANDOM pattern LVCMOS Output		80	100	
$I_{DDRZ}$	Deserializer Supply Current Power-down	RPWDNB = 0V (All other LVCMOS Inputs = 0V, $R_{IN+}/R_{IN-} = 0V$ )				50	$\mu A$

## シリアライザの TCLK に対する入力タイミング仕様

特記のない限り、推奨動作条件での電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
$t_{TCP}$	Transmit Clock Period	(Figure 5)	23.25	T	200	ns
$t_{TCH}$	Transmit Clock High Time		0.3T	0.5T	0.7T	ns
$t_{TCL}$	Transmit Clock Low Time		0.3T	0.5T	0.7T	ns
$t_{CLKT}$	TCLK Input Transition Time	(Note 8), (Figure 4)		2.5		ns
$t_{JIT}$	TCLK Input Jitter	(Note 9)			$\pm 100$	ps

## シリアライザ・スイッチング特性

特記のない限り、推奨動作条件での電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
$t_{LLHT}$	LVDS Low-to-High Transition Time	$R_L = 100\Omega$ , VODSEL = L,		245	550	ps
$t_{LHLT}$	LVDS High-to-Low Transition Time	$C_L = 10$ pF to GND, (Figure 3)		264	550	ps
$t_{DIS}$	$D_{IN}$ (0:23) Setup to TCLK	$R_L = 100\Omega$ , $C_L = 10$ pF to GND,	4			ns
$t_{DIH}$	$D_{IN}$ (0:23) Hold from TCLK	(Note 8), (Figure 5)	4			ns
$t_{HZD}$	$D_{OUT} \pm$ HIGH to TRI-STATE Delay	$R_L = 100\Omega$ ,		10	15	ns
$t_{LZD}$	$D_{OUT} \pm$ LOW to TRI-STATE Delay	$C_L = 10$ pF to GND,		10	15	ns
$t_{ZHD}$	$D_{OUT} \pm$ TRI-STATE to HIGH Delay	(Note 5), (Figure 6)		75	150	ns
$t_{ZLD}$	$D_{OUT} \pm$ TRI-STATE to LOW Delay			75	150	ns
$t_{PLD}$	Serializer PLL Lock Time	$R_L = 100\Omega$			10	ms
$t_{SD}$	Serializer Delay	$R_L = 100\Omega$ , PRE = OFF, RAOFF = L, TRFB = H, (Figure 8)	3.5T+2		3.5T+10	ns
		$R_L = 100\Omega$ , PRE = OFF, RAOFF = L, TRFB = L, (Figure 8)	3.5T+2		3.5T+10	ns
TxOUT_E_O	TxOUT_Eye_Opening. TxOUT_E_O centered on (tBIT)/2	5 MHz–43 MHz, $R_L = 100\Omega$ , $C_L = 10$ pF to GND, RANDOM pattern (Notes 9, 10, 13), (Figure 9)	0.76	0.84		UI

## デシリアライザ・スイッチング特性

特記のない限り、推奨動作条件での電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Pin/Freq.	Min	Typ	Max	Units
$t_{RCP}$	Receiver out Clock Period	$t_{RCP} = t_{TCP}$ , PTOSEL = H	RCLK (Figure 15)	23.25	T	200	ns
$t_{RDC}$	RCLK Duty Cycle	PTOSEL = H, SLEW = L		45	50	55	%
$t_{CLH}$	LVC MOS Low-to-High Transition Time	$C_L = 4$ pF (lumped load), SLEW = H	$R_{OUT}$ [0:23], RCLK, LOCK		1.5	2.5	ns
$t_{CHL}$	LVC MOS High-to-Low Transition Time	(Note 8)			1.5	2.5	ns
$t_{CLH}$	LVC MOS Low-to-High Transition Time	$C_L = 4$ pF (lumped load), SLEW = L	$R_{OUT}$ [0:23], RCLK, LOCK		2.0	3.5	ns
$t_{CHL}$	LVC MOS High-to-Low Transition Time	(Note 8)			2.0	3.5	ns
$t_{ROS}$	$R_{OUT}$ (0:7) Setup Data to RCLK (Group 1)	PTOSEL = L, SLEW = H, (Figure 16)	$R_{OUT}$ [0:7]	(0.35)* $t_{RCP}$	(0.5* $t_{RCP}$ )–3 UI		ns
$t_{ROH}$	$R_{OUT}$ (0:7) Hold Data to RCLK (Group 1)			(0.35)* $t_{RCP}$	(0.5* $t_{RCP}$ )–3 UI		ns

## デシリアライザ・スイッチング特性 (つづき)

特記のない限り、推奨動作条件での電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Pin/Freq.	Min	Typ	Max	Units
$t_{ROS}$	$R_{OUT}$ (8:15) Setup Data to RCLK (Group 2)	PTOSEL = L, SLEW = H, (Figure 16)	$R_{OUT}$ [8:15], LOCK	(0.35)* $t_{RCP}$	$(0.5 \cdot t_{RCP}) - 3$ UI		ns
$t_{ROH}$	$R_{OUT}$ (8:15) Hold Data to RCLK (Group 2)			(0.35)* $t_{RCP}$	$(0.5 \cdot t_{RCP}) - 3$ UI		ns
$t_{ROS}$	$R_{OUT}$ (16:23) Setup Data to RCLK (Group 3)		$R_{OUT}$ [16:23]	(0.35)* $t_{RCP}$	$(0.5 \cdot t_{RCP}) - 3$ UI		ns
$t_{ROH}$	$R_{OUT}$ (16:23) Setup Data to RCLK (Group 3)			(0.35)* $t_{RCP}$	$(0.5 \cdot t_{RCP}) - 3$ UI		ns
$t_{ROS}$	$R_{OUT}$ (0:7) Setup Data to RCLK (Group 1)	PTOSEL = H, SLEW = H, (Figure 15)	$R_{OUT}$ [0:7]	(0.35)* $t_{RCP}$	$(0.5 \cdot t_{RCP}) - 2$ UI		ns
$t_{ROH}$	$R_{OUT}$ (0:7) Hold Data to RCLK (Group 1)			(0.35)* $t_{RCP}$	$(0.5 \cdot t_{RCP}) + 2$ UI		ns
$t_{ROS}$	$R_{OUT}$ (8:15) Setup Data to RCLK (Group 2)		$R_{OUT}$ [8:15], LOCK	(0.35)* $t_{RCP}$	$(0.5 \cdot t_{RCP}) - 1$ UI		ns
$t_{ROH}$	$R_{OUT}$ (8:15) Hold Data to RCLK (Group 2)			(0.35)* $t_{RCP}$	$(0.5 \cdot t_{RCP}) + 1$ UI		ns
$t_{ROS}$	$R_{OUT}$ (16:23) Setup Data to RCLK (Group 3)	$R_{OUT}$ [16:23]	(0.35)* $t_{RCP}$	$(0.5 \cdot t_{RCP}) + 1$ UI		ns	
$t_{ROH}$	$R_{OUT}$ (16:23) Setup Data to RCLK (Group 3)		(0.35)* $t_{RCP}$	$(0.5 \cdot t_{RCP}) - 1$ UI		ns	
$t_{HZR}$	HIGH to TRI-STATE Delay	PTOSEL = H, (Figure 14)	$R_{OUT}$ [0:23], RCLK, LOCK		3	10	ns
$t_{LZR}$	LOW to TRI-STATE Delay				3	10	ns
$t_{ZHR}$	TRI-STATE to HIGH Delay				3	10	ns
$t_{ZLR}$	TRI-STATE to LOW Delay				3	10	ns
$t_{DD}$	Deserialzer Delay	PTOSEL = H, (Figure 12)	RCLK		$[5 + (5/56)]T + 3.7$	$[5 + (5/56)]T + 8$	ns
$t_{DSR}$	Deserialzer PLL Lock Time from Powerdown	(Notes 6, 8)	5 MHz			$128k \cdot T$	ms
			43 MHz			$128k \cdot T$	ms
RxIN_TOL-L	Receiver INput TOLerance Left	(Notes 7, 8, 10), (Figure 17)	5 MHz–43 MHz			0.25	UI
RxIN_TOL-R	Receiver INput TOLerance Right	(Notes 7, 8, 10), (Figure 17)	5 MHz–43 MHz			0.25	UI

**Note 1:** 絶対最大定格は、ICに破壊が発生したり、使用不能になったり、信頼性や性能が低下する可能性のあるリミット値を示します。これは、絶対最大定格において、または推奨動作条件に示されている動作条件を越える条件でこのデバイスが有効に機能することや品質が劣化しないことは意味していません。推奨動作条件とは、このデバイスが有効に機能する条件を示しており、これらを超えた条件ではこのデバイスを使用しないように注意してください。

**Note 2:** 電気的特性の表は、推奨動作条件で使用した場合に保証される特性を示しています。ただし、電気的特性や注記で特に変更または指定してある場合はその限りではありません。代表値は推定値であり、この値を保証しているものではありません。

**Note 3:** 代表値は、 $V_{DD} = +3.3V$ 、 $T_a = +25$  で、製品の特性を評価した時点における推奨動作条件下での最も可能性のあるパラメータの基準値を表しており、保証値ではありません。

**Note 4:** デバイスのピンに流れ込む電流は正と定義されます。デバイスのピンから流れ出る電流は負と定義されます。電圧は、差動電圧である  $V_{OD}$ 、 $V_{OD}$ 、 $V_{TH}$ 、 $V_{TL}$  を除いてグラウンドを基準としています。

**Note 5:** シリアライザの出力が TRI-STATE になると、デシリアライザの PLL ロックが外れます。同期再確立はデータ伝送の前に行う必要があります。

**Note 6:**  $t_{DSR}$  はデシリアライザがパワーダウン・モードから復帰したときにロック獲得までに要する時間です。

**Note 7:**  $RxIN\_TOL$  とは、デシリアライザが入力データ列に対してビット・エラーを生じることなく、どの程度の位相ノイズ (ジッタ) まで耐えられるかを示す量です。本パラメータの測定では、理想的なタイミングにあるデータビットを基準としています。詳細はアプリケーション・ノート AN-1217 を参照してください。

**Note 8:** 仕様値は特性の評価により保証されている値で、量産時における試験は行っていません。

**Note 9:**  $t_{JT}$  (BER =  $10e-9$ ) は TCLK で許容可能なジッタを示します。 $t_{JT}$  は  $TxOUT\_E\_O$  パラメータに含まれていません。

**Note 10:** UI とはユニット・インターバルのことであり、理想的なシリアル化されたデータ 1 ビットの幅に相当します。UI は周波数に従って増減します。

**Note 11:** Figure 1、2、8、12、14 でのデータ・ストロブは、立ち下がりがエッジです (TCLK IN/RCLK OUT)。

**Note 12:** Figure 5、15、16 でのデータ・ストロブは、立ち上がりエッジです (TCLK IN/RCLK OUT)。

**Note 13:**  $TxOUT\_E\_O$  はプリエンファシス値によって変わります。

AC タイミング図およびテスト回路

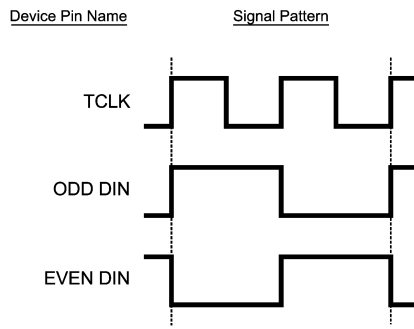


FIGURE 1. Serializer Input Checkerboard Pattern

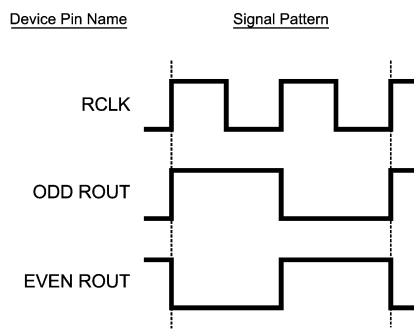


FIGURE 2. Deserializer Output Checkerboard Pattern

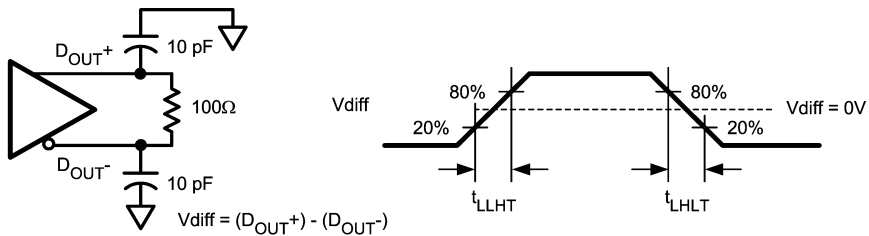


FIGURE 3. Serializer LVDS Output Load and Transition Times

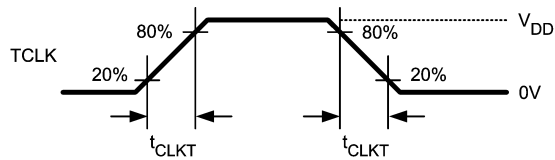


FIGURE 4. Serializer Input Clock Transition Times

AC タイミング図およびテスト回路(つづき)

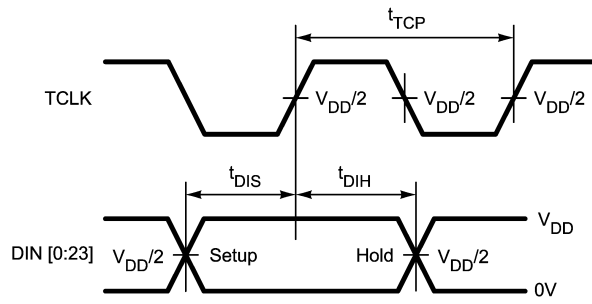


FIGURE 5. Serializer Setup/Hold Times

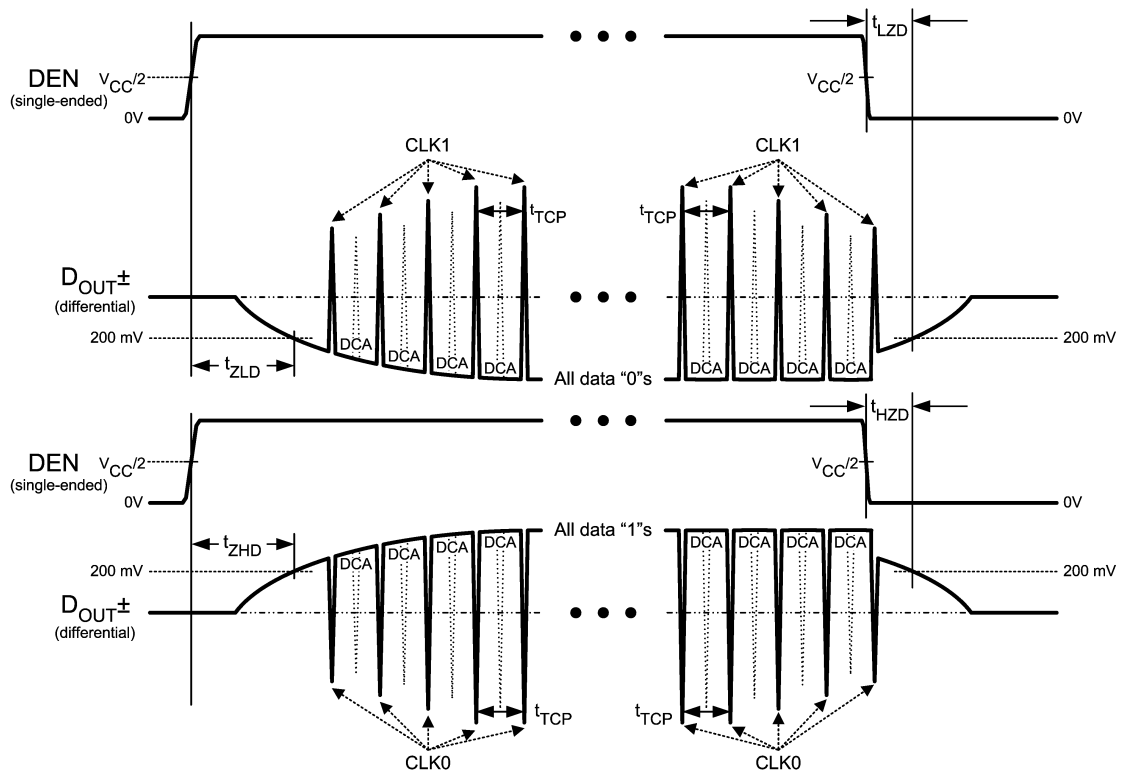
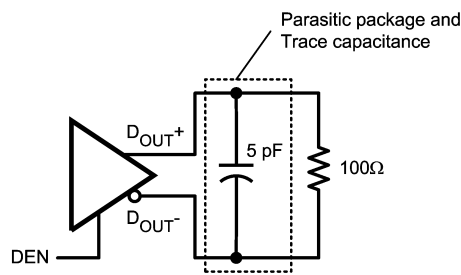


FIGURE 6. Serializer TRI-STATE Test Circuit and Delay



AC タイミング図およびテスト回路(つづき)

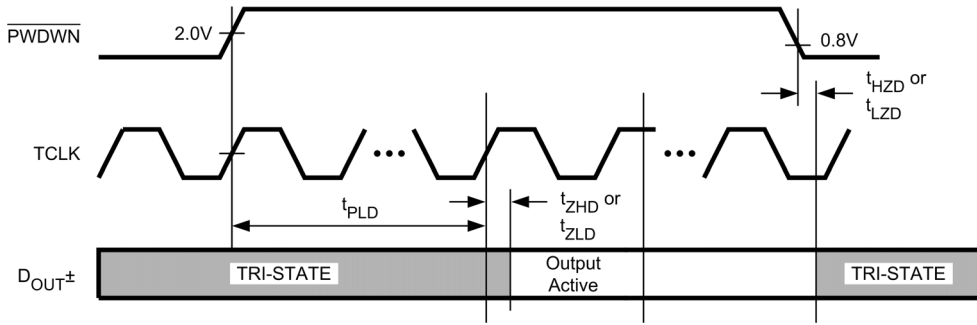


FIGURE 7. Serializer PLL Lock Time, and TPWDNB TRI-STATE Delays

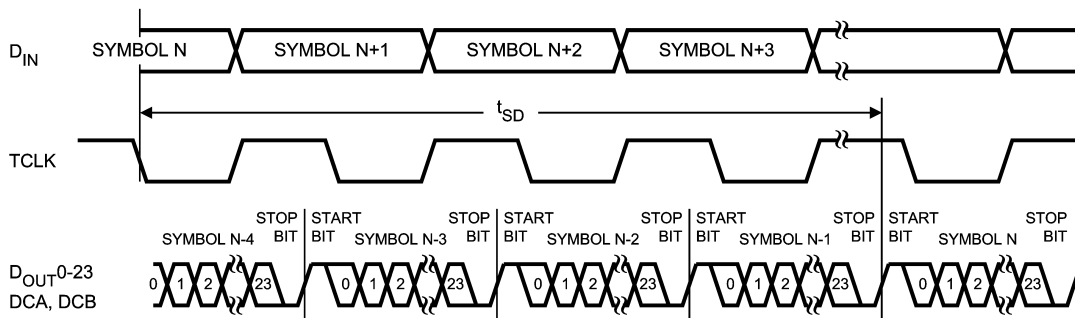


FIGURE 8. Serializer Delay

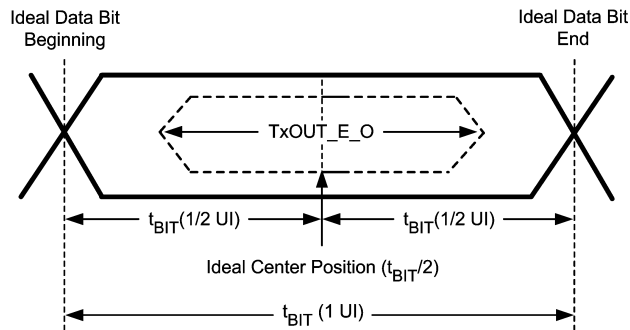


FIGURE 9. Transmitter Output Eye Opening (TxOUT\_E\_O)

AC タイミング図およびテスト回路 (つづき)

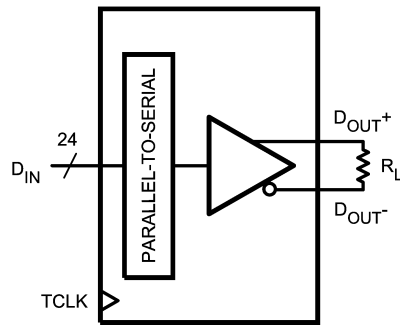


FIGURE 10. Serializer V<sub>OD</sub> Diagram

$V_{OD} = (D_{OUT+}) - (D_{OUT-})$

差動出力信号は、デバイスがデータ転送モードにおいて  $(D_{OUT+}) - (D_{OUT-})$  で示されます。

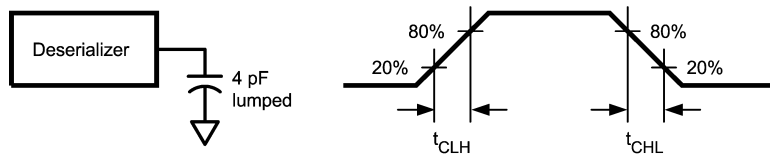


FIGURE 11. Deserializer LVC MOS Output Load and Transition Times

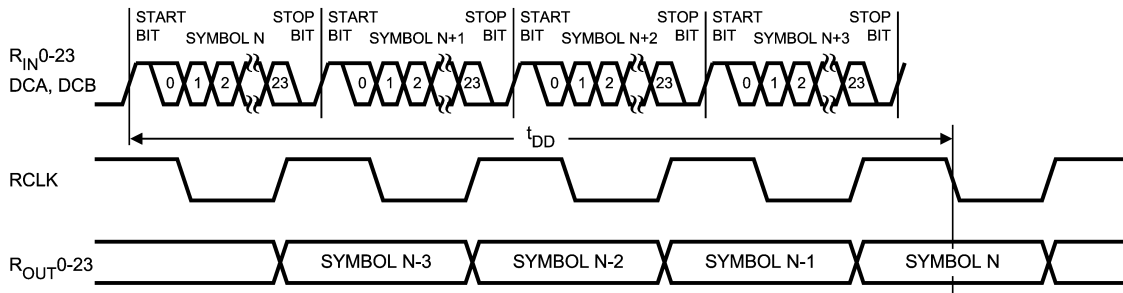
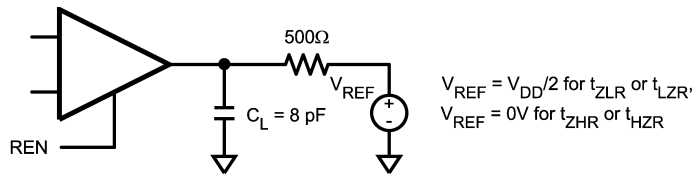


FIGURE 12. Deserializer Delay

AC タイミング図およびテスト回路 (つぎ)



NOTE:  
 $C_L$  includes instrumentation and fixture capacitance within 6 cm of  $R_{OUT}$  [23:0].

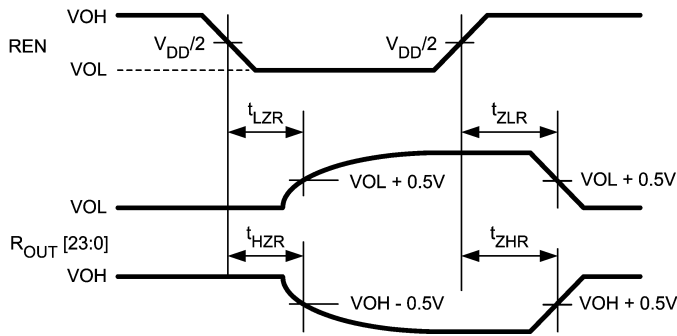


FIGURE 13. Deserializer TRI-STATE Test Circuit and Timing

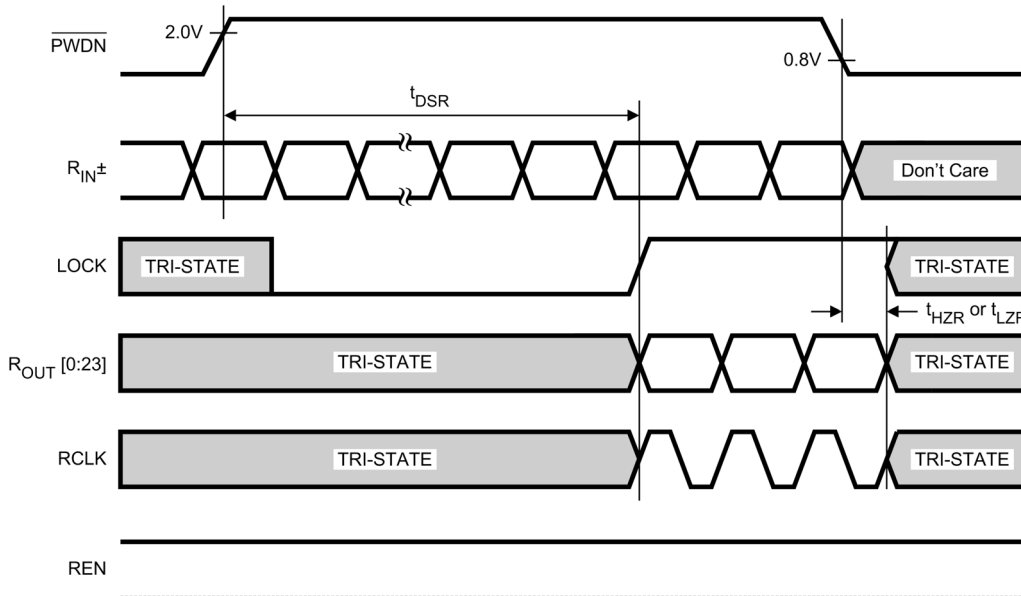


FIGURE 14. Deserializer PLL Lock Times and RPWDNB TRI-STATE Delay

AC タイミング図およびテスト回路 (つづき)

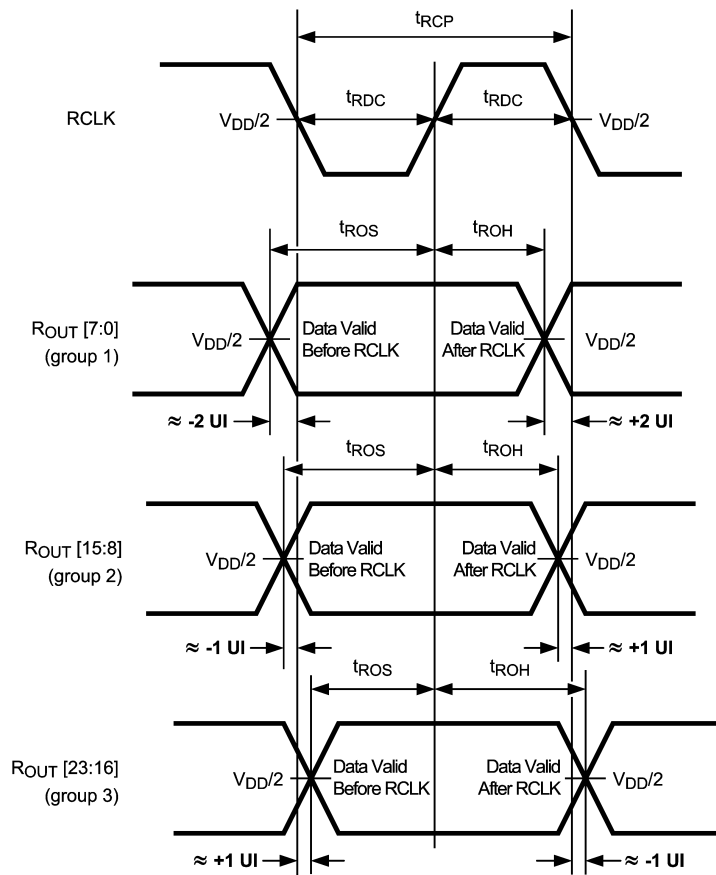
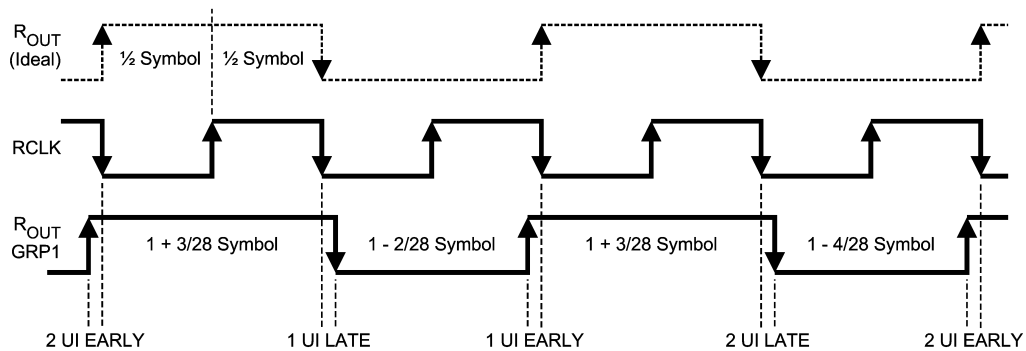


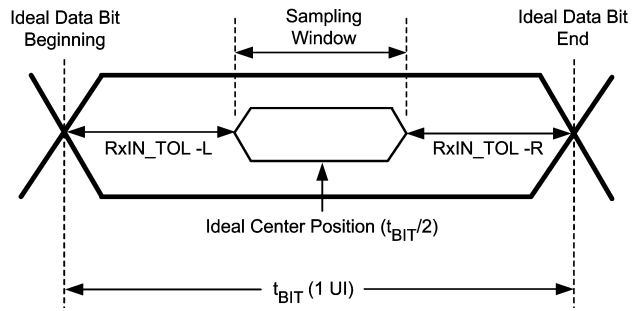
FIGURE 15. Deserializer Setup and Hold Times and PTO, PTOSEL = H



グループ 1 は、(2UI 先行、1UI 遅延、1UI 先行、2UI 遅延) のシーケンスにより内部でラッチされます。  
 グループ 2 は、(1UI 遅延、1UI 先行、2UI 遅延、2UI 先行) のシーケンスにより内部でラッチされます。  
 グループ 3 は、(1UI 先行、2UI 遅延、2UI 先行、1UI 遅延) のシーケンスにより内部でラッチされます。

FIGURE 16. Deserializer Setup and Hold Times and PTO Spread, PTOSEL = L

AC タイミング図およびテスト回路 (つづき)



$RxIN\_TOL\_L$  は、図の左側における理想値を基準とした理想のノイズ・マージンです。  
 $RxIN\_TOL\_R$  は、図の右側における理想値を基準とした理想のノイズ・マージンです。

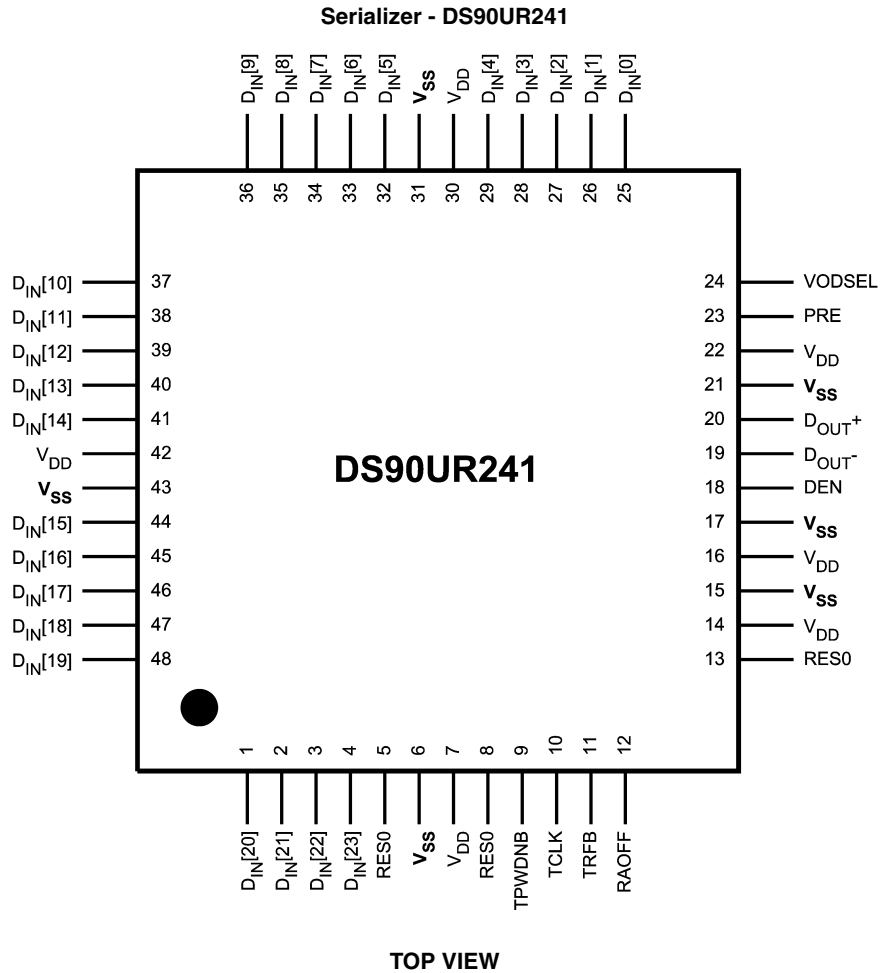
**FIGURE 17. Receiver Input Tolerance ( $RxIN\_TOL$ ) and Sampling Window**

## DS90UR241 シリアライザ・ピン説明

ピン番号	ピン名称	I/O/PWR	説明
<b>LVC MOS パラレル・インタフェース・ピン</b>			
4-1, 48-44, 41-32, 29-25	D <sub>IN</sub> [23:0]	LVC MOS_I	トランスミッタの平行・インタフェースのデータ入力ピン。使用しない場合は、開放せず Low にしておきます。
10	TCLK	LVC MOS_I	トランスミッタの平行・インタフェースのクロック入力ピン。ストロブ・エッジを TRFB コンフィグ・ピンによってセットします。
<b>制御および構成ピン</b>			
9	TPWDB	LVC MOS_I	トランスミッタのパワーダウン・パー TPWDB = H; トランスミッタはイネーブルになり ON TPWDB = L; トランスミッタはパワーダウン・モード (スリープ)、LVDS ドライバ D <sub>OUT</sub> (+ / -) 出力は TRI-STATE のスタンバイ・モード、PLL は消費電力を最小限にするためにシャットダウンされます。
24	VODSEL	LVC MOS_I	VOD レベル選択 VODSEL = L; LVDS ドライバ出力は ± 500mV (R <sub>L</sub> = 100 ) VODSEL = H; LVDS ドライバ出力は ± 900mV (R <sub>L</sub> = 100 ) 通常のアプリケーションでは、このピンを Low にセットします。より大きな VOD が必要となる長いケーブルのアプリケーションでは、このピンを High にセットします。
18	DEN	LVC MOS_I	トランスミッタ・データ・イネーブル DEN = H; LVDS ドライバ出力はイネーブル (ON)。 DEN = L; LVDS ドライバ出力はディスエーブル (OFF)、トランスミッタ LVDS ドライバ D <sub>OUT</sub> (+ / -) 出力は TRI-STATE であり PLL は変わらず動作し TCLK にロックされます。
23	PRE	LVC MOS_I	プリエンファシス・レベル選択 PRE = NC (未接続); プリエンファシスはディスエーブル (OFF)。 外付け抵抗 R <sub>PRE</sub> が VSS を介して接続されるとプリエンファシスはアクティブです。抵抗値によってプリエンファシスのレベルが決まります。 推奨値は R <sub>PRE</sub> 6k ; I <sub>max</sub> = [48/R <sub>PRE</sub> ], R <sub>PREmin</sub> = 6k
11	TRFB	LVC MOS_I	トランスミッタのクロック・エッジ選択ピン TRFB = H; 平行・インタフェース・データはクロックの立ち上がりエッジでストロブされます。 TRFB = L; 平行・インタフェース・データはクロックの立ち下がりエッジでストロブされます。
12	RAOFF	LVC MOS_I	ランダム化制御入力ピン RAOFF = H; DS90C124 デシリアライザを使用するときは下位互換モード。 RAOFF = L; 追加のランダム化 ON (デフォルト)、2E7 LSFR 設定を選択。 詳細は Table 1 を参照。
5, 8, 13	RES0	LVC MOS_I	予約済み。このピンは必ず Low にします。
<b>LVDS シリアル・インタフェース・ピン</b>			
20	D <sub>OUT</sub> +	LVDS_O	トランスミッタ LVDS 非反転 (+) 出力。 この出力は 100 負荷を D <sub>OUT</sub> + ピンに付けることを前提としています。インターコネクは 100nF コンデンサによりこのピンと AC 結合されます。
19	D <sub>OUT</sub> -	LVDS_O	トランスミッタ LVDS 反転 (-) 出力。 この出力は 100 負荷を D <sub>OUT</sub> - ピンに付けることを前提としています。インターコネクは 100nF コンデンサによりこのピンと AC 結合されます。
<b>電源 / グラウンド・ピン</b>			
22	VDD	VDD	アナログ電圧電源、LVDS 出力 POWER
21	VSS	GND	アナログ・グラウンド、LVDS 出力 GROUND
16	VDD	VDD	アナログ電圧電源、VCO POWER
17	VSS	GND	アナログ・グラウンド、VCO GROUND
14	VDD	VDD	アナログ電圧電源、PLL POWER
15	VSS	GND	アナログ・グラウンド、PLL GROUND
30	VDD	VDD	デジタル電圧電源、シリアライザ POWER
31	VSS	GND	デジタル・グラウンド、シリアライザ GROUND
7	VDD	VDD	デジタル電圧電源、シリアライザ・ロジック POWER

ピン番号	ピン名称	I/O/PWR	説明
6	VSS	GND	デジタル・グラウンド、シリアライザ・ロジック GROUND
42	VDD	VDD	デジタル電圧電源、シリアライザ INPUT POWER
43	VSS	GND	デジタル・グラウンド、シリアライザ入力 GROUND

DS90UR241 ピン配置図



## DS90UR124 デシリアライザ・ピン説明

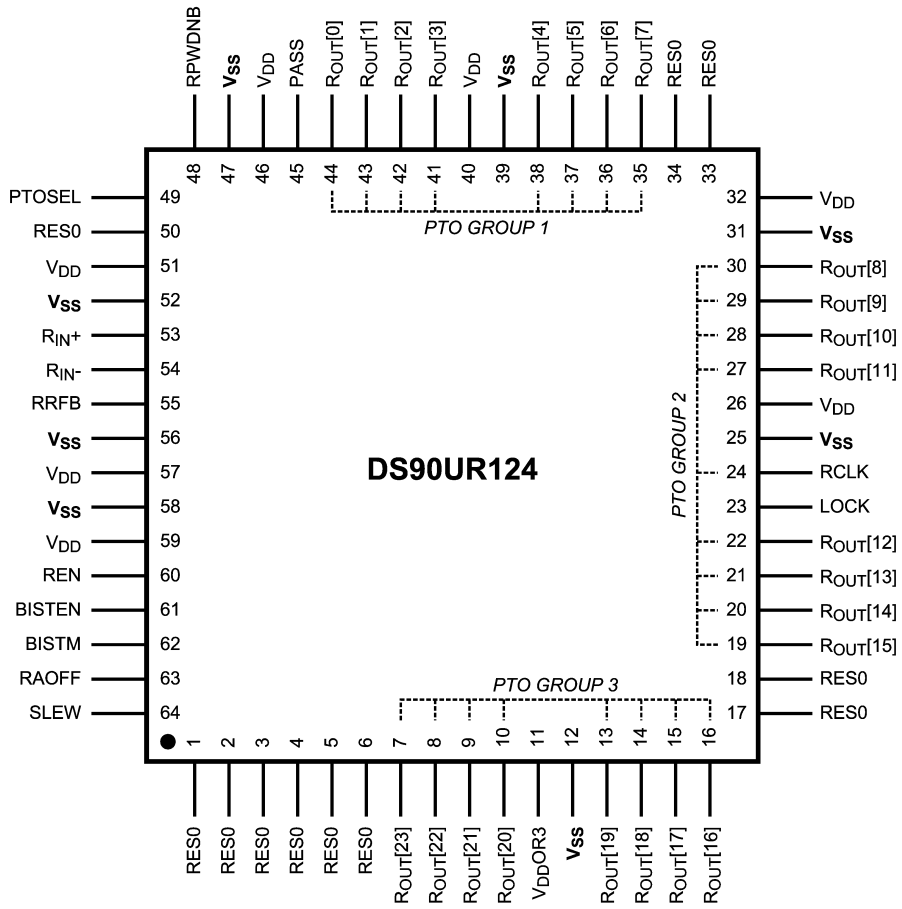
ピン番号	ピン名称	I/O/PWR	説明
<b>LVC MOS パラレル・インタフェース・ピン</b>			
35-38, 41-44	R <sub>OUT</sub> [7:0]	LVC MOS _O	レシーバの平行・インタフェース・データ出力 - グループ 1
19-22, 27-30	R <sub>OUT</sub> [15:8]	LVC MOS _O	レシーバの平行・インタフェース・データ出力 - グループ 2
7-10, 13-16	R <sub>OUT</sub> [23:16]	LVC MOS _O	レシーバの平行・インタフェース・データ出力 - グループ 3
24	RCLK	LVC MOS _O	平行・インタフェース・クロック出力ピン。ストロブ・エッジを RRFB コンフィグ・ピンによってセットします。
<b>制御および構成ピン</b>			
55	RRFB	LVC MOS _I	レシーバ・クロック・エッジ選択ピン RRFB = H; R <sub>OUT</sub> LVC MOS 出力はクロックの立ち上がりエッジでストロブされます。 RRFB = L; R <sub>OUT</sub> LVC MOS 出力はクロックの立ち下がりエッジでストロブされます。
60	REN	LVC MOS _I	レシーバ・データ・イネーブル REN = H; R <sub>OUT</sub> [23-0] および RCLK はイネーブル (ON)。 REN = L; R <sub>OUT</sub> [23-0] および RCLK はディスイネーブル (OFF)。 レシーバ R <sub>OUT</sub> [23-0] および RCLK 出力は TRI-STATE であり、PLL は変わらず動作し TCLK にロックされます。
48	RPWDNB	LVC MOS _I	レシーバ・パワーダウン・バー RPWDNB = H; レシーバはイネーブルになり ON RPWDNB = L; レシーバはパワーダウン・モード (スリープ)、R <sub>OUT</sub> [23-0]、RCLK、および LOCK は TRI-STATE のスタンバイ・モード、PLL は消費電力を最小限にするためにシャットダウンされます。
49	PTOSEL	LVC MOS _I	プログレッシブ・ターンオン・オペレーション選択 PTO = H; R <sub>OUT</sub> [23:0] は 8 本の 3 つのグループに分けられ、各グループは RCLK を基準におよそ ± 1UI ~ ± 2UI の位置で切り替わります (Figure 15)。 PTO = L; PTO スプレッド・モード、R <sub>OUT</sub> [23:0] 出力のスプレッドは ± 1UI ~ ± 2UI、RCLK のスプレッドは ± 1UI です (Figure 16)。 「アプリケーション情報」を参照。
63	RAOFF	LVC MOS _I	ランダム化制御入力ピン RAOFF = H; DS90C241 シリアライザと使用するときには下位互換モード。 RAOFF = L; 追加のランダム化 ON (デフォルト)、2E7 LSRF 設定を選択。 詳細は Table 2 を参照。
64	SLEW	LVC MOS _I	LVC MOS 出力スレーブレート制御 SLEW = L; Low ドライブ出力、2mA (デフォルト) SLEW = H; High ドライブ出力、4mA
23	LOCK	LVC MOS _O	LOCK はレシーバ PLL の状態を示します。 LOCK = H; レシーバ PLL はロック LOCK = L; レシーバ PLL はアンロック、R <sub>OUT</sub> [23-0] および RCLK は TRI-STATE。
50	RES0	LVC MOS _I	予約済み。このピンは必ず Low にします。
1-6, 17, 18, 33, 34,	RES0	NC	未接続。物理的にダイに接続されません。ピンを開放にするか、Low にしてください。
<b>BIST モード・ピン</b>			
61	BISTEN	LVC MOS _I	BIST モード・イネーブル用制御ピン BISTEN = L; デフォルトで Low、通常モード。 BISTEN = H; BIST モードはアクティブ。BISTEN = H および DS90UR241 DIN[23:0] = Low または開放時。デバイスはそれに応じて BIST モードになります。PASS 出力ピンのテスト状態を確認してください。「アプリケーション情報」を参照。
62	BISTM	LVC MOS _I	BIST モード選択。BIST レポート・モードのためにデシリアライザがセットされる制御ピン。 BISTM = L; デフォルトで Low、すべての R <sub>OUT</sub> の状態とサイクルごとの個々のビット・エラー BISTM = H; 合計累積ビット・エラー数が R <sub>OUT</sub> [7:0] (最大 255 までのバイナリ・カウンタ) に表示 「アプリケーション情報」を参照。



ピン番号	ピン名称	I/O/PWR	説明
45	PASS	LVCNOS_O	At-Speed BIST テスト動作での合否フラグ出力。 PASS = L; BIST 失敗。 PASS = H; LOCK = H にしてから BIST をイネーブル可能、その後リンク全体で $1 \times 10^{-9}$ のエラー・レートを達成。 「アプリケーション情報」を参照。
<b>LVDS シリアル・インタフェース・ピン</b>			
53	R <sub>IN +</sub>	LVDS_I	レシーバ LVDS 非反転 ( + ) 入力 この入力は 100 Ω 負荷を R <sub>IN +</sub> ピンにかけて終端することを前提としています。インターコネクは 100nF コンデンサによりこのピンと AC 結合されます。
54	R <sub>IN -</sub>	LVDS_I	レシーバ LVDS 反転 ( - ) 入力 この入力は 100 Ω 負荷を R <sub>IN -</sub> ピンにかけて終端することを前提としています。インターコネクは 100nF コンデンサによりこのピンと AC 結合されます。
<b>電源 / グラウンド・ピン</b>			
51	VDD	VDD	アナログ LVDS 電圧電源、POWER
52	VSS	GND	アナログ LVDS GROUND
59	VDD	VDD	アナログ電圧電源、PLL POWER
58	VSS	GND	アナログ・グラウンド、PLL GROUND
57	VDD	VDD	アナログ電圧電源、PLL VCO POWER
56	VSS	GND	アナログ・グラウンド、PLL VCO GROUND
32	VDD	VDD	デジタル電圧電源、ロジック POWER
31	VSS	GND	デジタル・グラウンド、ロジック GROUND
46	VDD	VDD	デジタル電圧電源、ロジック POWER
47	VSS	GND	デジタル・グラウンド、ロジック GROUND
40	VDD	VDD	デジタル電圧電源、LVCNOS 出力 POWER
39	VSS	GND	デジタル・グラウンド、LVCNOS 出力 GROUND
26	VDD	VDD	デジタル電圧電源、LVCNOS 出力 POWER
25	VSS	GND	デジタル・グラウンド、LVCNOS 出力 GROUND
11	VDD	VDD	デジタル電圧電源、LVCNOS 出力 POWER
12	VSS	GND	デジタル・グラウンド、LVCNOS 出力 GROUND

DS90UR124 配置図

Deserializer - DS90UR124



TOP VIEW

## 機能説明

DS90UR241 シリアライザと DS90UR124 デシリアライザは、24 ビットのパラレル LVCMOS データをスルーポート 120Mbps ~ 1.03Gbps の単一シリアル LVDS で転送する送受信ペアのチップセットです。DS90UR241 は、24 ビットの LVCMOS レベルのパラレル・データを、クロック情報を埋め込み高速 LVDS シリアル・データ列に変換し、そのデータをスクランブル / DC バランス調整して信号品質を改善し、AC 結合に対応します。DS90UR124 は LVDS シリアル・データ・ストリームを受信すると、24 ビット幅のパラレル・データに戻し、クロックを再生します。24 ビットのシリアライザ / デシリアライザ・チップセットは、最長 10m のシールド・ツイストペア (STP) ケーブル上で 5MHz ~ 43MHz のクロック速度でデータを伝送できるように設計されています (クロック速度、ケーブル長はケーブル伝送特性に依存します)。

デシリアライザは、外付けのリファレンス・クロックを使用せずにデータ列に対するロックを実現します。それによって複雑なシステムが大幅に簡素化され、全体のコストも抑えられます。デシリアライザはデータ・パターンに関係なくシリアライザと同期するので、真に自動的な「プラグ・アンド・ロック」性能が得られます。特別なトレーニング・パターンや同期コードがなくても、入力シリアル・データ列にロックされます。デシリアライザは、埋め込まれたクロック情報を抽出し、入力データ列からデータ品質を確認することによってクロックおよびデータを回復した後、データをデシリアライズします。また、デシリアライザは受信クロック情報から PLL のロック状態を決定し、ロックが発生したとき LOCK 出力を High にアサートします。

さらに、デシリアライザはオプションで At-Speed BIST (Built In Self Test) モード、BIST エラー・フラグ、および LOCK 状態レポート・ビームをサポートしています。広範なパラレル出力上の信号品質は、SLEW 制御およびバンク・スレー (PTOSEL) 入力によって制御され、それによってノイズおよびシステム EMI を低減できます。また、さまざまなアプリケーションに柔軟に対応できるように、各デバイスでパワーダウン制御を行えるようになっています。

### 初期化およびロック・メカニズム

DS90UR241 および DS90UR124 でデータ送受信を行う前に、これらのデバイスを初期化しなければなりません。初期化とは、シリアライザとデシリアライザの PLL 同士を同期することです。初期化では、まずシリアライザを入力クロック・ソースにロックし、次にデシリアライザをシリアライザに同期させるステップを踏みます。

ステップ 1: シリアライザ / デシリアライザ各チップに  $V_{DD}$  が供給されると、チップに内蔵された電源オン制御回路によって各出力は TRI-STATE となり、内部回路はディスエーブルにされます。 $V_{DD}$  の電圧値が  $V_{DD\text{ OK}}$  (~ 2.2V) に達すると、シリアライザの PLL はクロック入力に対してロックを開始します。シリアライザ側でのローカル・クロックは、送信クロック TCLK です。シリアライザ側は PLL が TCLK にロックするまでの間、出力は TRI-STATE 状態のままです。TCLK にロックした後、データ・パターンの送出準備が完了しています。デシリアライザは、PLL がシリアル・データ列に埋め込まれたクロック情報にロックしている間は、出力を TRI-STATE 状態に保ちます。また、デシリアライザの LOCK ピンは、RIN ±ピンで受信したランダム・データまたは SYNC パターンに PLL がロックするまでの間は Low を出力します。

ステップ 2: デシリアライザの PLL は、シリアライザからの特別なパターンを必要とせずに、データ列に対するロックを実現します。初期化モードの第 2 のステップでは、シリアライザからデシリアライザに対してランダム・データ・パターン (非繰り返しパターン) を自動的に送出します。埋め込みクロックの場合、デシリアライザはある時間範囲内でロックを完了します。埋め込みクロックおよびデータリカバリ (CDR) 回路は入力ビット列にロックして、高速受信ビット・クロックを回復し、入力データとの時間調整を行います。CDR 回路は、コーディングされた入力ビット列を想定しています。デシリアライザがシリアライザからのランダム・データ列にロックするには、

クロックの立ち上がりエッジを検出してデータ品質を確認してからロックするまでに、一連の内部動作が必要となります。このロック手順はデータ・パターンとは無関係なので、ランダム・クロックの合計時間はその時々によって変化します。埋め込みクロックに対してデシリアライザの CDR がロックに成功した時点で、デシリアライザの LOCK ピンは High となり、出力ピンに出力される RCLK/データは有効になります。LOCK 信号は出力ピンに有効データが現れるタイミングに同期します。デシリアライザの LOCK ピンは、レシーバ側のデータ品質を確保するのに便利な方法です。

### データ転送

シリアライザのロックを確立した後、DIN0 ~ DIN23 の入力を使用してシリアライザにデータを入力します。データはシリアライザの TCLK により取り込まれます。データの取り込みに使われる TCLK のエッジは、TRFB ピンにより選択可能です。TRFB が High のときは立ち上がりエッジでデータを取り込み、Low のときは立ち下がりエッジで取り込みます。シリアライザの出力 (DOUT ±) は、1 対 1 の接続を駆動することを前提としています。

CLK1、CLK0、DCA、DCB は、1 つの LVDS シリアル・データ列によって転送される 4 つのオーバーヘッド・ビットです (Figure 19)。CLK1 ビットは常に High で、CLK0 ビットは常に Low です。CLK1 ビットと CLK0 ビットは、シリアル・データ列での埋め込みクロック情報の働きをします。DCB は、DC バランス制御ビットとして機能します。送信サイドでのデータ・コーディングは必要ありません。DC バランス・ビットは、短期および長期の信号ラインの DC バイアスを最小にするために使用します。このビットは、データをそのままの極性で送るか、反転して送るかによって機能します。DCA ビットは、埋め込みデータ列のデータ品質を確認するのに使用します。DCA と DCB のどちらのコーディング方式も組み込まれており、シリアライザおよびデシリアライザの内部で自動的に実行されます。

チップセットは、5MHz ~ 43MHz のクロック周波数範囲をサポートしています。クロック・サイクル毎に、24 個のデータビットに加えて 4 個のオーバーヘッド制御ビットが送出されます。したがって、最大伝送レートは 1.20Gbps です (最小は 140Mbps)。リンクの効率率は 86% (24/28) と比べて高い値です。25 ビット (24 のデータ + 1 つのクロック) に、関連するグラウンド信号を加えたものがわずかに 1 組の LVDS ペアに圧縮されるので、圧縮比はさらに高い 25 対 1 という値になります。

シリアライズされたデータ列で、データ / 埋め込みクロックおよび制御ビット (24 + 4 ビット) は、TCLK 周波数の 28 倍でシリアライザのデータ出力 (DOUT ±) から転送されます。例えば、TCLK が 43MHz ならば、シリアル転送レートは  $43 \times 28 = 1.20\text{Gbps}$  となります。ただし、入力データは 24 ビットですので、データ・ペイロードの転送レートは TCLK の周波数の 24 倍です。例えば、TCLK が 43MHz ならば、ペイロードの転送レートは  $43 \times 24 = 1.03\text{Gbps}$  となります。TCLK はデータ・ソースから供給され、公称 5MHz ~ 43MHz の範囲でなければなりません。シリアライザの出力 (DOUT ±) は、Figure 18 に示すように 1 対 1 の接続を駆動することができます。イネーブル (DEN) ピンが High で TPWDNB も High のとき、送信がイネーブルとなります。DEN ピンを Low にすると出力は TRI-STATE 状態になります。

デシリアライザがシリアライザからの入力にロックすると、LOCK ピンは High になり、有効なデータと復元したクロックを同時に出力します。デシリアライザはロックした埋め込みクロックから複数の内部データ・ストローブ信号を生成し、また復元したクロックを RCLK ピンに出力します。データ出力 ROUT[23:0] は復元したクロック (RCLK 出力) に同期しています。LOCK が High になっている間は、ROUT[23:0] 上のデータは有効です。Low のとき、ROUT[23:0] は無効です。RCLK の極性は RRFB 入力で切り替えられます。ROUT[23:0]、LOCK、RCLK 出力は、43MHz クロックで最大 4pF 負荷を駆動できるドライブ能力を持っています。

REN ピンによってデシリアライザの RCLK ピンと 4 本の ROUTn ピンを TRI-STATE にできます。

#### 同期再確立

デシリアライザは、ロックを失うと自動的にロックの再確立を試みません。例えば、連続の埋め込みクロック・エッジを 1 回検出できなかった場合、デシリアライザの PLL のロックが外れて、LOCK ピンが Low になります。続いてデシリアライザはランダム・データに対してロックを試みる動作モードに移ります。埋め込みクロック・エッジを探し、それが検出されるとロック・プロセスに進みます。

LOCK ピンの論理レベルはデータ出力 ROUT の有効性を示しており、LOCK が High ならば有効です。システムは、ROUT が有効かどうかを判断するために LOCK ピンを監視します。

#### パワーダウン

パワーダウン状態は消費電力を低減できるスリープ・モードで、転送データがないときにシリアライザとデシリアライザをこのモードに設定できます。各デバイスをパワーダウン・モードに設定するには TPWDNB および RPWDNB が使用され、それにより消費電流は  $\mu\text{A}$  オーダーに下がります。TPWDNB ピンを Low に駆動すると、シリアライザはパワーダウン・モードに入ります。パワーダウンでは、PLL は停止し、出力は TRI-STATE になって負荷電流はディスエーブルされるため、消費電流が低減します。パワーダウン・モードから抜けるには TPWDNB を High にします。シリアライザがパワーダウン・モードから抜けたとき、シリアライザが初期化モードに移行するのは PLL が TCLK にロックした後です。システムはデータ転送を開始する前に、これらの初期化に必要な時間を見込んでおかなければなりません。RPWDNB を Low にすると、デシリアライザはパワーダウン・モードに入ります。パワーダウン・モードでは、デシリアライザの PLL は停止し、出力は TRI-STATE 状態となります。デシリアライザをパワーダウン・モードから戻すには、RPWDNB を High にします。

パワーダウン・モードから抜けたあとに、シリアライザ、デシリアライザともにデータ転送を開始する前に再初期化と再ロックが必要です。デシリアライザは初期化後、埋め込みクロックにロックすると LOCK を High にします。

#### TRI-STATE

シリアライザでは、DEN または TPWDNB ピンが Low に駆動すると TRI-STATE 状態になります。それによって、両方のドライバ出力ピン (DOUT + および DOUT - ) が TRI-STATE になります。TRI-STATE 状態に移る前と制御ピン (TPWDNB、TRFB) の状態が同じであれば、DEN が High のときシリアライザは TRI-STATE に移る直前の動作モードに戻ります。

REN または RPWDNB ピンが Low のとき、デシリアライザは TRI-STATE になります。したがって、レシーバ出力ピン (ROUT0 ~ ROUT23) および RCLK は TRI-STATE になります。LOCK 出力は PLL の状態を反映するため TRI-STATE にはなりません。デシリアライザの入力ピンは、電源オフ状態 ( $V_{DD} = 0\text{V}$ ) またはデシリアライザ・ブロックがパワーダウン状態 (RPWDNB = "L") のとき、ハイ・インピーダンスになります。

#### プリエンファシス

DS90UR241 には、長距離かつ高損失な伝送メディアの短所を補うためのプリエンファシス機能が備わっています。ユーザーが選択可能なプリエンファシス機能によって信号遷移時の LVDS 駆動電流を増やし、ドライブ能力を高めてケーブル負荷の影響を低減します。伝送距離は、損失特性とメディアの品質によって制限されます。プリエンファシスは、ケーブル負荷の影響を低減してドライブ距離を長くするため、LVDS の信号遷移時に駆動電流を増やす機能です。また、プリエンファシスは遷移の高速化、アイ・パターンの開口の増加、および信号品質の向上にも役立ちます。

DS90UR241 にプリエンファシス機能が採用されたことで、伝送距離は最大 10m 程度です。

プリエンファシス機能をイネーブルするには、"PRE" ピンで  $V_{SS}$  との間を外付け抵抗 ( $R_{pre}$ ) を接続し、追加の電流レベルを設定する必要があります。 $R_{pre}$  の値は  $6\text{k} \sim 100\text{M}$  の範囲とします。 $6\text{k}$  未満の値は使用しないでください。PRE ピンの抵抗値が低いほどデータ・ビット遷移時でのダイナミック電流が大きくなります。追加のソース電流は次式によって求めます。

$PRE = (R_{PRE} - 6\text{k})$ 、 $I_{MAX} = [48/R_{PRE}]$ 。例えば  $R_{pre} = 15\text{k}$  の場合、プリエンファシス電流は  $3.2\text{mA}$  増大します。

任意のメディアのプリエンファシス量は、アプリケーションの伝送距離によって異なります。一般に、プリエンファシス量が多すぎると、レシーバの入力ピンでオーバーシュートまたはアンダーシュートが発生します。それにより、過剰なノイズ、クロストーク、および消費電力の増加が生じます。短距離や短いケーブルでは、プリエンファシスは不要な場合もあります。それぞれのアプリケーションで適切なプリエンファシス量を求めるために、信号品質を測定してください。

#### AC 結合および終端

DS90UR241 および DS90UR124 は、内蔵 DC バランス・エンコーディング / デコーディング方式によって AC 結合したインターコネクトをサポートしています。シリアライザとデシリアライザを AC 結合のアプリケーションで使用するには、Figure 18 に示すように LVDS 信号経路に外付け AC 結合コンデンサを直列接続します。デシリアライザの入力段は、内部  $V_{CM}$  を  $+1.8\text{V}$  に設定する内蔵 AC バイアス・ネットワークを提供することによって、AC 結合に対応しています。AC 信号結合により、コンデンサは信号入力に AC 結合経路を提供します。

高速 LVDS 伝送のため、AC 結合コンデンサのパッケージ・サイズは可能な限り小型化が必要です。小型パッケージにすることにより、パッケージの寄生容量による信号の品質劣化を最小限に抑えられます。このインタフェースに最もよく使われるコンデンサの容量は、 $100\text{nF}$  ( $0.1\mu\text{F}$ ) です。NPO クラス 1 または X7R クラス 2 タイプのコンデンサを推奨します。最高システムレベルの ESD 性能を求める場合は、50 WVDC を使用することが最低条件です。

また、DOUT ± および RIN ± で正しい動作を得るためには、終端抵抗が不可欠です。終端抵抗値は、信号が伝送される媒体の差動インピーダンスに等しくなければなりません。値の範囲としては  $90 \sim 132 \Omega$  となります。 $100 \Omega$  の伝送メディアを用いた場合の標準的な値は  $100 \Omega$  です。終端抵抗は反射の抑止と電流ループの形成のために必要です。終端抵抗は、ピンからのスタブ長を最短とするために、できる限りシリアライザの DOUT ± 出力とデシリアライザの RIN ± 入力の近くに配置してください。伝送ラインの差動インピーダンスと一致させるために、LVDS I/O はシリアライザの DOUT ± 出力ピンとデシリアライザの RIN ± 入力ピンで  $100 \Omega$  抵抗により終端させます。

#### レシーバの終端オプション 1

RIN ± ピンの間に  $100 \Omega$  の終端抵抗を 1 つ挿入します (Figure 18 参照)。これにより、レシーバ入力で信号終端が行われます。他のオプションを使用して、ノイズ耐性を向上させることができます。

#### レシーバの終端オプション 2

EMI 耐性をさらに上げるため、 $100 \Omega$  抵抗を 1 つ使用する代わりに、 $50 \Omega$  抵抗を 2 つ使用することもできます。1 個の小型コンデンサを、 $50 \Omega$  抵抗の中心点からグラウンドまでの間に接続します (Figure 22 参照)。これにより、共通モード・ノイズを除去するための高周波で低インピーダンスな経路が提供されます。コンデンサの容量値はあまり問題ではありませんが、一般的なアプリケーションでは  $4.7\text{nF}$  がよく使用されます。

### レシーバの終端オプション 3

高ノイズ環境では、追加の電圧デバイダ・ネットワークを中心点に接続します。この方法では、低 DC インピーダンスの経路をノイズ除去に提供するという利点があります。プルアップとプルダウンには 100 ~ 2K の範囲の抵抗値を使用します。中心点に 1.8V でバイアスがかかるように抵抗値を配分します。例えば (Figure 23 参照)、 $V_{DD} = 3.3V$ 、R プルアップ = 1K、R プルダウン = 1.2K、または R プルアップ = 100、R プルダウン = 120 (最大) です。値が小さいほどバイアス電流を多く消費しますが、ノイズ除去効果は高まります。

### 信号品質エンハンサ

DS90UR124 デシリアライザは、2 つの信号品質エンハンサをサポートしています。重い負荷を駆動する際に LVCMOS 出力の駆動能力を上げるためには、SLEW ピンを使用します。SLEW は、高駆動電流や低駆動電流に対応するように駆動能力を出力できます。デフォルト設定は Low で 2mA の低駆動、High で 4mA の高駆動です。

EMI、同時スイッチング時のノイズ、およびシステムのグラウンド・バウンズを抑制するために、2 タイプのプログレスシブ・ターンオン・モード (固定および PTO 周波数スプレッド) があります。PTOSEL ピンはデータ/クロック出力にバンク・スキューを導入して、出力の同時スイッチング回数を制限します。固定 PTO モードでは、デシリアライザの ROUT[23:0] 出力は 8 本ずつ 3 つのグループに分けられ、各グループは RCLK から位相が 2UI (グループ 1) または 1UI (グループ 2 および 3) 離れたところでスイッチングします (Figure 15 参照)。PTO 周波数スプレッド・モードでも ROUT[23:0] は 8 本ずつ 3 つのグループに分けられますが、各グループは 4 サイクル毎に隣接したグループと位相が不一致となり、分離します (Figure 16 参照)。PTO 周波数スプレッドの動作モードでは、RCLK もスプレッドし、1UI 分だけ離れます。

### At-Speed BIST テスト機能

ベンダーのテスト検証を支援するため、DS90UR241/DS90UR124 にはビットイン・セルフテスト (BIST) 機能が備わっており、システムの製造と現場での診断の両方をサポートしています。BIST モードは、専用の高価なテスト装置を使用せずに高速シリアル・リンク全体をリンクのフルスピードでチェックするよう設計されています。この機能は、システム・ホストがシリアライザとデシリアライザの両方で診断テストを実行する簡易な方法を提供します。BIST 機能は、DS90UR124 の 2 つの制御ピンによって容易に構成できます。BIST モードをアクティブにすると、シリアライザは内部で生成された PRBS データ・パターンを転送することができます。このパターンは、デシリアライザへの接続リンクを伝達されます。DS90UR124 には、ビット・エラーのデータ・パターンをチェックし、デシリアライザのデータ出力ピンにエラーがあればそれを知らせるオンチップ PRBS パターン検証回路があります。

At-Speed BIST 機能は、DS90UR124 デシリアライザで 2 つの信号ピン (BISTEN および BISTM) を使用します。BISTEN ピンと BISTM ピンの両方によって BIST モードの機能が決定されます。BISTEN 信号 (High) は、デシリアライザのテスト機能をアクティブにします。BIST モードをイネーブルにした後、DS90UR241 シリアライザのすべてのデータ入力チャネル DIN[23:0] をロジック Low または開放に設定して、デシリアライザがデータ受信を開始できるようにします。また、シリアライザの入力クロック信号 (TCLK) を BIST 動作の間ずっと適用しておく必要があります。BISTM ピンは、BIST 機能のエラー・レポート状態モードを選択します。BIST はエラー状態モード (BISTM = Low) で構成され、ROUT[23:0] の各出力はサイクルごとのビット・エラーに対応します。ビット・ミスマッチの結果は、ROUT[23:0] データ出力ピンの各パラレル入力に示されます。BIST エラー数累積モード (BISTM = High) では、ROUT[7:0] の 8 ビット・カウンタを使用して、検出エラー数 (0 から最大 255 まで) を表します。BIST テストが正常に終了すると、

デシリアライザの PASS ピンに示されます。デシリアライザの PLL がまずロックされた後、PASS ステータスは有効になります。転送リンク全体で  $1 \times 10^{-9}$  の BER が達成されると Low から High に遷移します。

### DS90C241/DS90C124 との下位互換

RAOFF ピンにより、DS90C241/DS90C124 デバイスとの下位互換が可能になります。DS90C241 シリアライザまたは DS90C124 デシリアライザのいずれかとインタフェースするには、DS90UR241 または DS90UR124 の RAOFF ピンを High にして、追加の LSFRCODE をディスエーブルします。DS90UR241 と DS90UR124 を直接動作させる場合、RAOFF ピンは Low にセットします。詳細は、Table 1 および Table 2 を参照してください。

### アプリケーション情報

#### DS90UR241 および DS90UR124 の使用

DS90UR241/DS90UR124 シリアライザ/デシリアライザ (SERDES) のペアは、24 ビットのパラレル LVCMOS データを、シリアル LVDS リンク上に最大 1.03Gbps で送ります。入力データのシリアル化は、シリアライザに内蔵された PLL を用いて行われ、データにクロック情報が埋め込まれます。デシリアライザは、入力データ列からクロック/制御情報を抽出した後、データをデシリアライズします。また、デシリアライザは受信クロック情報から PLL のロック状態を決定し、LOCK 出力を High にアサートすることによってロック状態を示します。

#### ディスプレイ・アプリケーション

DS90UR241/124 チップセットは、ホスト (グラフィック・プロセッサ) とディスプレイをインタフェースするためのものです。これは、18 ビットの色深度 (RGB666) と最大 1280 x 480 のディスプレイ・フォーマットをサポートしています。RGB666 の構成では、18 色のビット (R[5:0]、G[5:0]、B[5:0])、ピクセル・クロック (PCLK)、3 つの制御ビット (VS、HS、DE) に加えて、3 つの予備ビットが PCLK 周波数 5 ~ 43MHz のシリアル・リンク全体でサポートされています。

#### 代表的なアプリケーションの接続

Figure 20 に、DS90UR241 シリアライザ (SER) の代表的なアプリケーションを示します。LVDS 出力は、100 終端とラインとの 100nF 結合コンデンサを利用します。電源ピン付近にはバイパス・コンデンサを接続しなければなりません。ローカル・バイパスには、最低でも 3 個の 0.1  $\mu$ F コンデンサを使用する必要があります。システム GPO (汎用出力) が TPWDNB ピンを制御します。このアプリケーションでは、TRFB ピンが High になり、TCLK の立ち上がりエッジでデータをラッチします。DEN 信号は使用していませんが、これも High になります。アプリケーションは対になるデシリアライザ (DS90UR124) に対するものであり、RAOFF ピンは Low になってデータをスクランブルし、リンク信号品質を向上させます。このアプリケーションのリンクは標準であるため、VODSEL ピンは Low で標準の LVDS 振幅となります。プリエンファシス入力は、グラウンドへの抵抗を利用して、アプリケーションが必要とするプリエンファシス量を設定します。

Figure 21 に、DS90UR124 デシリアライザ (DES) の代表的なアプリケーションを示します。LVDS 入力は、100 終端とラインとの 100nF 結合コンデンサを利用します。電源ピン付近にはバイパス・コンデンサを接続しなければなりません。ローカル・バイパスには、最低でも 4 個の 0.1  $\mu$ F コンデンサを使用する必要があります。システム GPO (汎用出力) が RPWDNB ピンを制御します。このアプリケーションでは、RRFB ピンが High になり、RCLK の立ち上がりエッジでデータをストローブします。REN 信号は使用していませんが、これも High になります。アプリケーションは対になるシリアライザ (DS90UR241) に対するものであり、RAOFF ピンは Low になってデータをスクランブル解除します。出力 (LVCMOS) 信号品質

は SLEW ピンによってセットされ、PTOSEL ピンを使用して出力バンク間に短い遅延時間を導入し、同時出力スイッチングを減らすこともできます。

#### 電源に関する考慮事項

シリアライザ、デシリアライザともに LVCMOS デバイスであるため、どちらも低消費電力です。さらに定電流源の性質を持つ差動の LVDS の採用により、LVCMOS 設計における周波数と  $I_{DD}$  の相関カーブの勾配が小さくなっています。

#### ノイズ・マージン

デシリアライザのノイズ・マージンとは、デシリアライザが確実にデータを受信できる、入力ジッタ(位相ノイズ)の総和です。さまざまな環境条件やシステム上の要因が関係します。

シリアライザ:  $V_{DD}$  ノイズ、TCLK ジッタ(ノイズ帯域幅と帯域外ノイズ)

伝送メディア: ISI、 $V_{CM}$  ノイズ

デシリアライザ:  $V_{DD}$  ノイズ

Figure 17 にノイズ・マージンの考え方を図示します。

#### 伝送メディア

シリアライザとデシリアライザは、PCB の配線パターンがツイストペア・ケーブルを介して、一対一の構成で使用できます。一対一の構成の場合、伝送メディアはトランスミッタとレシーバのペアの両側で終端する必要があります。LVDS のインターコネクには、通常 100 の差動インピーダンスがあります。差動インピーダンスの一致したケーブルとコネクタを使用して、インピーダンス不整合を最小限にします。ケーブルを含むほとんどのアプリケーションでは、伝送距離はデータ・レート、許容可能なビット・エラー・レート、および伝送メディアによって決定されます。

#### 活線挿抜

シリアライザおよびデシリアライザ・デバイスは、活線挿抜アプリケーションをサポートします。ランダム・データの「プラグ・アンド・ゴー」活線挿抜機能への自動レシーバ・ロックにより、DS90UR124 はアクティブなデータ列へのロックを活線挿抜で実現します。

#### プリント基板と電源系の注意事項

LVDS SERDES デバイスを搭載するプリント基板は、デバイスに対してノイズの少ない電源を供給するように、レイアウトと層構成を設計しなければなりません。優れたレイアウトでは、不必要にノイズを拾ったり帰還や干渉を最小にするために、高い周波数の信号および高いレベルの入出力信号の分離を行います。また、2 ~ 4 ミル程度の薄い誘電体材料を電源層とグラウンド層の間に挟むと、電源系の性能を大きく改善できる場合があります。つまり、この方式によりプリント基板の電源層の容量が増えるため、特に高周波の電源ノイズに対するフィルタ特性を改善する効果があり、併せて外付けバイパス・コンデンサの容量や配置に対する条件を緩やかにします。外付けバイパス・コンデンサは、高周波セラミック・コンデンサとタンタル電解コンデンサの両方を用いてください。高周波セラミック・コンデンサの値は、0.01  $\mu\text{F}$  から 0.1  $\mu\text{F}$  の範囲を使用します。また、タンタル・コンデンサの値は、2.2  $\mu\text{F}$  から 10  $\mu\text{F}$  の範囲です。タンタル・コンデンサの電圧定格は、使用する電源電圧の 5 倍以上にします。

コンデンサには寄生インダクタンス分が少ない表面実装品を推奨します。1 つの電源ピンに複数のコンデンサを配置する場合は、容量の小さなコンデンサの方をピン側に置きます。また大容量コンデンサをプリント基板の電源接続部分に配置してください。低周波スイッチング・ノイズを平滑化する容量は 50  $\mu\text{F}$  から 100  $\mu\text{F}$  の範囲が一般的です。電源ピンとグラウンド・ピンは電源層およびグラウンド層に直接接続し、またバイパス・コンデンサはコンデンサ

の両端に設けたビアを經由して電源層およびグラウンド層に接続することを推奨します。電源ピンまたはグラウンド・ピンからバイパス・コンデンサへ配線を行うと、電源系のインダクタンス分を増加させてしまうからです。

外付けのバイパス・コンデンサは、静電容量の温度依存性が小さい X7R 特性の、0603 などの小型チップ・コンデンサを推奨します。寸法が小さいため、コンデンサの寄生インダクタンス分も小さいという利点があります。なお設計の際には、通常 20 から 30MHz の範囲にある外付けバイパスピン・コンデンサの共鳴周波数に注意してください。また効果的なバイパスを行うために、複数のコンデンサを用いて、対象となる周波数に対する電源系のインピーダンスを下げる手法がしばしば使われます。高周波のインピーダンスを下げるため、電源ピンまたはグラウンド・ピンから各層に対して 2 つのビアを設ける手法もよく用いられています。

デバイスによっては、内部の回路部分ごとに電源ピンとグラウンド・ピンが分離されているものがあります。電源系を分離する目的は、スイッチング・ノイズの影響を回路間で遮断するためです。このようなデバイスに対して、通常、プリント基板の層を分ける必要はありません。一般にデバイスのピン説明から、どの電源 / グラウンドのペアがどの回路部分に対応するかが分かります。なお場合によっては、PLL のようなノイズに敏感な回路部分にクリーンな電源を供給するために、外部フィルタを用います。

LVDS システムのプリント基板は、電源層とグラウンド層を含む 4 層以上のものを採用してください。LVCMOS 信号系は、LVDS 信号に結合するのを防ぐため、LVDS 信号系から離して配置しなければなりません。LVDS インターコネクは一般的に、近接によってクロスト・カップリングした 100 の差動ラインを推奨します。クロスト・カップリングされたラインは、カップリング・ノイズはレシーバ端でコモンモードとして現れるため除去されます。またクロスト・カップリングのラインは、放射ノイズが少ない利点も備えます。

LVDS インターコネクでは終端が必要です。ポイント・ツー・ポイント型の接続では、デバイスの両端に終端を置かなければなりません。標準的な値は、ラインの差動インピーダンスに整合する 100 です。抵抗をトランスミッタの  $DOUT \pm$  出力およびレシーバの  $RIN \pm$  入力可能な限り近くに配置し、デバイスから終端抵抗までのスタブ長は最短にしてください。

#### LVDS インターコネクのガイドライン

詳細はアプリケーション・ノート AN-1108 と AN-905 を参照してください。

- 100 の結合された差動ペア配線を使用してください。
- 配線間隔には S/2S/3S ルールを適用してください。  
 $S$  = ペア内の配線間隔  
 $—2S$  = ペア間の配線間隔  
 $—3S$  = LVCMOS 信号との間隔
- ビアの数には可能な限り抑えてください。
- 500Mbps 以上のライン速度で動作させる場合は差動コネクタを使用してください。
- 配線のバランスを維持してください。
- ペア内のスキューを可能な限り抑えてください。
- 終端は、可能な限り TX 出力および RX 入力の近くに配置します。

LVDS に関するそのほかの一般的な設計ガイドラインは、「LVDS オーナーズ・マニュアル」として、当社ウェブサイトにて PDF 形式で用意しています (<http://www.national.com/JPN/appinfo/lvds/>)。

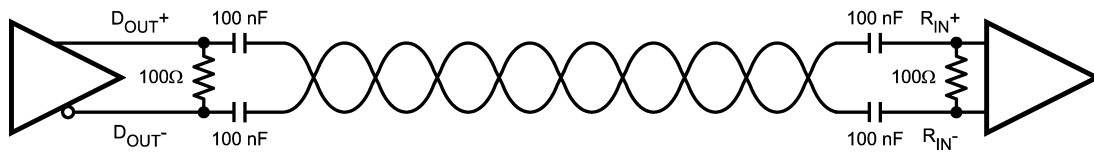
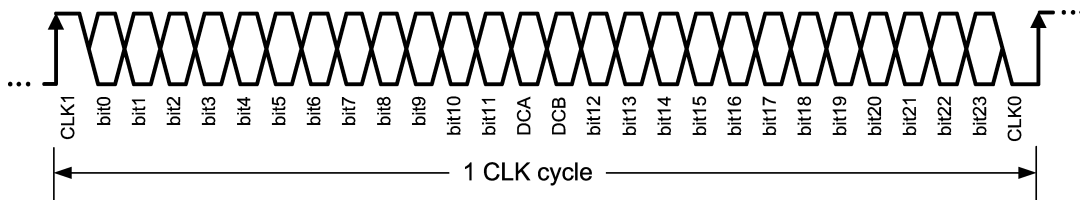


FIGURE 18. AC Coupled Application



\*Note: ビット [0-23] はスクランブルおよび DC バランスされているので、ビット [0-23] は上記の位置には物理的に存在しません。

FIGURE 19. Single Serialized LVDS Bitstream\*

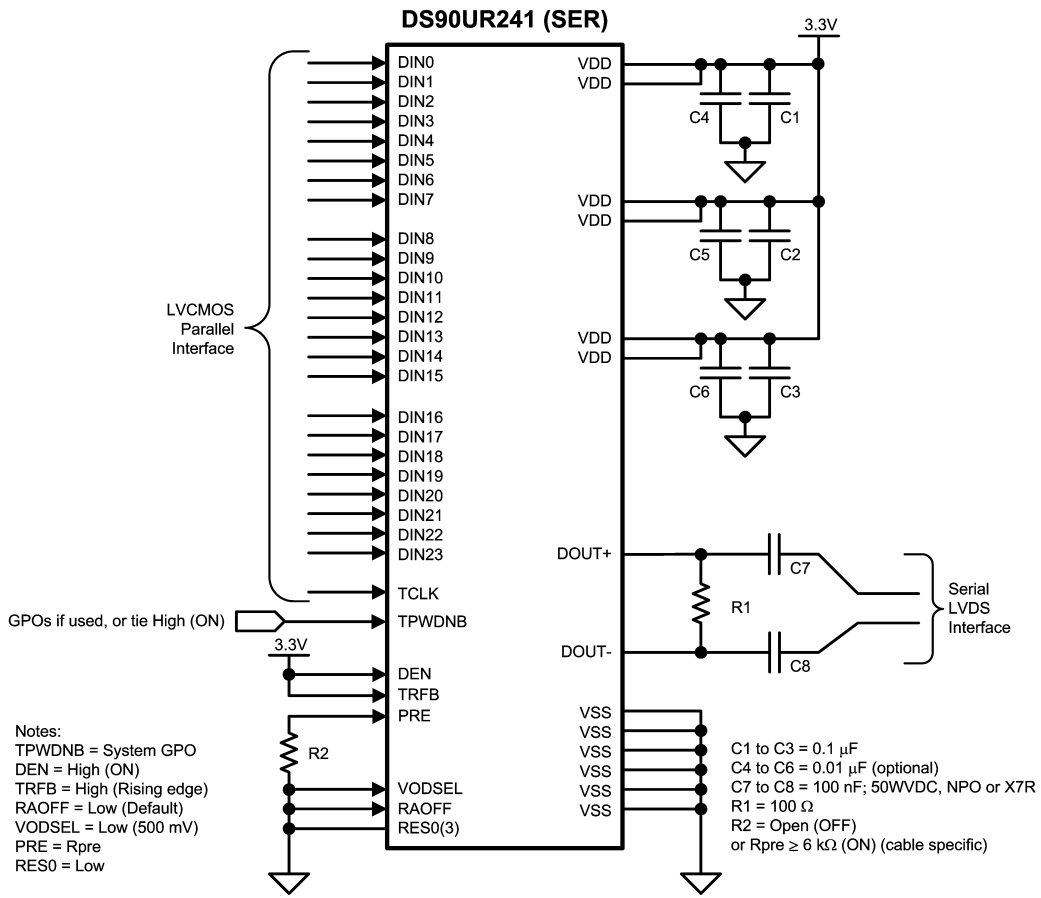


FIGURE 20. DS90UR241 Typical Application Connection



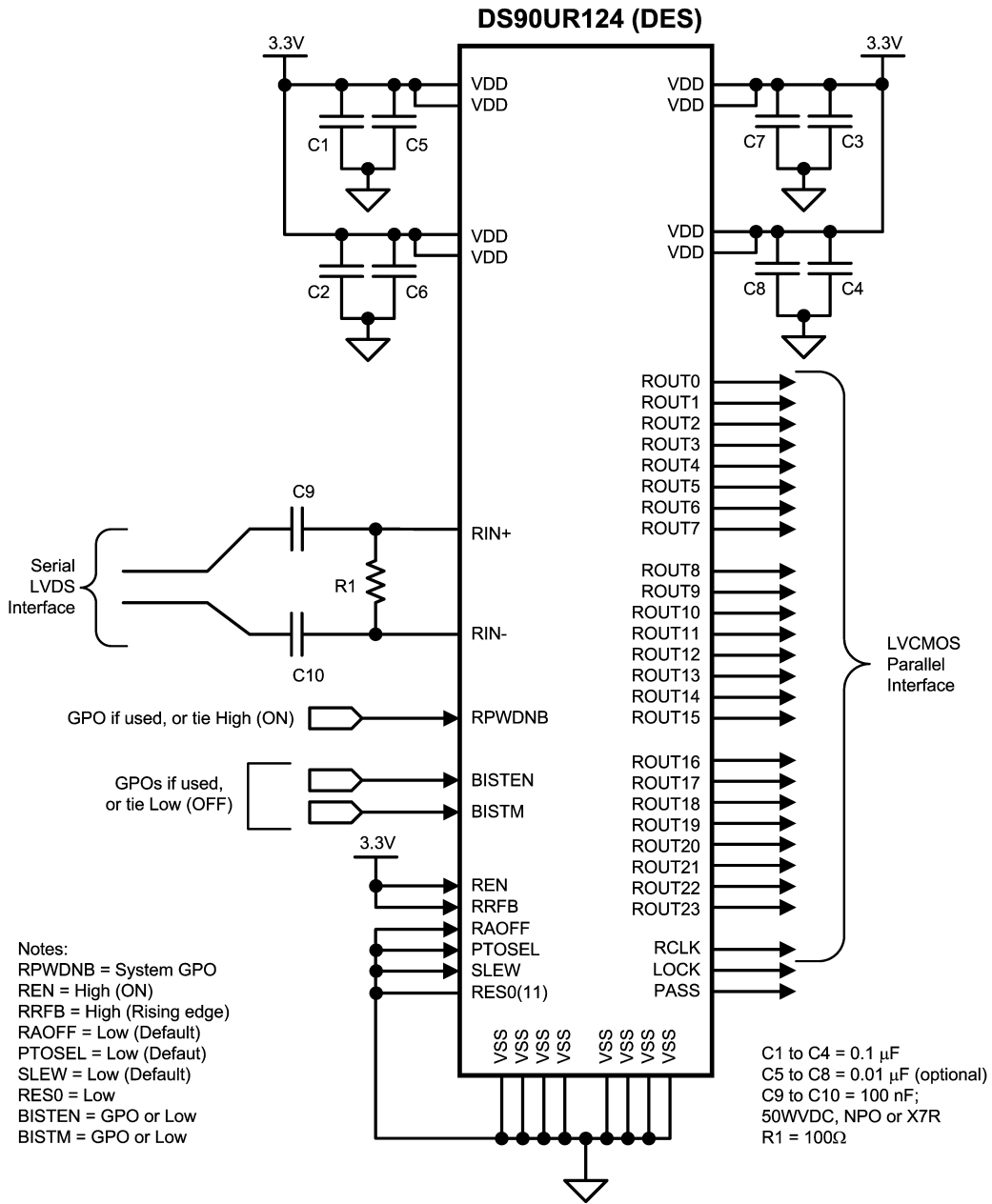


FIGURE 21. DS90UR124 Typical Application Connection

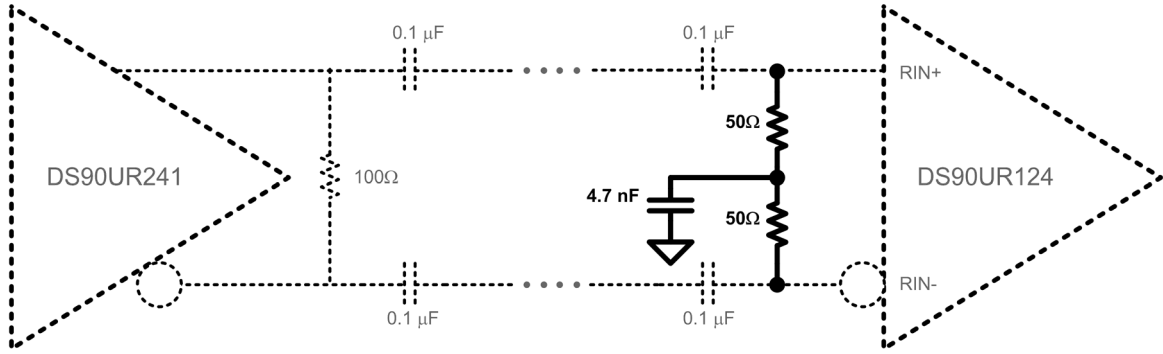


FIGURE 22. Receiver Termination Option 2

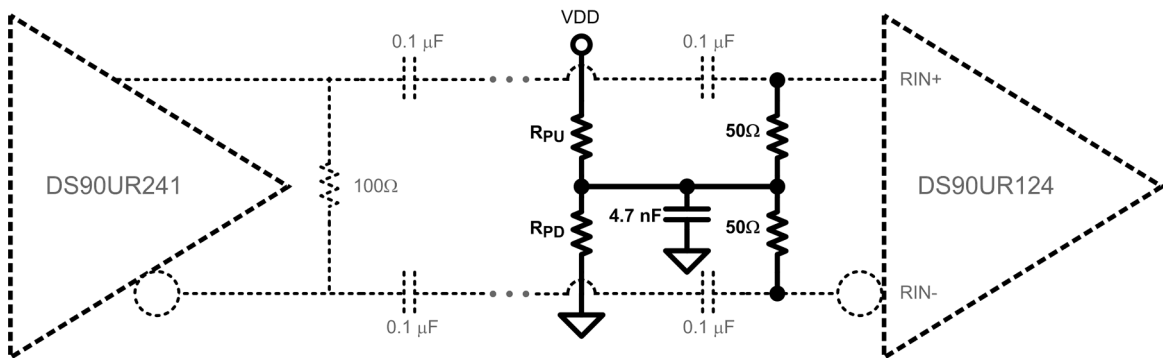


FIGURE 23. Receiver Termination Option 3

## 真理値表

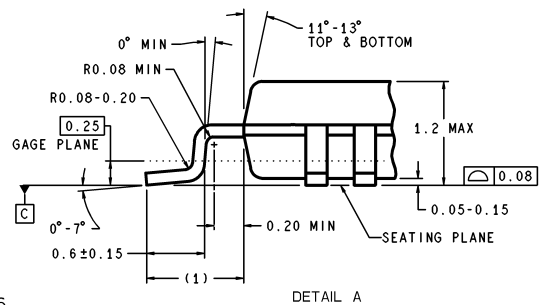
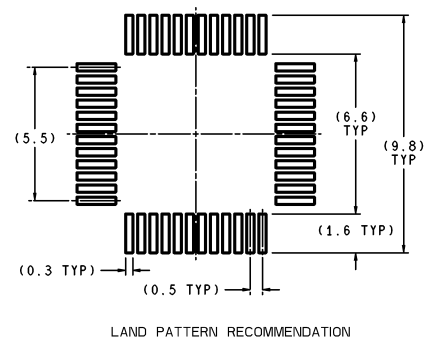
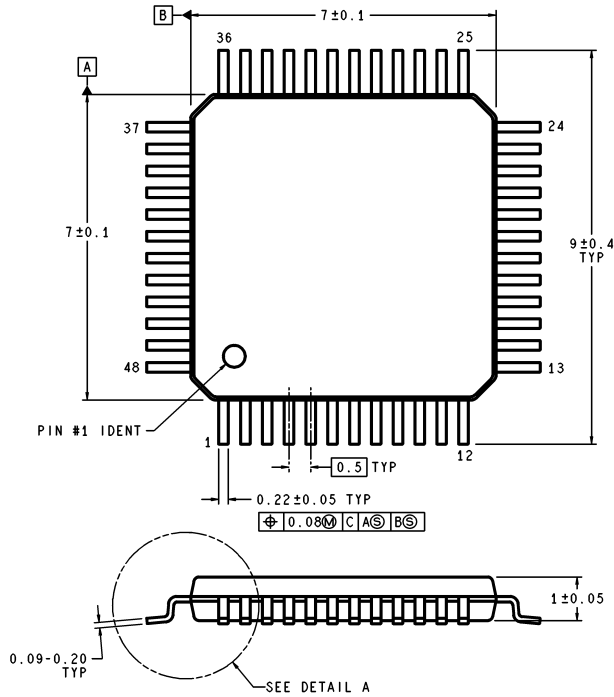
TABLE 1. DS90UR241 シリアライザの真理値表

TPWDNB (ピン 9)	DEN (ピン 18)	RAOFF (ピン 12)	Tx PLL Status (内部)	LVDS 出力 (ピン 19 および 20)
L	X	X	X	Hi Z
H	L	X	X	Hi Z
H	H	X	ロック解除状態	Hi Z
H	H	L	ロック状態	シリアライズされたデータと埋め込みクロック (DS90UR124 互換)
H	H	H	ロック状態	シリアライズされたデータと埋め込みクロック (DS90C124 互換)

TABLE 2. DS90UR124 デシリアライザ真理値表

RPWDNB (ピン 48)	REN (ピン 60)	RAOFF (ピン 63)	Rx PLL Status (内部)	ROUTn および RCLK (「ピン配置図」参照)	LOCK (ピン 23)
L	X	X	X	Hi Z	Hi Z
H	L	X	X	Hi Z	L = PLL ロック解除状態、 H = PLL ロック状態
H	H	X	ロック解除状態	Hi Z	L
H	H	L	ロック状態	データおよび RCLK アクティブ (DS90UR241 互換)	H
H	H	H	ロック状態	データおよび RCLK アクティブ (DS90C241 互換)	H

外形寸法図 単位は millimeters

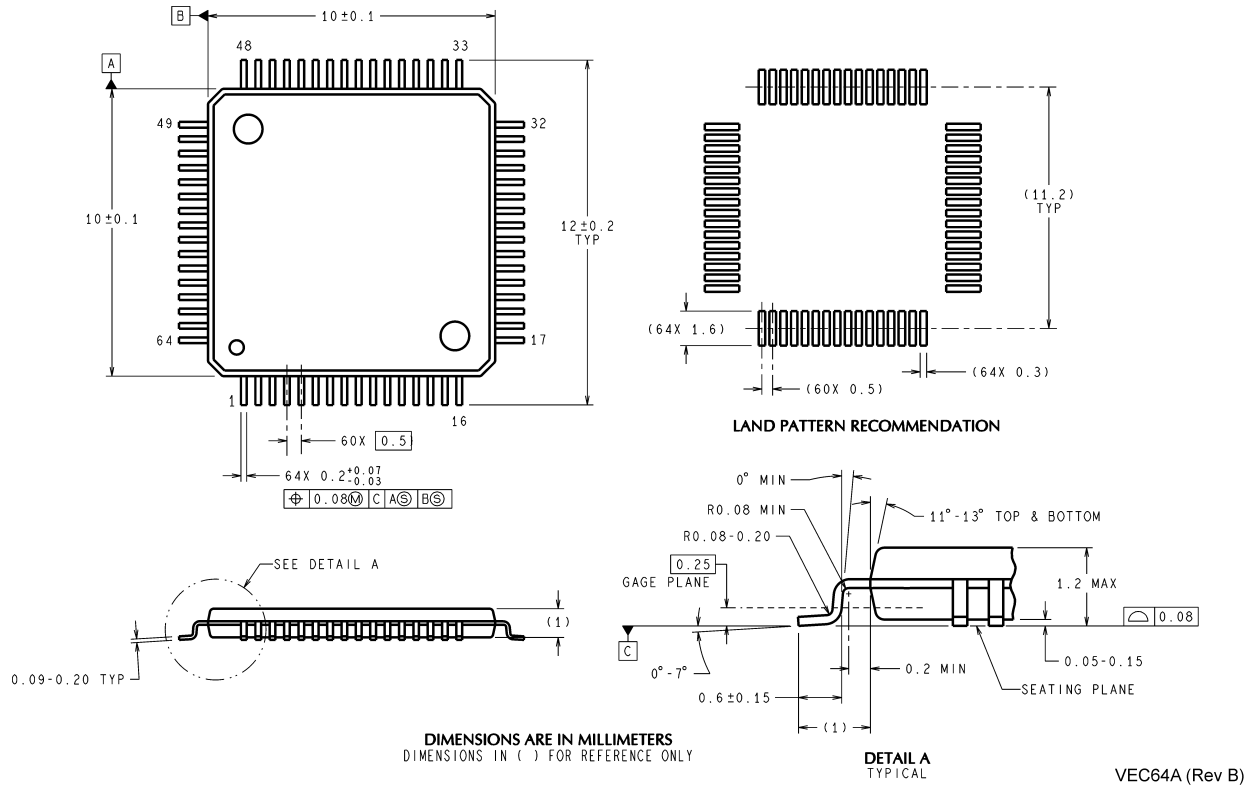


DIMENSIONS ARE IN MILLIMETERS

Dimensions show in millimeters only  
NS Package Number VBC48A

VBC48A (Rev A)

外形寸法図 単位は millimeters ( つぎ )



DIMENSIONS ARE IN MILLIMETERS  
DIMENSIONS IN ( ) FOR REFERENCE ONLY

DETAIL A  
TYPICAL

VEC64A (Rev B)

Dimensions show in millimeters only  
NS Package Number VEC64A

製品情報

NSID	Package Type	Package ID
DS90UR241QVS	48-Lead TQFP style, 7.0 X 7.0 X 1.0 mm, 0.5 mm pitch	VBC48A
DS90UR241QVSX	48-Lead TQFP style, 7.0 X 7.0 X 1.0 mm, 0.5 mm pitch, 1000 std reel	VBC48A
DS90UR241IVS	48-Lead TQFP style, 7.0 X 7.0 X 1.0 mm, 0.5 mm pitch	VBC48A
DS90UR241IVSX	48-Lead TQFP style, 7.0 X 7.0 X 1.0 mm, 0.5 mm pitch, 1000 std reel	VBC48A
DS90UR124QVS	64-Lead TQFP style, 10.0 X 10.0 X 1.0 mm, 0.5 mm pitch	VEC64A
DS90UR124QVSX	64-Lead TQFP style, 10.0 X 10.0 X 1.0 mm, 0.5 mm pitch, 1000 std reel	VEC64A
DS90UR124IVS	64-Lead TQFP style, 10.0 X 10.0 X 1.0 mm, 0.5 mm pitch	VEC64A
DS90UR124IVSX	64-Lead TQFP style, 10.0 X 10.0 X 1.0 mm, 0.5 mm pitch, 1000 std reel	VEC64A

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

#### 生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2008 National Semiconductor Corporation

製品の最新情報については [www.national.com](http://www.national.com) をご覧ください。

## ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

[www.national.com/jpn/](http://www.national.com/jpn/)

# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated (TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを含みません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2012, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上