

DS91M040

DS91M040 125 MHz Quad M-LVDS Transceiver



Literature Number: JAJ5AX5

125MHz クワッド M-LVDS トランシーバ

概要

DS91M040 は、最大 4 つのマルチポイント・ネットワークとの間でクロックまたはデータ信号を送受信できるクワッド M-LVDS トランシーバです。

M-LVDS (マルチポイント LVDS) とは、LVDS 技術を基礎にした新たなバス・インタフェース・デバイス・ファミリで、マルチポイントやマルチドロップのケーブル / バックプレーン・アプリケーション向けに設計されています。M-LVDS では標準的な LVDS に比べて駆動電流が増加しているため、マルチポイント・アプリケーションに必要な二重終端への対応が可能になりました。信号の立ち上がり / 立ち下がり推移時間を制御して、マルチポイント構成での、無終端スタブに起因する信号反射を最小限に抑えています。また、負荷が大きくてノイズの多いバックプレーン環境でノイズ・マージンが高く取れるように、同相入力電圧範囲も非常に広く取られています。

DS91M040 の各チャンネルは、ドライバの入力部で LVTTTL / LVCMOS 信号を受けて、それを差動 M-LVDS 信号のレベルに変換する半二重トランシーバです。レシーバの入力部では、小振幅差動信号 (LVDS、BLVDS、M-LVDS、LVPECL、CML) を受けて、それを 3V の LVCMOS 信号に変換します。DS91M040 は、M-LVDS タイプ 1 とタイプ 2 の両方のレシーバ入力をサポートしています。

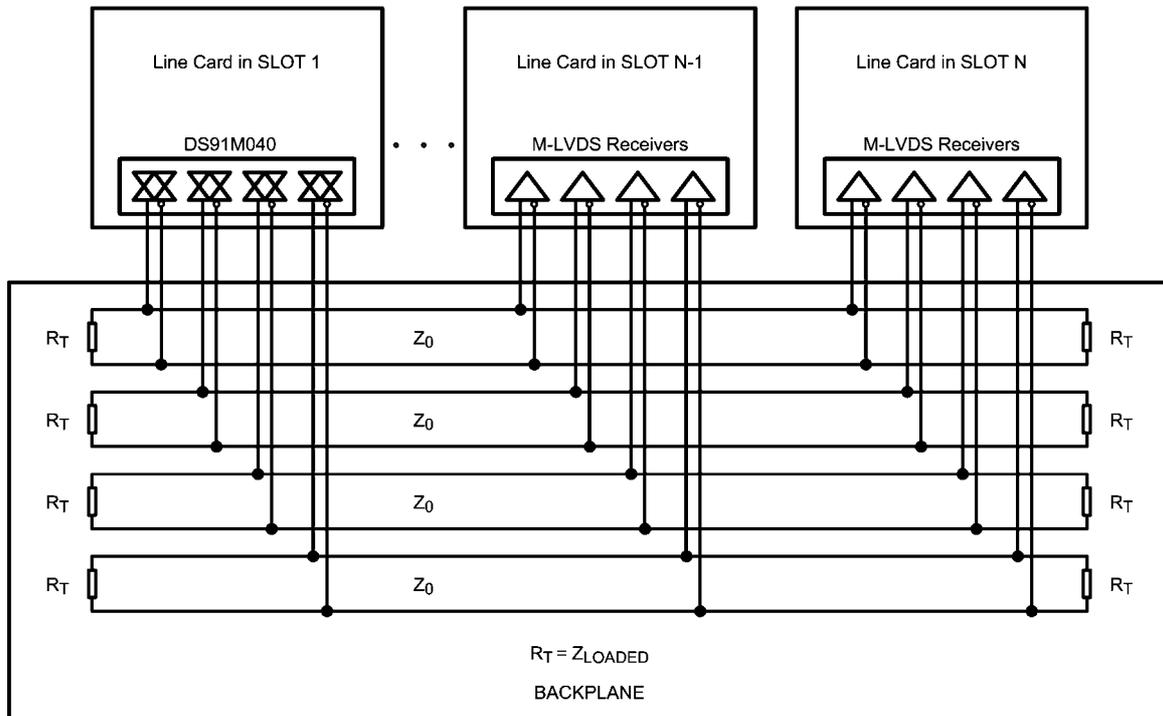
特長

- DC ~ 125MHz/250Mbps の低ジッタ、低スキュー、低消費電力
- 広い同相入力電圧範囲: 最大で GND ノイズの ± 1V まで対応
- TIA/EIA-899 M-LVDS 規格に準拠
- ピンで選択可能な M-LVDS レシーバ・タイプ (1 または 2)
- 2.0ns (typ) の制御された信号の推移時間により、信号反射を最小限に抑制
- M-LVDS I/O ピンの ESD 耐圧は 8kV で、隣接する部品を保護
- フロースルー端子により PCB レイアウトが容易
- 占有面積 5mm × 5mm の LLP-32 省スペース・パッケージ

アプリケーション

- マルチドロップとマルチポイントのクロック / データ分配
- TIA/EIA-485/422 に代わる高速、低消費電力の短距離向けトランシーバ
- AdvancedTCA (ATCA)、MicroTCA (μ TCA、uTCA) バックプレーンにおけるクロック分配

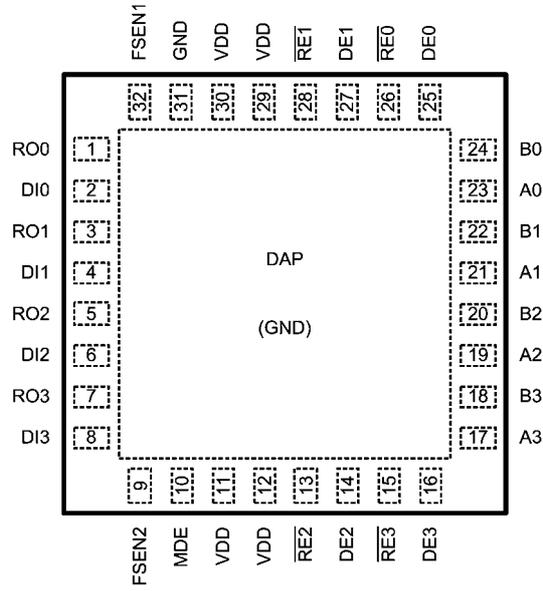
代表的なアプリケーション



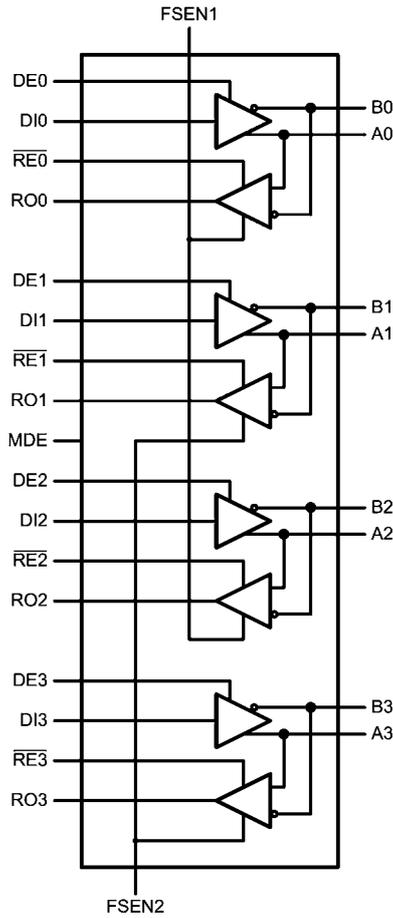
製品情報

Order Number	Receiver Input	Function	Package Type
DS91M040TSQ	Type 1 or 2	Quad M-LVDS Transciever	LLP-32

ピン配置図



論理図



ピン説明

番号	名称	I/O、タイプ	説明
1, 3, 5, 7	RO	O、LVCMOS	レシーバ出力ピン
26, 28, 13, 15	RE	I、LVCMOS	レシーバ・イネーブル・ピン。RE を High レベルにするとレシーバはディスエーブルになります。RE を Low レベルにするとレシーバはイネーブルになります。このピンには 300kΩ のプルアップ抵抗が接続されています。
25, 27, 14, 16	DE	I、LVCMOS	ドライバ・イネーブル・ピン。DE を Low レベルにするとドライバがディスエーブルになります。DE を High レベルにするとドライバがイネーブルになります。このピンには 300kΩ のプルダウン抵抗が接続されています。
2, 4, 6, 8	DI	I、LVCMOS	ドライバ入力ピン
31、DAP	GND	電源	グラウンド・ピンとグラウンド・パッド
17, 19, 21, 23	A	I/O、M-LVDS	非反転ドライバ出力ピン / 非反転レシーバ入力ピン
18, 20, 22, 24	B	I/O、M-LVDS	反転ドライバ出力ピン / 反転レシーバ入力ピン
11, 12, 29, 30	V _{DD}	電源	電源ピン、+ 3.3V ± 0.3V
32	FSEN1	I、LVCMOS	300kΩ プルアップ抵抗内蔵フェイルセーフ・イネーブル・ピン。このピンは、入力 0 と入力 2 のタイプ 2 レシーバをイネーブルにします。 FSEN1 = L → タイプ 1 レシーバ入力 FSEN1 = H → タイプ 2 レシーバ入力
9	FSEN2	I、LVCMOS	300kΩ プルアップ抵抗内蔵フェイルセーフ・イネーブル・ピン。このピンは、入力 1 と入力 3 のタイプ 2 レシーバをイネーブルにします。 FSEN2 = L → タイプ 1 レシーバ入力 FSEN2 = H → タイプ 2 レシーバ入力
10	MDE	I、LVCMOS	マスタ・イネーブル・ピン。MDE を H にすると、デバイスがパワーオン状態になります。MDE を L にすると、すべての制御が無効になり、デバイスがパワーダウン状態になります。

M-LVDS レシーバの種類

EIA/TIA-899 M-LVDS 規格には、レシーバの入力部が 2 種類規定してあります。タイプ 1 のレシーバのスレッシュホールドは、入力信号の振幅のちょうど中間の電圧 ($V_{ID}/2$) を中心電圧に設定した従来のスレッシュホールドです。タイプ 2 のレシーバは、 $V_{ID}/2$ よりも 100mV 高いオフセット電圧が最初から設定してあります。タイプ 2 のレシーバに設定されたオフセット電圧は、その入力ピンが開放されたときにも短絡したときにも常に出力ピンが Low レベルになるフェイルセーフ回路としての機能を果たします。

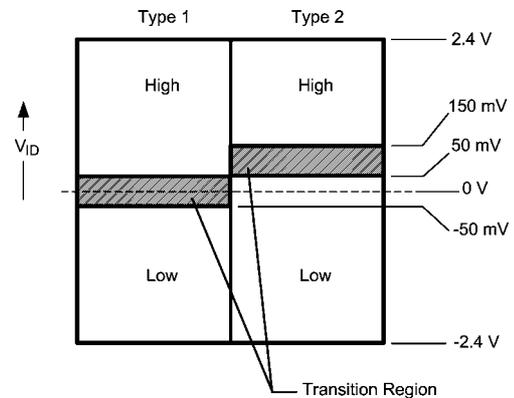


FIGURE 1. M-LVDS Receiver Input Thresholds

絶対最大定格 (Note 4)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電氣的信頼性試験方法の規格を参照ください。

電源電圧	- 0.3V ~ + 4V
LVCOS 入力電圧	- 0.3V ~ (V _{DD} + 0.3V)
LVCOS 出力電圧	- 0.3V ~ (V _{DD} + 0.3V)
M-LVDS 入出力電圧	- 1.9V ~ + 5.5V
M-LVDS 出力短絡電流 継続許容時間	連続
接合部温度	+ 140 °C
保存温度範囲	- 65 °C ~ + 150 °C
リード許容温度	
ハンダ付け (4 秒)	+ 260 °C
パッケージの最大許容損失 (周囲温度 + 25 °C において)	
SQ パッケージ	3.91W
ディレーティング SQ パッケージ	25 °C より高温で 34mW/ °C
パッケージ熱抵抗 (4 層 2 オンス銅箔、JEDEC)	
θ _{JA}	+ 29.4 °C /W
θ _{JC}	+ 2.8 °C /W

ESD 耐圧

人体モデル (Note 1)	≥ 8kV
マシン・モデル (Note 2)	≥ 250V
デバイス帯電モデル (Note 3)	≥ 1250V

Note 1: 人体モデル、適用規格 JESD22-A114C

Note 2: マシン・モデル、適用規格 JESD22-A115-A

Note 3: 電場 (界) 誘導帯電モデル、適用規格 JESD22-C101-C

推奨動作条件

	Min	Typ	Max	単位
電源電圧範囲 (V _{DD})	3.0	3.3	3.6	V
バス端末での電圧 (分離または同相電圧)	-1.4		+ 3.8	V
差動入力電圧 V _{ID}			2.4	V
LVTTL 入力電圧 (High レベル) V _{IH}	2.0		V _{DD}	V
LVTTL 入力電圧 (Low レベル) V _{IL}	0		0.8	V
動作周囲温度 T _A	-40	+ 25	+ 85	°C

DC 電氣的特性 (Note 5、Note 6、Note 7、Note 9)

特記のない限り、推奨動作条件の電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units	
M-LVDS Driver							
V _{AB}	Differential output voltage magnitude	R _L = 50Ω, C _L = 5 pF	480		650	mV	
ΔV _{AB}	Change in differential output voltage magnitude between logic states	Figures 2, 4	-50	0	+50	mV	
V _{OS(SS)}	Steady-state common-mode output voltage	R _L = 50Ω, C _L = 5 pF	0.3	1.6	2.1	V	
ΔV _{OS(SS)}	Change in steady-state common-mode output voltage between logic states	Figures 2, 3	0		+50	mV	
V _{A(OC)}	Maximum steady-state open-circuit output voltage	Figure 5	0		2.4	V	
V _{B(OC)}	Maximum steady-state open-circuit output voltage		0		2.4	V	
V _{P(H)}	Voltage overshoot, low-to-high level output (Note 12)	R _L = 50Ω, C _L = 5pF, C _D = 0.5 pF Figures 7, 8			1.2V _{SS}	V	
V _{P(L)}	Voltage overshoot, high-to-low level output (Note 12)		-0.2V _S s			V	
I _{IH}	High-level input current (LVTTL inputs)	V _{IH} = 3.6V	-15		15	μA	
I _{IL}	Low-level input current (LVTTL inputs)	V _{IL} = 0.0V	-15		15	μA	
V _{CL}	Input Clamp Voltage (LVTTL inputs)	I _{IN} = -18 mA	-1.5			V	
I _{OS}	Differential short-circuit output current (Note 8)	Figure 6	-43		43	mA	
M-LVDS Receiver							
V _{IT+}	Positive-going differential input voltage threshold	See Function Tables	Type 1		16	50	mV
			Type 2		100	150	mV
V _{IT-}	Negative-going differential input voltage threshold	See Function Tables	Type 1	-50	20		mV
			Type 2	50	94		mV
V _{OH}	High-level output voltage (LVTTL output)	I _{OH} = -8mA	2.4	2.7		V	
V _{OL}	Low-level output voltage (LVTTL output)	I _{OL} = 8mA		0.28	0.4	V	
I _{OZ}	TRI-STATE output current	V _O = 0V or 3.6V	-10		10	μA	
I _{OSR}	Short-circuit receiver output current (LVTTL output)	V _O = 0V		-50	-90	mA	

DC 電気的特性 (Note 5、Note 6、Note 7、Note 9) (つづき)

特記のない限り、推奨動作条件の電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
M-LVDS Bus (Input and Output) Pins						
I_A	Transceiver input/output current	$V_A = 3.8V, V_B = 1.2V$			32	μA
		$V_A = 0V \text{ or } 2.4V, V_B = 1.2V$	-20		+20	μA
		$V_A = -1.4V, V_B = 1.2V$	-32			μA
I_B	Transceiver input/output current	$V_B = 3.8V, V_A = 1.2V$			32	μA
		$V_B = 0V \text{ or } 2.4V, V_A = 1.2V$	-20		+20	μA
		$V_B = -1.4V, V_A = 1.2V$	-32			μA
I_{AB}	Transceiver input/output differential current ($I_A - I_B$)	$V_A = V_B, -1.4V \leq V \leq 3.8V$	-4		+4	μA
$I_{A(OFF)}$	Transceiver input/output power-off current	$V_A = 3.8V, V_B = 1.2V,$ $DE = 0V$ $0V \leq V_{DD} \leq 1.5V$			32	μA
		$V_A = 0V \text{ or } 2.4V, V_B = 1.2V,$ $DE = 0V$ $0V \leq V_{DD} \leq 1.5V$	-20		+20	μA
		$V_A = -1.4V, V_B = 1.2V,$ $DE = 0V$ $0V \leq V_{DD} \leq 1.5V$	-32			μA
$I_{B(OFF)}$	Transceiver input/output power-off current	$V_B = 3.8V, V_A = 1.2V,$ $DE = 0V$ $0V \leq V_{DD} \leq 1.5V$			32	μA
		$V_B = 0V \text{ or } 2.4V, V_A = 1.2V,$ $DE = 0V$ $0V \leq V_{DD} \leq 1.5V$	-20		+20	μA
		$V_B = -1.4V, V_A = 1.2V,$ $DE = 0V$ $0V \leq V_{DD} \leq 1.5V$	-32			μA
$I_{AB(OFF)}$	Transceiver input/output power-off differential current ($I_{A(OFF)} - I_{B(OFF)}$)	$V_A = V_B, -1.4V \leq V \leq 3.8V,$ $DE = 0V$ $0V \leq V_{DD} \leq 1.5V$	-4		+4	μA
C_A	Transceiver input/output capacitance	$V_{DD} = \text{OPEN}$		7.8		pF
C_B	Transceiver input/output capacitance			7.8		pF
C_{AB}	Transceiver input/output differential capacitance			3		pF
$C_{A/B}$	Transceiver input/output capacitance balance (C_A/C_B)			1		

SUPPLY CURRENT (V_{CC})

I_{CCD}	Driver Supply Current	$R_L = 50\Omega, DE = H, \overline{RE} = H$		67	75	mA
I_{CCZ}	TRI-STATE Supply Current	$DE = L, \overline{RE} = H$		22	26	mA
I_{CCR}	Receiver Supply Current	$DE = L, \overline{RE} = L$		32	38	mA
I_{CCPD}	Power Down Supply Current	$MDE = L$		3	5	mA

Note 4: 絶対最大定格は、ICに破壊が発生したり、使用不能になったり、信頼性や性能が低下する可能性のあるリミット値を示します。これは、絶対最大定格において、または推奨動作条件に示されている動作条件を越える条件でこのデバイスが有効に機能することや品質が劣化しないことは意味していません。推奨動作条件とは、このデバイスが有効に機能する条件を示しており、これらを超えた条件ではこのデバイスを使用しないように注意してください。

Note 5: 電気的特性の表は、推奨動作条件で使用した場合に保証される特性を示しています。ただし、電気的特性や注記で特に変更または指定している場合はその限りではありません。代表値は推定値であり、この値を保証しているものではありません。

Note 6: デバイス・ピンに流れ込む電流を正と定義し、デバイス・ピンから流れ出る電流を負と定義しています。 V_{OD} 、 ΔV_{OD} 以外の電圧はすべてグラウンドを基準としています。

Note 7: 代表値は、 $V_{DD} = +3.3V$ 、 $T_A = +25^\circ C$ で、製品の特性を評価した時点における推奨動作条件下での最も可能性のあるパラメータの基準値を表しており、保証値ではありません。

Note 8: 出力短絡電流 (I_{OS}) は大きさのみを表し、マイナス符号は電流の流れる方向のみを表しています。

Note 9: C_L には取付具の静電容量が含まれ、 C_D にはプローブの静電容量が含まれます。

スイッチング特性 (Note 10、Note 11、Note 17)

特記のない限り、推奨動作条件の電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
DRIVER AC SPECIFICATIONS						
t_{PLH}	Differential Propagation Delay Low to High	$R_L = 50\Omega, C_L = 5\text{ pF}$	1.5	3.3	5.5	ns
t_{PHL}	Differential Propagation Delay High to Low	$C_D = 0.5\text{ pF}$	1.5	3.3	5.5	ns
t_{SKD1}	Pulse Skew (Note 12, Note 13)	Figures 7, 8		30	125	ps
t_{SKD2}	Channel-to-Channel Skew (Note 12, Note 14)			100	200	ps
t_{SKD3}	Part-to-Part Skew (Note 12, Note 15)			0.8	1.6	ns
t_{SKD4}	Part-to-Part Skew (Note 12, Note 16)				4	ns
t_{TLH}	Rise Time (Note 12)		1.2	2.0	3.0	ns
t_{THL}	Fall Time (Note 12)		1.2	2.0	3.0	ns
t_{PZH}	Enable Time (Z to Active High)	$R_L = 50\Omega, C_L = 5\text{ pF}$		7.5	11.5	ns
t_{PZL}	Enable Time (Z to Active Low)	$C_D = 0.5\text{ pF}$		8.0	11.5	ns
t_{PLZ}	Disable Time (Active Low to Z)	Figures 9, 10		7.0	11.5	ns
t_{PHZ}	Disable Time (Active High to Z)			7.0	11.5	ns
RECEIVER AC SPECIFICATIONS						
t_{PLH}	Propagation Delay Low to High	$C_L = 15\text{ pF}$	1.5	3.0	4.5	ns
t_{PHL}	Propagation Delay High to Low	Figures 11, 12, 13	1.5	3.1	4.5	ns
t_{SKD1A}	Pulse Skew (Receiver Type 1) (Note 12, Note 13)			55	325	ps
t_{SKD1B}	Pulse Skew (Receiver Type 2) (Note 12, Note 13)			475	800	ps
t_{SKD2}	Channel-to-Channel Skew (Note 12, Note 14)			60	300	ps
t_{SKD3}	Part-to-Part Skew (Note 12, Note 15)			0.6	1.2	ns
t_{SKD4}	Part-to-Part Skew (Note 16)				3	ns
t_{TLH}	Rise Time (Note 12)		0.3	1.1	1.6	ns
t_{THL}	Fall Time (Note 12)		0.3	0.65	1.6	ns
t_{PZH}	Enable Time (Z to Active High)	$R_L = 500\Omega, C_L = 15\text{ pF}$		3	5.5	ns
t_{PZL}	Enable Time (Z to Active Low)	Figures 14, 15		3	5.5	ns
t_{PLZ}	Disable Time (Active Low to Z)			3.5	5.5	ns
t_{PHZ}	Disable Time (Active High to Z)			3.5	5.5	ns
GENERIC AC SPECIFICATIONS						
t_{WKUP}	Wake Up Time (Note 12) (Master Device Enable (MDE) time)				500	ms
f_{MAX}	Maximum Operating Frequency (Note 12)		125			MHz

Note 10: 電気的特性の表は、推奨動作条件で使用した場合に保証される特性を示しています。ただし、電気的特性や注記で特に変更または指定している場合はその限りではありません。代表値は推定値であり、この値を保証しているものではありません。

Note 11: 代表値は、 $V_{DD} = +3.3V$ 、 $T_A = +25^\circ C$ で、製品の特性を評価した時点における推奨動作条件下での最も可能性のあるパラメータの基準値を表しており、保証値ではありません。

Note 12: 仕様値は特性の評価により保証されている値で、量産時における試験は行っていません。

Note 13: t_{SKD1} 、 $|t_{PLHD} - t_{PHLD}|$ 、パルス・スキューは、同チャンネルの立ち上がりエッジと立ち下がりエッジとの間の伝搬遅延時間の差の大きさを表しています。

Note 14: チャンネル間スキュー t_{SKD2} は、全出力チャンネルの間の伝搬遅延時間の差を表しています (t_{PLHD} または t_{PHLD})。

Note 15: デバイス間スキュー t_{SKD3} は、規定されている差動伝搬遅延時間の最小値と最大値の差として定義されています。本仕様は、双方のデバイスに同じ電源電圧 V_{DD} が供給されていて、動作温度範囲内で温度差が $5^\circ C$ 以内の場合に適用されます。

Note 16: デバイス間スキュー t_{SKD4} は、任意のデバイス間事象に対する差動チャンネル間スキューとして定義されています。本仕様は、推奨動作温度と電圧範囲全域に適用され、プロセスばらつきを含みます。 t_{SKD4} は差動伝搬遅延時間の最大、最小の差の絶対値 $|Max - Min|$ として定義されています。

Note 17: C_L には取付具の静電容量が含まれ、 C_D にはプローブの静電容量が含まれます。

Note 18: ヒストグラムを使用してクロック信号のエッジで、1500 回分のヒストグラムの累積で測定。入力信号源に起因するジッタは幾何学的に減算されます。

テスト回路と波形

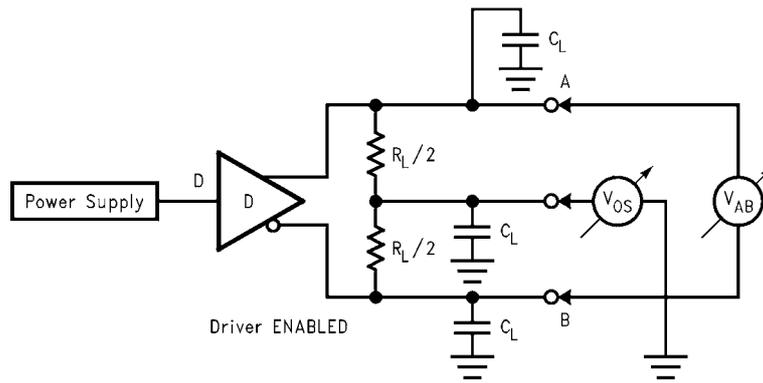


FIGURE 2. Differential Driver Test Circuit

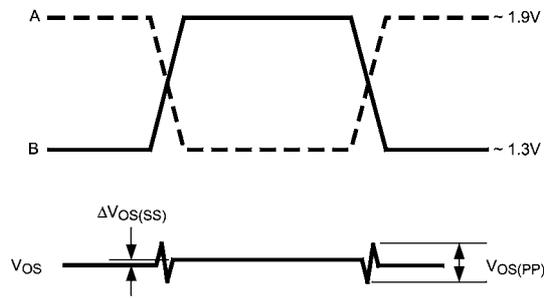


FIGURE 3. Differential Driver Waveforms

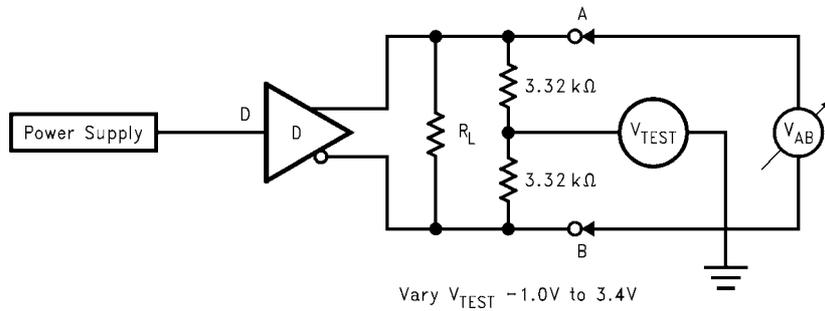


FIGURE 4. Differential Driver Full Load Test Circuit

テスト回路と波形 (つづき)

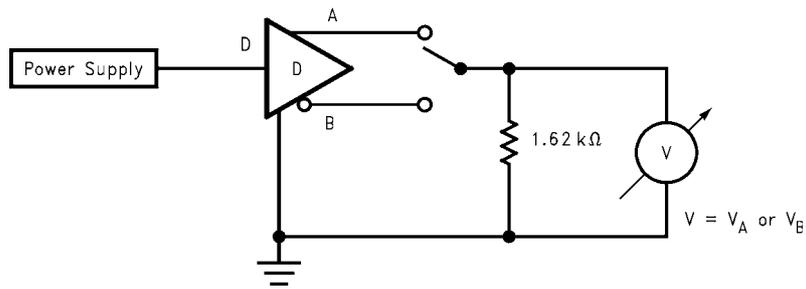


FIGURE 5. Differential Driver DC Open Test Circuit

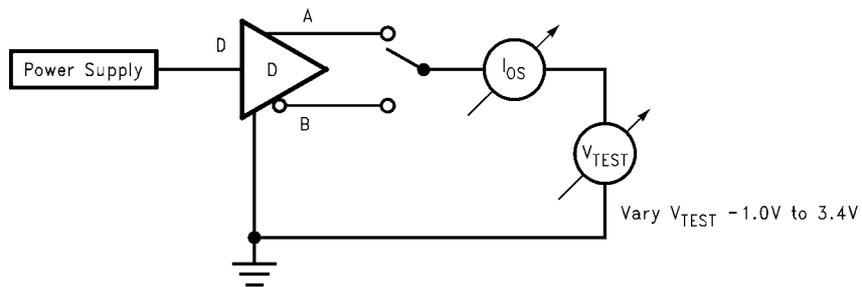


FIGURE 6. Differential Driver Short-Circuit Test Circuit

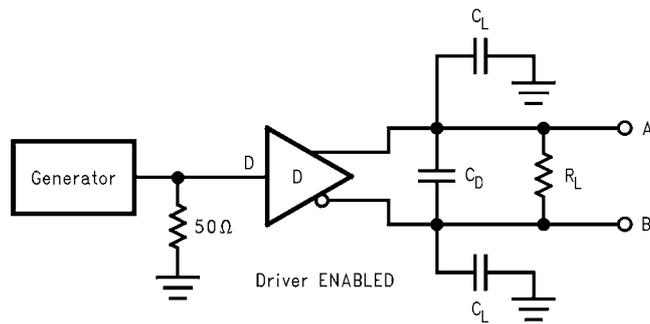


FIGURE 7. Driver Propagation Delay and Transition Time Test Circuit

テスト回路と波形 (つづき)

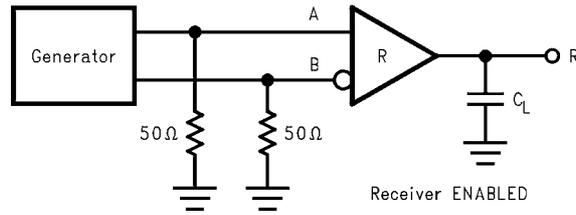


FIGURE 11. Receiver Propagation Delay and Transition Time Test Circuit

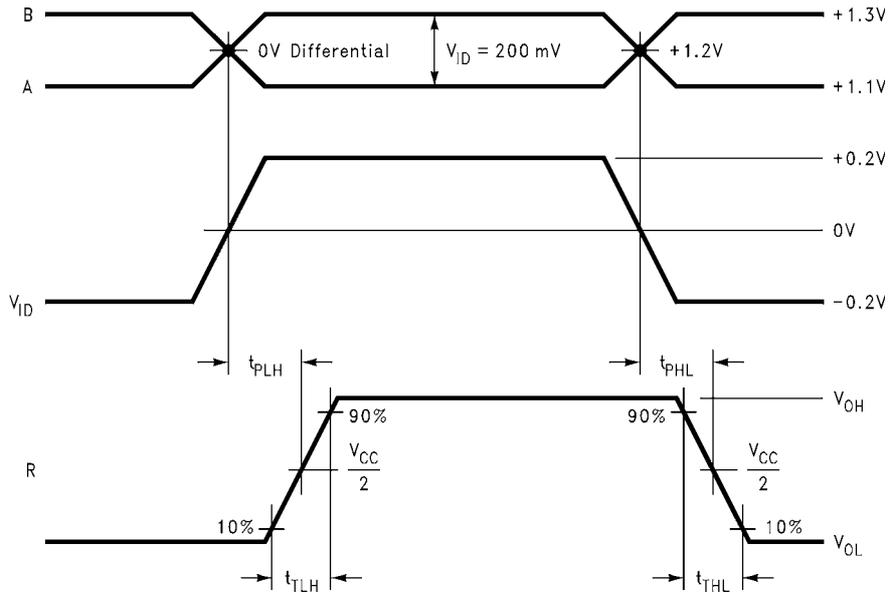


FIGURE 12. Type 1 Receiver Propagation Delay and Transition Time Waveforms

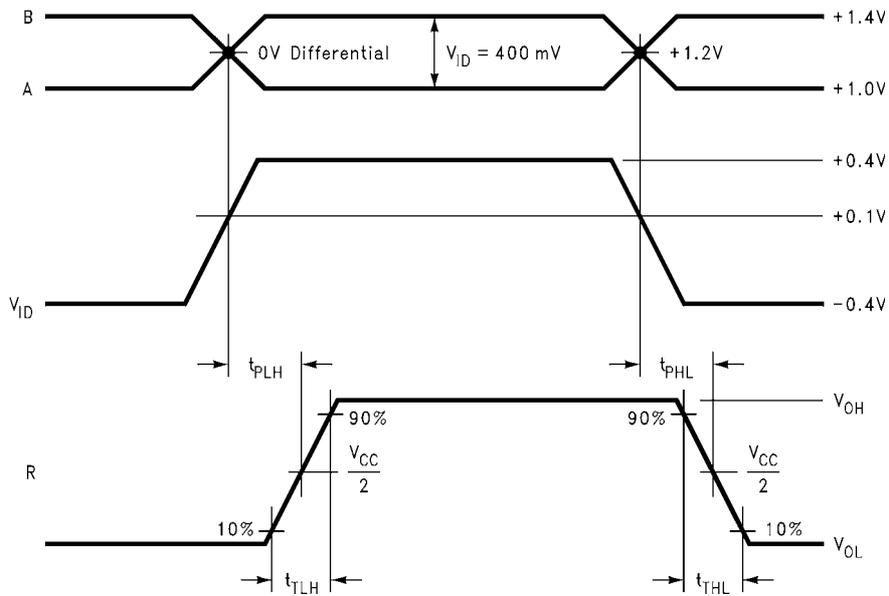


FIGURE 13. Type 2 Receiver Propagation Delay and Transition Time Waveforms

テスト回路と波形 (つづき)

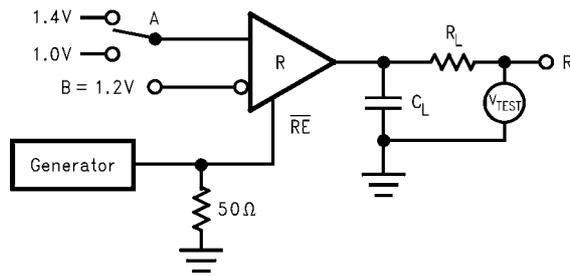


FIGURE 14. Receiver TRI-STATE Delay Test Circuit

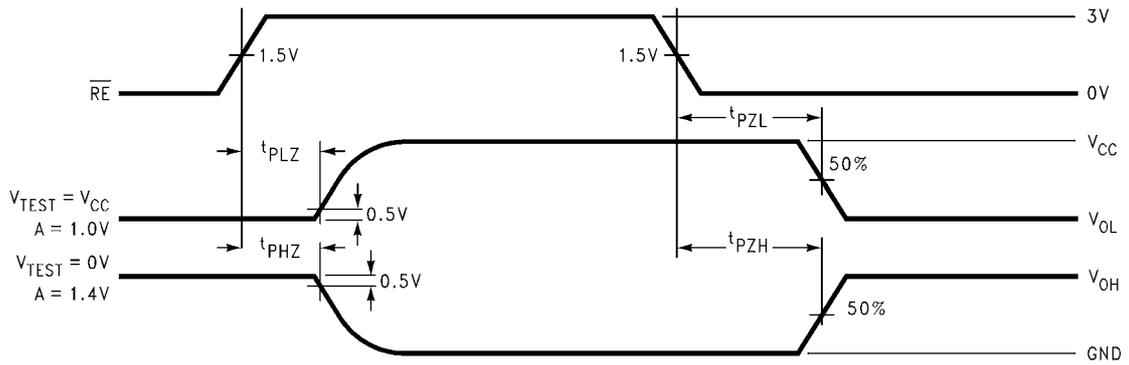


FIGURE 15. Receiver TRI-STATE Delay Waveforms

真理値表

DS91M040 での送信

Inputs			Outputs	
RE	DE	DI	B	A
X	H	H	L	H
X	H	L	H	L
X	L	X	Z	Z

X—指定なし

Z—高インピーダンス状態

タイプ 1 としての DS91M040 での受信

Inputs				Output
FSEN	RE	DE	A - B	RO
L	L	X	$\geq +0.05V$	H
L	L	X	$\leq -0.05V$	L
L	L	X	$-0.05V \leq A-B \leq +0.05V$	Undefined
L	H	X	X	Z

X—指定なし

Z—高インピーダンス状態

タイプ 2 としての DS91M040 での受信

Inputs				Output
FSEN	RE	DE	A - B	RO
H	L	X	$\geq +0.15V$	H
H	L	X	$\leq +0.05V$	L
H	L	X	$+0.05V \leq A-B \leq +0.15V$	Undefined
H	H	X	X	Z

X—指定なし

Z—高インピーダンス状態

DS91M040 タイプ 1 レシーバの入カスレッシュホールド・テスト電圧

Applied Voltages		Resulting Differential Input Voltage	Resulting Common-Mode Input Voltage	Receiver Output
V_{IA}	V_{IB}	V_{ID}	V_{ICM}	R
2.400V	0.000V	2.400V	1.200V	H
0.000V	2.400V	-2.400V	1.200V	L
3.800V	3.750V	0.050V	3.775V	H
3.750V	3.800V	-0.050V	3.775V	L
-1.350V	-1.400V	0.050V	-1.375V	H
-1.400V	-1.350V	-0.050V	-1.375V	L

H—High レベル

L—Low レベル

出力状態は、レシーバがイネーブルであること ($\overline{RE} = L$) を前提としています。

DS91M040 タイプ 2 レシーバの入カスレッシュホールド・テスト電圧

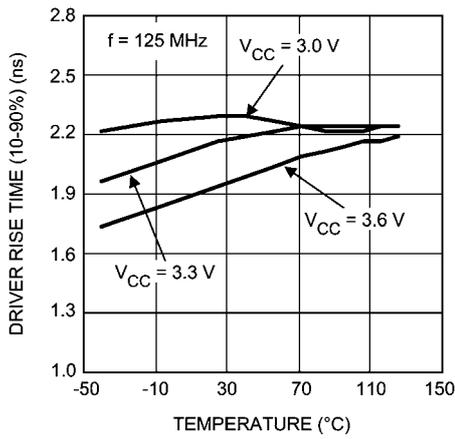
Applied Voltages		Resulting Differential Input Voltage	Resulting Common-Mode Input Voltage	Receiver Output
V_{IA}	V_{IB}	V_{ID}	V_{IC}	R
2.400V	0.000V	2.400V	1.200V	H
0.000V	2.400V	-2.400V	1.200V	L
3.800V	3.650V	0.150V	3.725V	H
3.800V	3.750V	0.050V	3.775V	L
-1.250V	-1.400V	0.150V	-1.325V	H
-1.350V	-1.400V	0.050V	-1.375V	L

H—High レベル

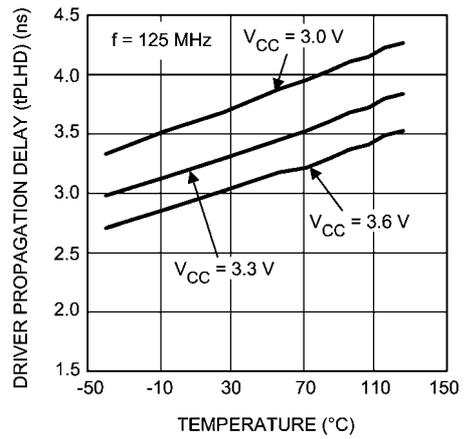
L—Low レベル

出力状態は、レシーバがイネーブルであること ($\overline{RE} = L$) を前提としています。

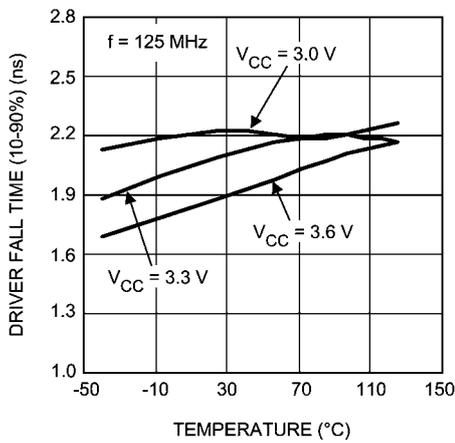
代表的な性能特性



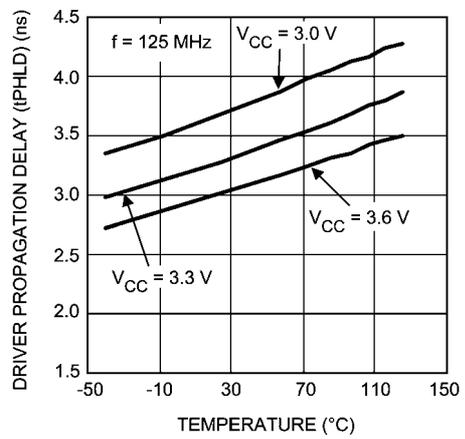
Driver Rise Time as a Function of Temperature



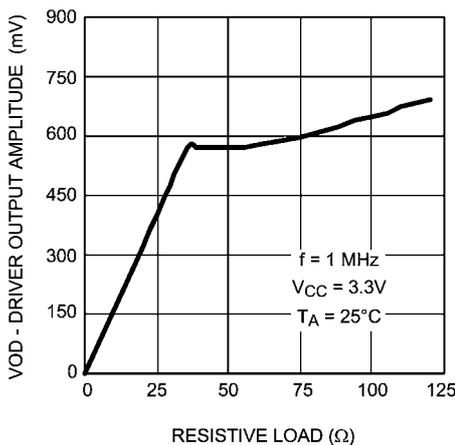
Driver Propagation Delay (tPLHD) as a Function of Temperature



Driver Fall Time as a Function of Temperature

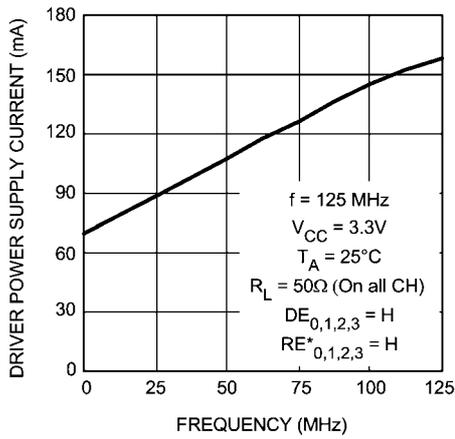


Driver Propagation Delay (tPHLD) as a Function of Temperature

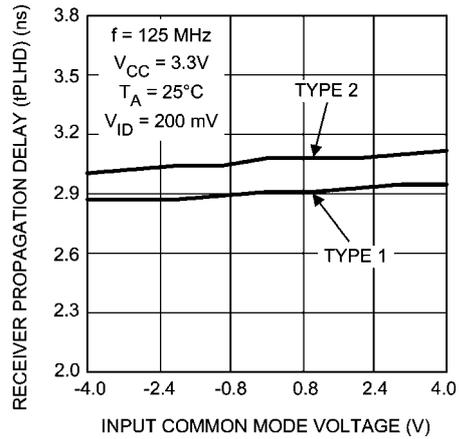


Driver Output Signal Amplitude as a Function of Resistive Load

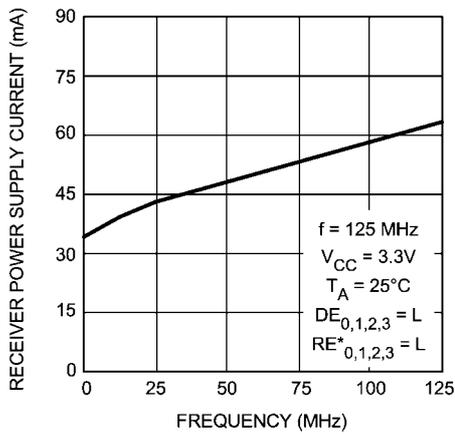
代表的な性能特性 (つづき)



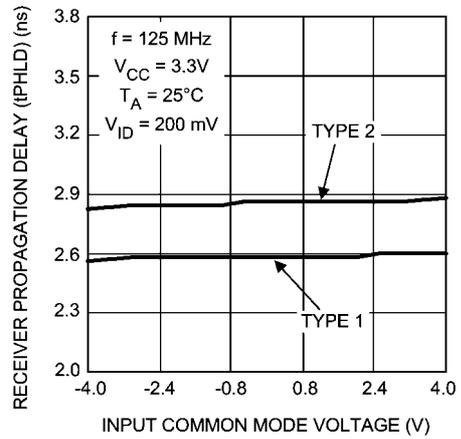
Driver Power Supply Current as a Function of Frequency



Receiver Propagation Delay (tPLHD) as a Function of Input Common Mode Voltage

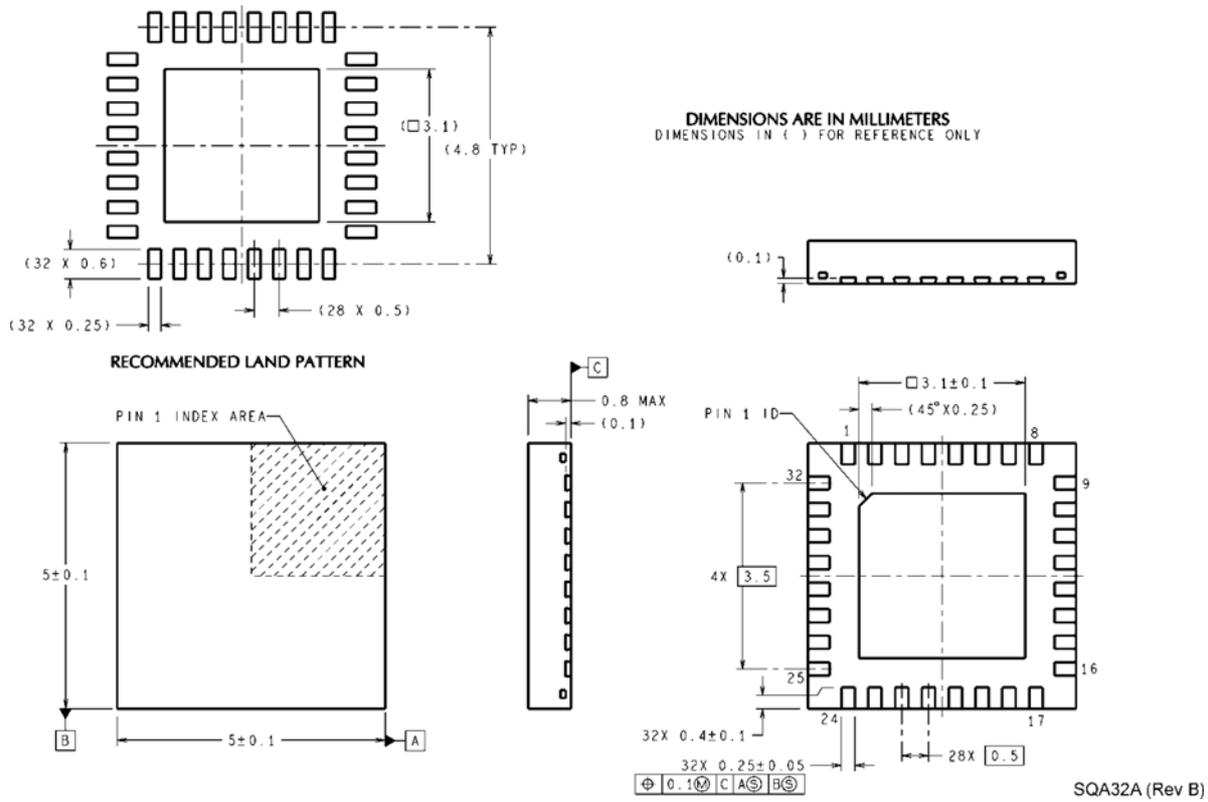


Receiver Power Supply Current as a Function of Frequency



Receiver Propagation Delay (tPHLD) as a Function of Input Common Mode Voltage

外形寸法図 特記のない限り inches (millimeters)



Order Number DS91M040TSQ
See NS package Number SQA32A
(See AN-1187 for PCB Design and Assembly Recommendations)

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売か使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2011 National Semiconductor Corporation

製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

本資料に掲載されているすべての回路の使用に起因する第三者の特許権その他の権利侵害に関して、弊社ではその責を負いません。また掲載内容は予告無く変更されることがありますのでご了承ください。

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated (TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを含みません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしているとして特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2012, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上