

DS92001

DS92001 3.3V B/LVDS-BLVDS Buffer



Literature Number: JAJ976

3.3V B/LVDS-BLVDS バッファ

概要

DS92001 は、BLVDS 入力信号から BLVDS 出力信号を生成する B/LVDS-BLVDS バッファです。さまざまな大規模システムでは信号をバックプレーンを介して分配する必要があります。スタブ長と呼ばれるバックプレーン伝送線路から個々のカード上の無終端レシーバまでの配線長が、システムの動作速度を制限する 1 つの要因となっています。一般にこのようなバス・システムの性能を高めるにはスタブ長を可能な限り短くすべきとされていますが、実際の装置設計ではさまざまな課題が存在し、設計者が望むとおりにスタブ長を短くするのは容易ではありません。

DS92001 は、200MHz 程度以下のスイッチング周波数を持つマルチドロップ型バックプレーンに適したエッジ遷移特性を備えています。長いスタブ長を持つようなシステムでは出力のエッジ・レートがクリティカルとなる場合がありますが、本デバイスは遷移を緩やかにして長いスタブにも対応できるようにしています。

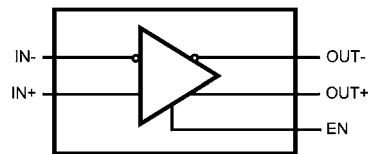
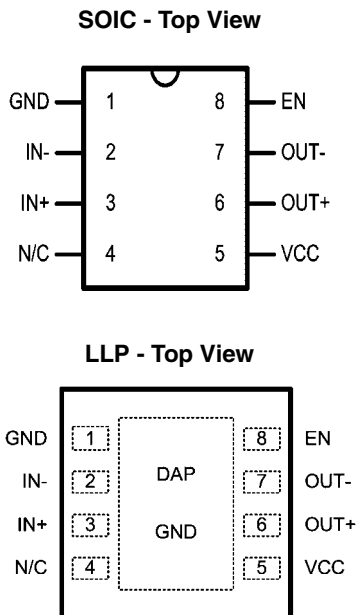
LLP (リードレス・リードフレーム・パッケージ) でも提供される DS92001 はサイズがきわめて小さいため、バス・レシーバ入力としてメインの伝送線路のきわめて近くに配置でき、システム性能を高められます。

DS92001 は入力ダイナミック・レンジが広く、LVDS の信号のほかに LVPECL、CML 仕様の差動信号を入力することも可能です。そのため、LVPECL-BLVDS または CML-BLVDS インタフェース変換器の役割も果たします。

特長

- + 3.3V 単一電源
- LVDS/CML/LVPECL レベルを入力できるレシーバ
- TRI-STATE 出力
- ± 100mV 以下のレシーバ入力のスレッショルド
- 1.4ns (代表値) の高速な伝搬遅延時間
- 400Mbps の低ジッタ完全差動データ・パス
- BLVDS 10 ビット SerDes (40MHz) とインタフェース可能
- ANSI/TIA/EIA-644-A LVDS 規格と互換
- SOIC、実装面積を小型化する LLP パッケージで供給
- 工業用温度範囲

ピン配置図およびブロック図



機能動作

BLVDS Inputs	BLVDS Outputs	
[IN+] - [IN-]	OUT+	OUT-
VID ≥ 0.1V	H	L
VID ≤ -0.1V	L	H
-0.1V ≤ VID ≤ 0.1V	Undefined	Undefined

製品情報

Order Number	NS Pkg. No.	Pkg. Type
DS92001TMA	M08A	SOIC
DS92001TLD	LDA08A	LLP

絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。関連する電気的信頼性試験方法の規格を参照ください。

電源電圧 (V_{CC})	- 0.3V ~ + 4V
LVC MOS/LVTTL 入力電圧 (EN)	- 0.3V ~ ($V_{CC} + 0.3V$)
B/LVDS レシーバ入力電圧 (IN +, IN -)	- 0.3V ~ + 4V
BLVDS ドライバ出力電圧 (OUT +, OUT -)	- 0.3V ~ + 4V
BLVDS 出力短絡電流	連続
接合部温度	+ 150 °C
保存温度範囲	- 65 °C ~ + 150 °C
リード許容温度	+ 260 °C
ハンダ付け (4 秒)	

最大パッケージ消費電力 (25 °C)

M パッケージ	726mW
25 °C 以上の周囲温度で使用される場合は、M パッケージについては 5.8mW/°C を減じてください。	
LDA パッケージ	2.44W
25 °C 以上の周囲温度で使用される場合は、LDA パッケージについては 19.49mW/°C を減じてください。	

ESD 耐圧

(HBM, 1.5k Ω , 100pF)	$\geq 2.5kV$
(EIAJ, 0 Ω , 200pF)	$\geq 250V$

推奨動作条件

	最小値	代表値	最大値	単位
電源電圧 (V_{CC})	3.0	3.3	3.6	V
$V_{CM} = 1.2V$ 時の レシーバ差動入力電圧 (V_{ID})	0.1		2.4	V
動作周囲温度	- 40	+ 25	+ 85	°C
B/LVDS 入力の 20% から 80% への立ち上り / 立ち下り		2	20	ns

電気的特性

特記のない限り、推奨動作条件の電源電圧と動作周囲温度を対象 (Note 2, 3)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
LVC MOS/LVTTL DC SPECIFICATIONS (EN)						
V_{IH}	High Level Input Voltage		2.0		V_{CC}	V
V_{IL}	Low Level Input Voltage		GND		0.8	V
I_{IH}	High Level Input Current	$V_{IN} = V_{CC}$ or 2.0V		+7	+20	μA
I_{IL}	Low Level Input Current	$V_{IN} = GND$ or 0.8V	-10	± 1	+10	μA
V_{CL}	Input Clamp Voltage	$I_{CL} = -18$ mA		-0.6	-1.5	V
BLVDS OUTPUT DC SPECIFICATIONS (OUT)						
$ V_{OD} $	Differential Output Voltage (Note 2)	$R_L = 27\Omega$	250	350	500	mV
		$R_L = 50\Omega$	350	450	600	mV
ΔV_{OD}	Change in Magnitude of V_{OD} for Complimentary Output States	$R_L = 27\Omega$ or 50Ω Figure 1, Figure 2			20	mV
V_{OS}	Offset Voltage	$R_L = 27\Omega$ or $R_L = 50\Omega$	1.1	1.25	1.375	V
ΔV_{OS}	Change in Magnitude of V_{OS} for Complimentary Output States	Figure 1		2	20	mV
I_{OZ}	Output TRI-STATE Current	EN = 0V, $V_{OUT} = V_{CC}$ or GND	-20	± 5	+20	μA
I_{OFF}	Power-Off Leakage Current	$V_{CC} = 0V$ or Open Circuit, $V_{OUT} = 3.6V$	-20	± 5	+20	μA
I_{OS1}	Output Short Circuit Current (Note 4)	EN = V_{CC} , $V_{CM} = 1.2V$, $V_{ID} = 200mV$, $V_{OUT+} = 0V$, or $V_{ID} = -200mV$, $V_{CM} = 1.2V$, $V_{OUT-} = 0V$		-30	-60	mA
		$V_{ID} = -200mV$, $V_{CM} = 1.2V$, $V_{OUT+} = V_{CC}$, or $V_{ID} = 200mV$, $V_{CM} = 1.2V$, $V_{OUT-} = V_{CC}$		53	80	mA
I_{OSD}	Differential Output Short Circuit Current (Note 4)	EN = V_{CC} , $V_{ID} = 200mV $, $V_{CM} = 1.2V$, $V_{OD} = 0V$ (connect true and complement outputs through a current meter)		30	42	mA

電气的特性 (つづき)

特記のない限り、推奨動作条件の電源電圧と動作周囲温度を対象 (Note 2、3)

Symbol	Parameter	Conditions	Min	Typ	Max	Units	
B/LVDS RECEIVER DC SPECIFICATIONS (IN)							
V_{TH}	Differential Input High Threshold (Note 5)	$V_{CM} = +0.05V, +1.2V$ or $+3.25V$		-30	-5	mV	
V_{TL}	Differential Input Low Threshold (Note 5)		-70	-30		mV	
V_{CMR}	Common Mode Voltage Range (Note 5)		$ V_{ID} /2$		V_{CC} $- V_{ID} /2$	V	
I_{IN}	Input Current	$V_{IN} = V_{CC}$	$V_{CC} = 3.6V$ or $0V$		1.5	20	μA
		$V_{IN} = 0V$			1.5	20	μA
ΔI_{IN}	Change in Magnitude of I_{IN}	$V_{IN} = V_{CC}$			1	6	μA
		$V_{IN} = 0V$			1	6	μA
SUPPLY CURRENT							
I_{CCD}	Total Dynamic Supply Current (includes load current)	$EN = V_{CC}$, $R_L = 27\Omega$ or 50Ω , $C_L = 15$ pF, Freq. = 200MHz 50% duty cycle, $V_{ID} = 200mV$, $V_{CM} = 1.2V$		50	65	mA	
I_{CCZ}	TRI-STATE Supply Current	$EN = 0V$, Freq. = 200MHz 50% duty cycle, $V_{ID} = 200mV$, $V_{CM} = 1.2V$		36	46	mA	

AC 電気的特性

特記のない限り、推奨動作条件の電源電圧と動作周囲温度を対象 (Note 3)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
LVDS OUTPUT AC SPECIFICATIONS (OUT)						
t_{PHLD}	Differential Propagation Delay High to Low (Note 10)	$V_{ID} = 200mV, V_{CM} = 1.2V,$ $R_L = 27\Omega$ or $50\Omega, C_L = 15pF$ <i>Figure 3 and Figure 4</i>	1.0	1.4	2.0	ns
t_{PLHD}	Differential Propagation Delay Low to High (Note 10)		1.0	1.4	2.0	ns
t_{SKD1}	Pulse Skew $ t_{PLHD} - t_{PHLD} $ (measure of duty cycle) (Notes 5, 6)		0	20	200	ps
t_{SKD3}	Part-to-Part Skew (Notes 5, 7)		0	200	300	ps
t_{SKD4}	Part-to-Part Skew (Notes 5, 8)		0		1	ns
t_{LHT}	Rise Time (Notes 5, 10) 20% to 80% points	$R_L = 50\Omega$ or $27\Omega, C_L = 15pF$ <i>Figure 3 and Figure 5</i>	0.350	0.6	1.0	ns
t_{HLT}	Fall Time (Notes 5, 10) 80% to 20% points		0.350	0.6	1.0	ns
t_{PHZ}	Disable Time (Active High to Z)	$R_L = 50\Omega, C_L = 15pF$ <i>Figure 6 and Figure 7</i>		3	25	ns
t_{PLZ}	Disable Time (Active Low to Z)			3	25	ns
t_{PZH}	Enable Time (Z to Active High)			100	120	ns
t_{PZL}	Enable Time (Z to Active Low)			100	120	ns
t_{DJ}	LVDS Data Jitter, Deterministic (Peak-to-Peak) (Note 9)	$V_{ID} = 300mV; PRBS = 2^{23} - 1$ data; $V_{CM} = 1.2V$ at 400Mbps (NRZ)			78	ps
t_{RJ}	LVDS Clock Jitter, Random (Note 9)	$V_{ID} = 300mV; V_{CM} = 1.2V$ at 200MHz clock			36	ps
f_{MAX}	Maximum guaranteed frequency (Note 11)	$V_{ID} = 200mV, V_{CM} = 1.2V$	200	300		MHz

Note 1: 「絶対最大定格」とは、この値を超えるとデバイスの安全を保証できない値のことです。デバイスをこのリミット値で動作させることを意図しているわけではありません。デバイスの実際の動作条件は「電気的特性」の表に規定されています。

Note 2: デバイスのピンに流れ込む電流は正と定義されます。デバイスのピンから流れ出る電流は負と定義されます。 V_{ID} 、 V_{OD} 、 V_{TH} 、 V_{TL} 、 ΔV_{OD} 以外の電圧はすべてグラウンドを基準としています。 V_{OD} は大きさと同じ向き (極性) を持っています。方向が正の場合、OUT + の電圧のほうが OUT - よりも高いことを意味します。

Note 3: すべての "typ" 値は、特記のない限り $V_{CC} = +3.3V$ 、 $T_A = +25^\circ C$ のときです。

Note 4: 出力短絡電流 (I_{OS}) は大きさを表し、マイナス符号は電流の流れる方向を表しています。

Note 5: パラメータは設計によって保証されています。リミット値は、素子性能のばらつき範囲 (プロセス、電圧、温度) を含めた統計解析に基づいています。

Note 6: t_{SKD1} 、 $|t_{PLHD} - t_{PHLD}|$ は同チャンネルの立ち上がりエッジと立ち下がりエッジにおける伝搬遅延時間の差の大きさをあらわしています (a measure of duty cycle)。

Note 7: デバイス間スキュー t_{SKD3} は、規定されている差動伝搬遅延時間の最小値と最大値の差として定義されています。本仕様は、双方のデバイスに同じ電源電圧が供給されており、動作温度範囲内で温度差が $5^\circ C$ 以内の場合に適用されます。このパラメータはデザイン上の保証値です。

Note 8: デバイス間スキュー t_{SKD4} は、任意のデバイス間事象に対する差動チャンネル間スキューとして定義されています。本仕様は、推奨動作温度と電圧範囲全域に適用され、プロセスばらつきを含みます。 t_{SKD4} は差動伝搬遅延時間の最大、最小の差の絶対値 $|Max - Min|$ として定義されています。

Note 9: パラメータは設計によって保証されています。リミット値は、次の測定機器を用いて、素子性能のばらつき範囲 (プロセス、電圧、温度) を含めた統計的な解析に基づいています。アジレントの 86130A (エラー・パフォーマンス・アナライザ) を信号源として使用し 5 フィートの RG142B ケーブルを用いて DUT テスト基板と接続、および 86122A (20GHz 電気モジュール) を搭載したアジレント 86100A (タイム・ドメイン・リフレクトメトリ・メインフレーム) で観測。データ入力ジッタのピーク・ツー・ピーク = 22ps、クロック入力ジッタ = 24ps、 t_{DJ} 測定値 100ps、 t_{RJ} 測定値 60ps。

Note 10: 伝搬遅延および立ち上がりと立ち下がり時間は、設計と特性評価によって 200MHz に対して保証されています。このテストで使用したジェネレータ特性は次のとおりです。 $50MHz \leq f \leq 200MHz$ 、 $Z_o = 50\Omega$ 、 t_r と $t_f \leq 0.5ns$ 。ジェネレータはアジレントの HP8130A (300MHz 版) を使用。

Note 11: f_{MAX} テスト: ジェネレータ (アジレント HP8133A または相当品)、入力デューティ・サイクル = 50%。出力基準: $V_{DD} \geq 200mV$ 、デューティ・サイクルは 45/55% よりもよいこと。この仕様は設計と特性評価によって保証されています。最低周波数が規定されており、DC から保証された最低の AC 周波数まで、デバイスは規定の条件で動作することを意味しています。代表値のほうが、保証されている最低周波数よりも常に高くなります。

DC テスト回路

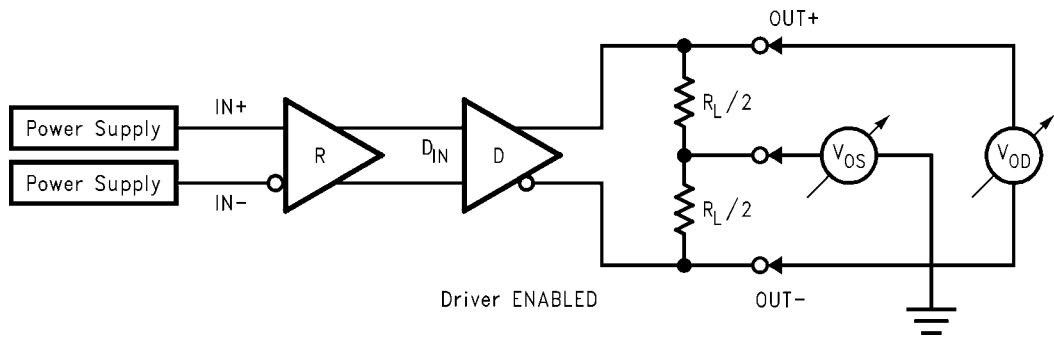


FIGURE 1. Differential Driver DC Test Circuit

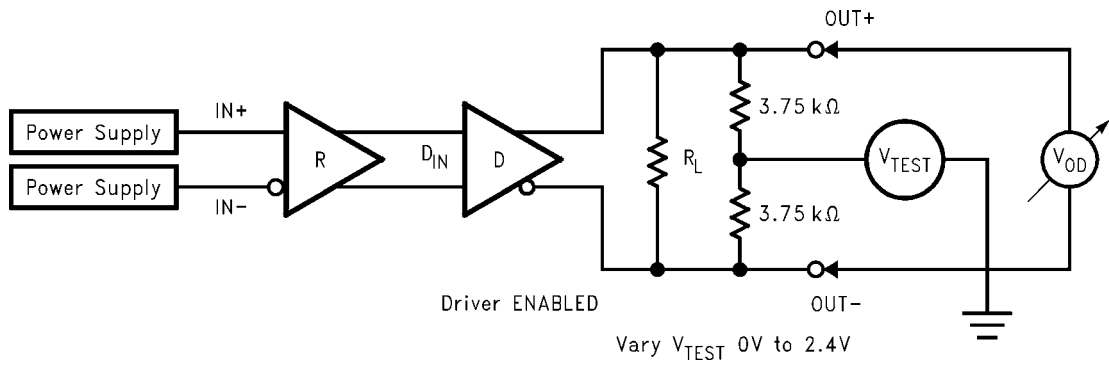


FIGURE 2. Differential Driver Full Load DC Test Circuit

AC テスト回路およびタイミング図

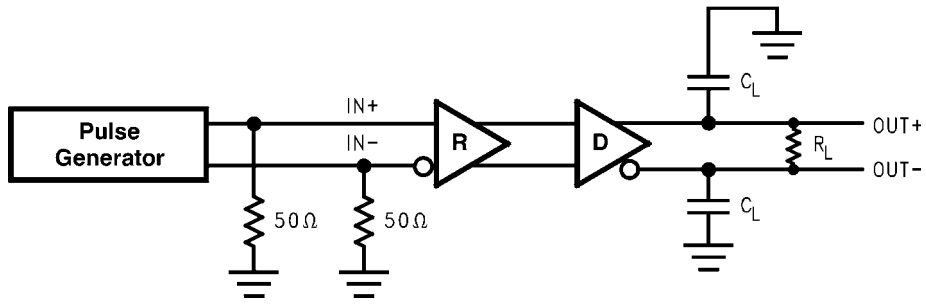


FIGURE 3. BLVDS Output Load

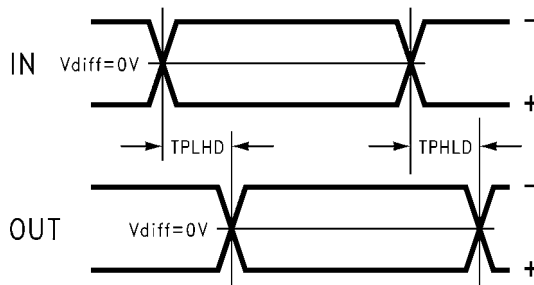


FIGURE 4. Propagation Delay Low-to-High and High-to-Low

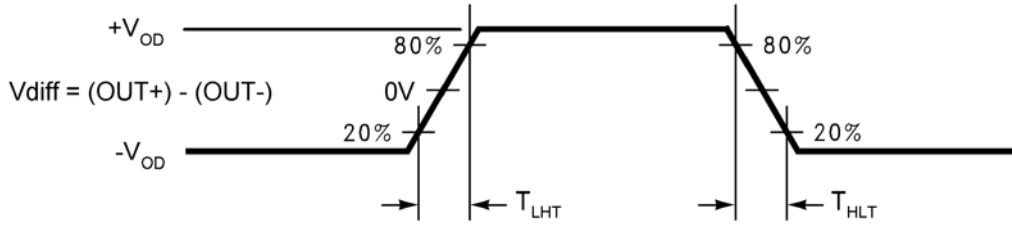


FIGURE 5. BLVDS Output Transition Time

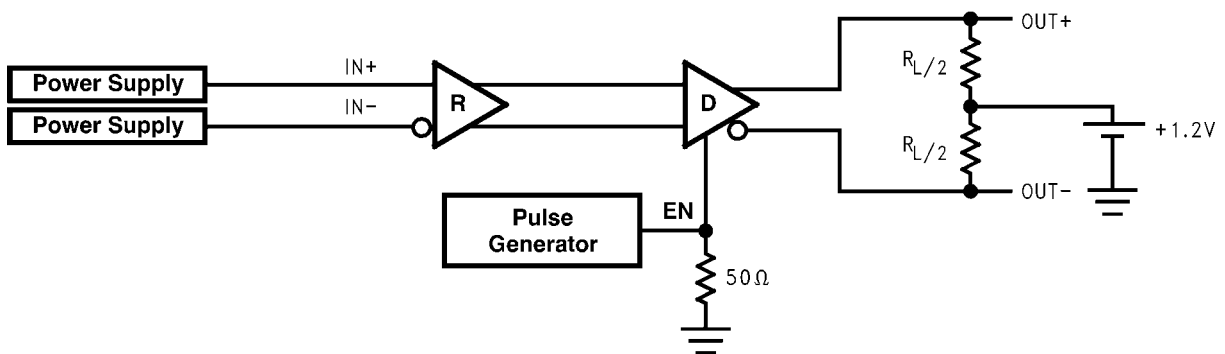


FIGURE 6. TRI-STATE Delay Test Circuit

AC テスト回路およびタイミング図 (つづき)

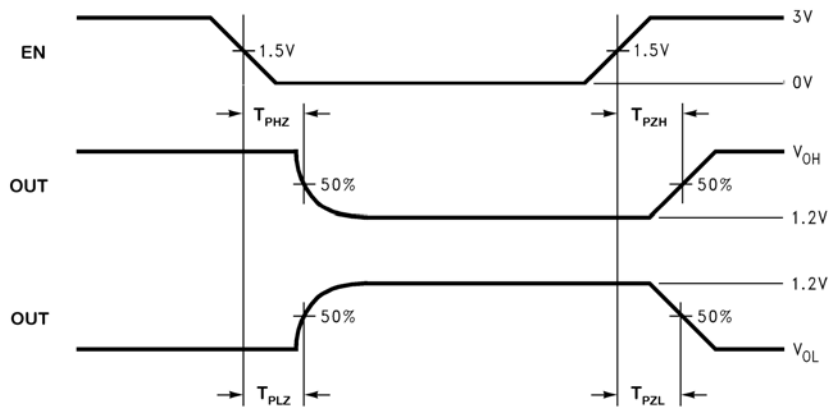


FIGURE 7. Output active to TRI-STATE and TRI-STATE to active output time

DS92001 ピン説明 (SOIC および LLP)

ピン名	ピン番号	入出力	説明
GND	1	P	グラウンド
IN -	2	I	反転レシーバ BLVDS 入力ピン
IN +	3	I	非反転レシーバ BLVDS 入力ピン
N/C	4	O	未接続ピン
V _{CC}	5	P	電源 3.3V ± 0.3V
OUT +	6	O	非反転ドライバ BLVDS 出力ピン
OUT -	7	O	反転ドライバ BLVDS 出力ピン
EN	8	I	イネーブルピン。EN が LOW のときドライバはディスエーブルとなり BLVDS 出力は TRI-STATE になります。EN が HIGH のときドライバはイネーブルになります。入力は LVCMOS/LVTTL レベルです。
GND	DAP	P	LLP のパッケージ・グラウンド

代表的なアプリケーション

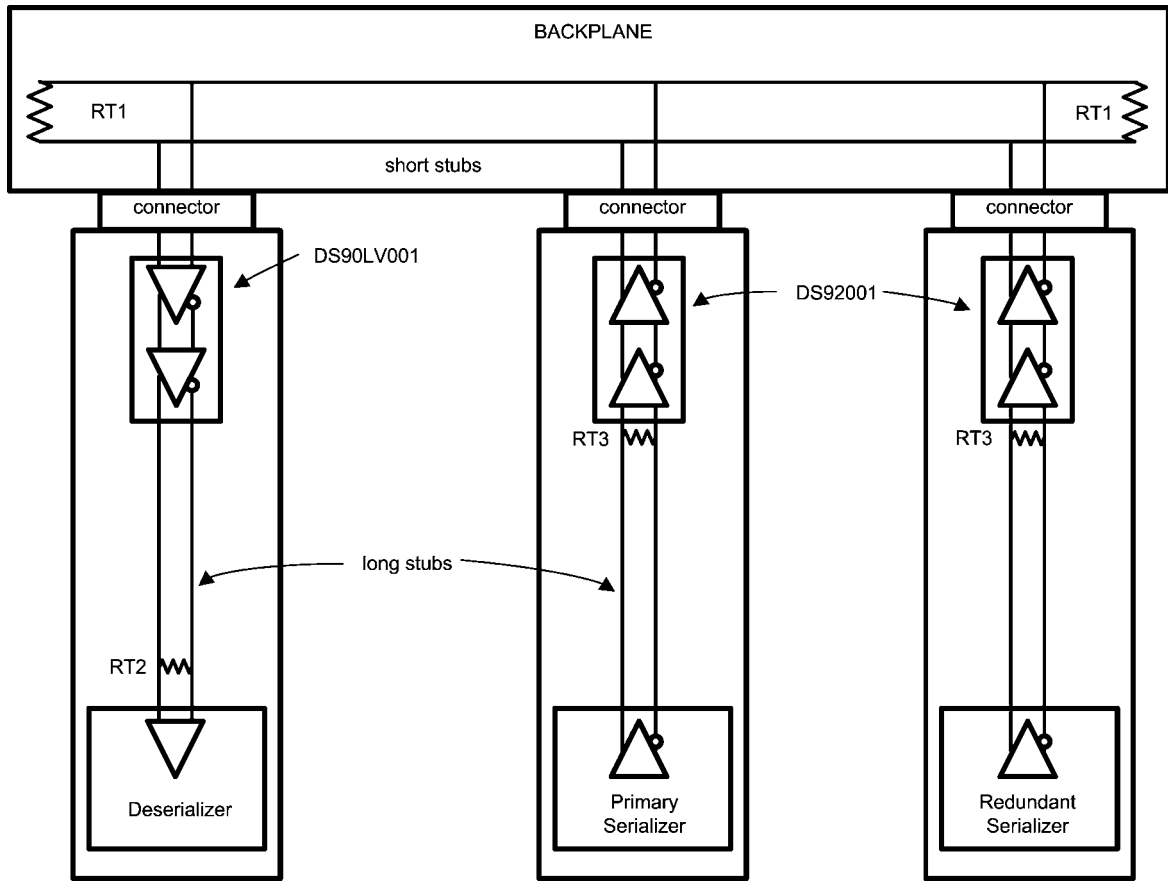


FIGURE 8. Backplane Stub-Hider Application

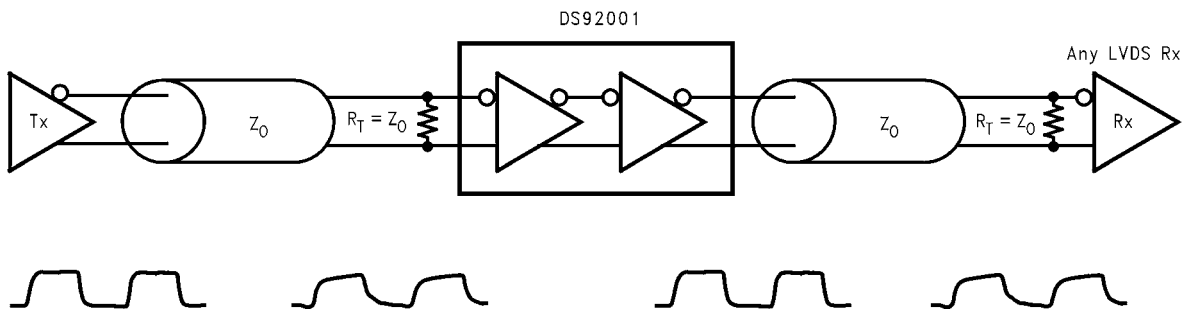


FIGURE 9. Cable Repeater Application

アプリケーション情報

DS92001 は「スタブ長を隠蔽する」デバイスとして使用できます。さまざまな大規模システムでは信号をバックプレーンを介して分配する必要がありますが、スタブ長と呼ばれるバックプレーン伝送線路から個々のカード上の無終端レシーバまでの配線長が、システムの動作速度を制限する1つの要因となっています (Figure 8 参照)。一般にこのようなバス・システムの性能を高めるにはスタブ長を可能な限り短くすべきとされていますが、実際の装置設計ではさまざまな課題が存在し、設計者が望むとおりにスタブ長を短くするのは容易ではありません。LLP (リードレス・リードフレーム・パッケージ) でも提供される DS92001 はサイズがとて小さいため、バックプレーンの伝送線路のきわめて近く、またはカード・コネクタのきわめて近くに実装でき、その結果、スタブ長が短縮されシステム性能の向上が図れます。DS92001 で信号をいったんバッファしたあとは、本来の LVDS レシーバまでの配線を長くすることも可能です。LLP パッケージは、SOIC パッケージに比べ 75% の実装面積を削減します。

DS92001 は、Figure 9 に示すようにリピータとしても使えます。信号は一度復元されたあと、次のセグメントに対し十分な強さで再び駆動されます。また DS92001 は、入力が LVDS、BLVDS、LVPECL の各レベルに対応していることから、レベル変換器としても使用可能です。

電源デカップリングの推奨

電源ピンにはバイパス・コンデンサを接続しなくてはなりません。0.1 μ F と 0.01 μ F の高周波セラミック・コンデンサ (表面実装品を推奨) を並列に、かつ、小容量のコンデンサのほうを電源ピンの近くに配置してください。プリント基板全体にバイパス・コンデンサを追加実装すると、デカップリング性能を向上させることができます。複数のビアを使用してデカップリング・コンデンサと電源層を接続してください。プリント基板に対するシステム電源の供給部には、電源とグラウンド間に、10 μ F (35V) 以上の固形タンタル・コンデンサを接続してください。

プリント基板の考慮事項

4 層基板以上を推奨します。振り分けは、上面より LVDS 信号、グラウンド、電源、TTL 信号の順序です。

LVDS 信号に TTL 信号がカップリングしないよう、LVDS 配線と TTL 配線は分離してください。電源 / グラウンド・プレーンによって分離された異なる層に、TTL 信号と LVDS 信号をそれぞれ分けて配線するのが最善の方法です。

LVDS ポート側のドライバとレシーバはコネクタの近くに配置してください。

LLP パッケージをプリント基板に実装する際の注意事項は、アプリケーション・ノート AN-1187 「リードレス・リードフレーム・パッケージ」を参照してください。ノイズ・カップリングとジッタを抑止して高い信号インテグリティを維持するためには、Figure 10 に示すように LLP のパッケージ底面の長方形領域にある金属製 (通常は銅) のサーマル・ランド・パッドをグラウンドに実装し、プリント基板の露出パッドと面積を合わせてください (1 対 1)。

Top View

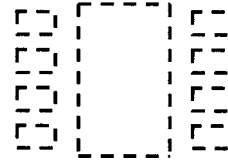


FIGURE 10. LLP Thermal Land Pad and Pin Pads - Top View

差動ライン

使用する伝送メディアの差動インピーダンス、および終端抵抗値に整合するように、配線インピーダンスを制御してください。デバイスから出力されたあとは、差動ラインの配線はできる限り間隔を狭くします (スタブ長も 10mm 以内に抑えます)。これにより信号反射と、コモンモードとして重畳する同相ノイズが低減されます。実際 1mm のパターン間隔は 3mm のパターン間隔より輻射ノイズが軽減していることを確認しています。また、差動ラインに励起されるノイズは、どちらかと言えばコモンモードとして現れる場合が多く、レシーバによって除去されます。

信号スキューを低減するために電気的な配線長は等しくしてください。ペア信号間にスキューが存在すると、信号間に位相差が生まれ磁界を打ち消し合う効果が減少し、結果として EMI 問題を引き起こします。差動配線では、CAD の自動配線のみには頼ってはなりません。差動インピーダンスが整合するよう配線長に充分配慮し、かつ、差動信号を他の配線から分離してください。スルーホールやその他ライン上の不連続線は最小にしてください。

90° の直角配線は避けてください (インピーダンス不整合を招きます)。円弧もしくは 45° で配線してください。

レシーバでのコモンモード除去性能を維持するため、差動ペア間の配線間隔はできるだけ短くしてください。プリント・パターン上の対になったパターンの間隔はインピーダンスの変化を最小に抑えるため一定に保ちます。接続部では、多少のインピーダンス不整合は許容されます。

終端抵抗

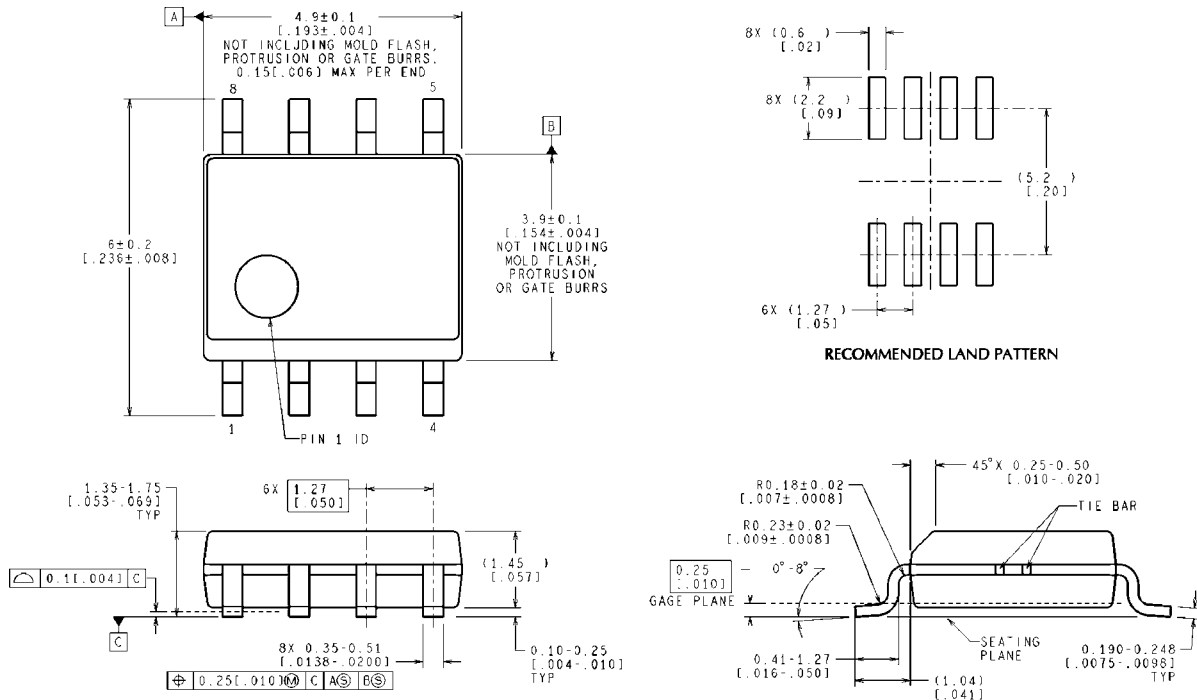
終端抵抗は使用する差動ラインの特性インピーダンスにあわせ、通常、終端抵抗値は一对一の接続で 90 Ω ~ 130 Ω の範囲内に設定します。一般に、マルチドロップ (ドライバが中点) またはマルチポイント構成ではバスの両端で終端を行います。終端抵抗値は負荷の影響により 100 Ω よりも低くなる場合があります。50 Ω から 100 Ω の範囲です。電流モード出力は、電圧を生成するために終端抵抗が必要なことに注意してください。

誤差 1 ~ 2% の表面実装抵抗が最適です。プリント基板のスタブ長、デバイスのリード長、終端抵抗からレシーバまでの配線長を最短にしてください。終端抵抗とレシーバ・ピンまでの距離は、10mm 未満としてください (最長でも 12mm)。

LVDS 伝送線路のプロローピング

LVDS 信号ラインの測定には信号ラインへの影響を極力少なくするため、高入力インピーダンス (100k Ω 以上)、低入力容量 (2pF 以下) の測定プローブを使用し、オシロスコプの帯域は 1GHz 以上のものを使用します。適切なプローブを使用しないと、結果に悪影響を与えます。

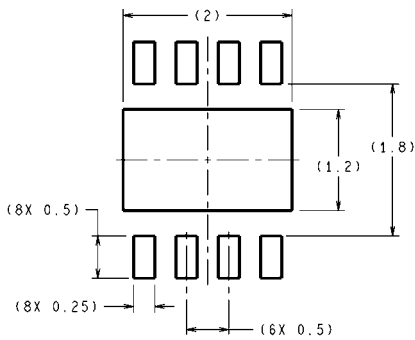
外形寸法図 単位は millimeters



CONTROLLING DIMENSION IS MILLIMETER
VALUES IN [] ARE INCHES
DIMENSIONS IN () FOR REFERENCE ONLY

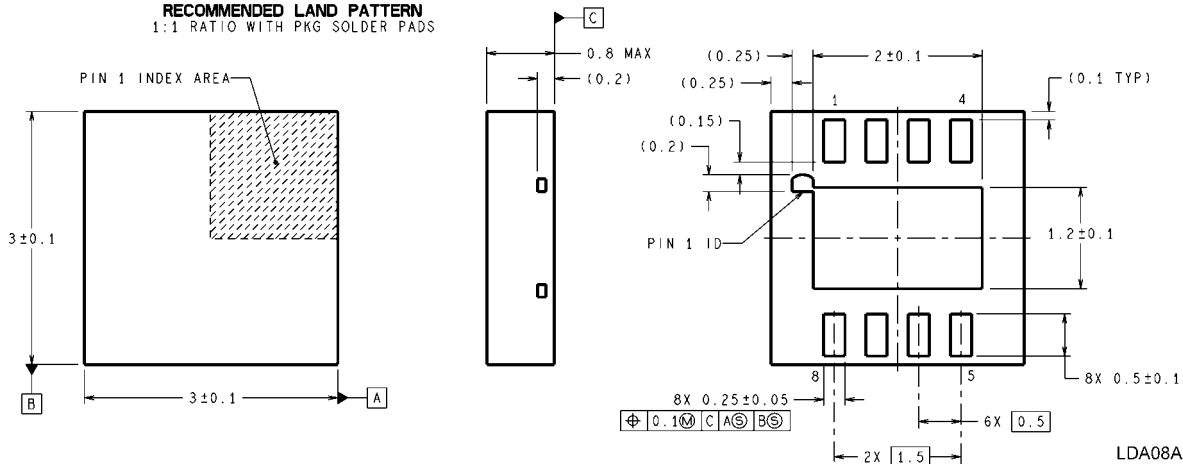
M08A (Rev M)

Order Number DS92001TMA
See NS Package Number M08A



DIMENSIONS ARE IN MILLIMETERS

RECOMMENDED LAND PATTERN
1:1 RATIO WITH PKG SOLDER PADS



LDA08A (Rev C)

Order Number DS92001TLD
See NS Package Number LDA08A

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務を負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売か使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2010 National Semiconductor Corporation

製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは承認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上