

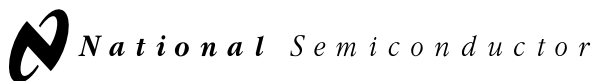
# DS92CK16

*DS92CK16 3V BLVDS 1 to 6 Clock Buffer/Bus Transceiver*



Literature Number: JAJ672

ご注意：この日本語データシートは参考資料として提供しており、内容が最新でない場合があります。製品のご検討およびご採用に際しては、必ず最新の英文データシートをご確認ください。



November 1999

## DS92CK16 3V BLVDS 1 入力 6 出力クロック・バッファ/バス・トランシーバ

### 概要

クロック・バッファ/バス・トランシーバのDS92CK16は、バス低電圧差動シグナリング(BLVDS)技術を採用した、1入力6出力の差動クロック分配用CMOSデバイスです。このクロック・バッファは、超低消費電力で低雑音、かつ高いデータ転送レートが求められるアプリケーション向けに設計されています。このデバイスのBLVDS側は、リターン・クロック入力およびクロック・ソース出力のチャンネルを個別に持つ双方向トランシーバになっています。

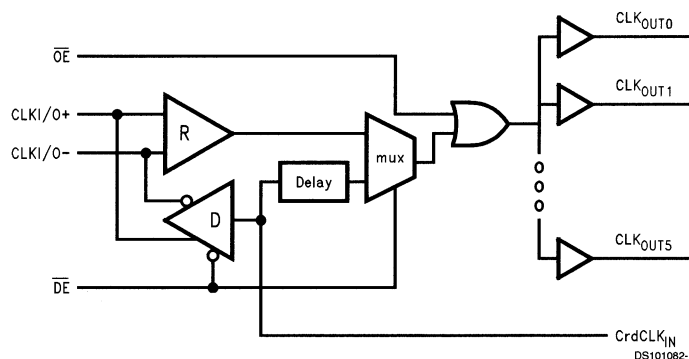
DS92CK16は、BLVDS(Typ値300mV)の差動入力を、3V CMOSレベルに変換して出力します。また、出力イネーブルOEピンがHIGHのときは、すべてのCLK<sub>OUT</sub>ピンはHIGHになります。

このデバイスは、ソース・シンクロナスのクロック・ドライバとしても使用できます。クロック・ドライバとして使用する場合は、CrdCLK<sub>IN</sub>とDEで動作を選択します。これにより、多点バス接続において、他のデバイスのクロック入力をドライブするマスタ・クロックとなり得ます。なおマスタ/スレーブ動作は、バックプレーンから容易に切り替えることができます。

### 特長

- バックプレーン・アプリケーションにおけるマスタ/スレーブ・クロック切り替え
- 125MHz動作(Typ)
- デューティ歪み100ps(Typ)
- チャンネル間スキュー50ps(Typ)
- 3.3V単一電源動作
- 電源オン時にCLKI/Oピンにグリッジなし
- 低消費電力(3.3Vスタティック状態にて20mA)
- 小振幅差動信号レベル(Typ値300mV)
- 工業用動作温度範囲(-40 ~ +85)
- 24ピンTSSOPパッケージ

### Function Diagram and Truth Table



### Receive Mode Truth Table

INPUT				OUTPUT
OE	DE	CrdCLK <sub>IN</sub>	(CLKI/O+)-(CLKI/O-)	CLK <sub>OUT</sub>
H	H	X	X	H
L	H	X	VID ≥ 0.07V	H
L	H	X	VID ≤ -0.07V	L

L = LOW  
H = HIGH  
X = HIGH または LOW (ドントケア)  
Z = TRI-STATE

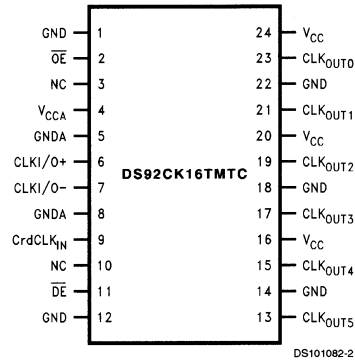
### Driver Mode Truth Table

INPUT			OUTPUT		
OE	DE	CrdCLK <sub>IN</sub>	CLKI/O+	CLKI/O-	CLK <sub>OUT</sub>
L	L	L	L	H	L
L	L	H	H	L	H
H	L	L	L	H	H
H	L	H	H	L	H
H	H	X	Z	Z	H

TRI-STATE®はナショナル・セミコンダクター社の登録商標です。

DS92CK16 3V BLVDS 1 入力 6 出力クロック・バッファ/バス・トランシーバ

## ピン配置図



Order Number DS92CK16TMTc  
See NS Package Number MTC24

## TSSOP パッケージ端子説明

ピン名称	ピン番号	タイプ	説明
CLKI/O +	6	I/O	正極性差動クロック入力です。
CLKI/O -	7	I/O	負極性差動クロック入力です。
$\overline{OE}$	2	I	アクティブLOWの $\overline{OE}$ ピンです。 $\overline{OE}$ がHIGHのとき、すべてのCLK <sub>OUT</sub> はHIGHとなります。 $\overline{OE}$ がLOWのときは、 $\overline{DE}$ の論理レベルによりCLKI/OのVID電圧またはCrdCLK <sub>IN</sub> の値でCLK <sub>OUT</sub> の値が決まります。内部でV <sub>CC</sub> にプルアップされていますので、 $\overline{OE}$ をフローティングにした場合はすべてのCLK <sub>OUT</sub> はHIGHとなります。
$\overline{DE}$	11	I	アクティブLOWの $\overline{DE}$ ピンです。 $\overline{OE}$ がLOWのとき、CrdCLK <sub>IN</sub> の値がCLKI/OとCLK <sub>OUT</sub> に出力されます。 $\overline{OE}$ がHIGHのとき、BLVDS側のドライバはTRI-STATE <sup>®</sup> となり、CLKI/Oからの入力がCLK <sub>OUT</sub> に出力されます。内部でV <sub>CC</sub> に軽くプルアップされていますので、 $\overline{DE}$ ピンをフローティングにした場合はCLKI/OはTRI-STATEとなります。
CLK <sub>OUT</sub>	13, 15, 17, 19, 21, 23	O	6つのCMOSクロックバッファ出力です。
CrdCLK <sub>IN</sub>	9	I	このデバイスを搭載したI/Oカード上からの、CMOSまたはTTLレベルのローカルクロック入力です。
V <sub>CC</sub>	16, 20, 24	Power	V <sub>CC</sub> 。アナログV <sub>CCA</sub> とは内部で別回路となっているため、外部でV <sub>CCA</sub> と接続するかまたは別電源で供給します。特別な電源シーケンスは必要なく、V <sub>CC</sub> かV <sub>CCA</sub> のどちらかを最初にオンにするか、または両方を同時にオンにしてください。
GND	1, 12, 14, 18, 22	Ground	グラウンド
V <sub>CCA</sub>	4	Power	アナログV <sub>CCA</sub> 。V <sub>CC</sub> とは内部で別回路となっているため、外部でV <sub>CC</sub> と接続するかまたは別電源で供給します。特別な電源シーケンスは必要なく、V <sub>CC</sub> かV <sub>CCA</sub> のどちらかを最初にオンにするか、または両方を同時にオンにしてください。
GND <sub>A</sub>	5, 8	Ground	アナログ・グラウンド。GNDとは内部で別回路となっているため、外部で接続して下さい。
NC	3, 10		未使用 (NC)

## 絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。  
関連する電気的信頼性試験方法の規格を参照下さい。

電源電圧 ( $V_{CC}$ )	- 0.3V ~ + 4V
イネーブル入力電圧 ( $\overline{DE}$ , $\overline{OE}$ , $\text{CrdCLK}_{IN}$ )	- 0.3V ~ + 4V
端子電圧 ( $\text{CLK}_{OUT}$ )	- 0.3V ~ ( $V_{CC} + 0.3V$ )
端子電圧 ( $\text{CLK}_{I/O} \pm$ )	- 0.3V ~ + 4V
ドライバ短絡電流時間	瞬間
レシーバ短絡電流時間	瞬間
パッケージ最大許容電力損失 (25 °C)	
TSSOP	1500mW
TSSOP パッケージ・ディレーティング	+ 25 °C 以上で 8.2mW/°C
$\theta_{JA}$	95 °C/W
$\theta_{JC}$	30 °C/W

保存温度範囲	- 65 ~ + 150
リード温度 (ハンダ付け, 4 秒)	260
ESD 耐圧: 人体モデル (Note 2)	> 3000V
CDM (Note 2)	> 1000V
機械モデル (Note 2)	> 200V

## 推奨動作条件

	最小値	代表値	最大値	単位
電源電圧 ( $V_{CC}$ )	3.0	3.3	3.6	V
$\text{CrdCLK}_{IN}$ , $\overline{DE}$ , $\overline{OE}$				
入力電圧	0		$V_{CC}$	V
動作温度範囲 ( $T_A$ )	- 40	+ 25	+ 85	

## DC 電気的特性

特記のない限り、推奨動作条件における電源電圧および温度範囲に適用。(Note 3, 4)

Symbol	Parameter	Conditions	Pin	Min	Typ	Max	Units
$V_{TH}$	Input Threshold High		$\text{CLK}_{I/O+}$ , $\text{CLK}_{I/O-}$		25	+70	mV
$V_{TL}$	Input Threshold Low			-70	-35		mV
$V_{CMR}$	Common Mode Voltage Range (Note 5)	$VID = 250 \text{ mV pk to pk}$		$ VID /2$		$2.4 -  VID /2$	V
$I_{IN}$	Input Current	$V_{IN} = 0V \text{ to } V_{CC}$ , $\overline{DE} = V_{CC}$ , $\overline{OE} = V_{CC}$ , Other Input = $1.2V \pm 50 \text{ mV}$		-20	$\pm 5$	+20	$\mu A$
$V_{OH1R}$	Output High Voltage	$VID = 250 \text{ mV}$ , $I_{OH} = -1.0 \text{ mA}$	$\text{CLK}_{OUT}$	$V_{CC}-0.4$	2.9		V
$V_{OH2R}$	Output High Voltage	$VID = 250 \text{ mV}$ , $I_{OH} = -6 \text{ mA}$		$V_{CC}-0.8$	2.5		V
$V_{OL1R}$	Output Low Voltage	$I_{OL} = 1.0 \text{ mA}$ , $VID = -250 \text{ mV}$			0.06	0.3	V
$V_{OL2R}$	Output Low Voltage	$I_{OL} = 6 \text{ mA}$ , $VID = -250 \text{ mV}$		0		0.4	V
$I_{ODHR}$	$\text{CLK}_{OUT}$ Dynamic Output Current (Note 6)	$VID = +250 \text{ mV}$ , $V_{OUT} = V_{CC}-1V$		-8	-16	-30	mA
$I_{ODLR}$	$\text{CLK}_{OUT}$ Dynamic Output Current (Note 6)	$VID = -250 \text{ mV}$ , $V_{OUT} = 1V$		10	21	35	mA
$V_{IH}$	Input High Voltage		$\overline{DE}$ , $\overline{OE}$ , $\text{CrdCLK}_{IN}$	2.0		$V_{CC}$	V
$V_{IL}$	Input Low Voltage			GND		0.8	V
$I_{IH}$	Input High Current	$V_{IN} = V_{CC} \text{ or } 2.4V$	$\overline{OE}$ , $\overline{DE}$	-10	-2	+10	$\mu A$
$I_{IL}$	Input Low Current	$V_{IN} = GND \text{ or } 0.4V$		-20	-5	+20	$\mu A$
$I_{INCRD}$	Input Current	$V_{IN} = 0V \text{ to } V_{CC}$ , $\overline{OE} = V_{CC}$	$\text{CrdCLK}_{IN}$	-5		+5	$\mu A$
$V_{CL}$	Input Voltage Clamp	$I_{OUT} = -1.5 \text{ mA}$	$\overline{OE}$ , $\overline{DE}$ , $\text{CrdCLK}_{IN}$	-0.8			V
$I_{CC}$	No Load Supply Current Outputs Enabled, No VID Applied	$\overline{OE} = \overline{DE} = 0V$ , $\text{CrdCLK}_{IN} = V_{CC} \text{ or } GND$ , $\text{CLK}_{I/O} (\pm) = \text{Open}$ $\text{CLK}_{OUT} (0:5) = \text{Open Circuit}$	$V_{CC}$			13	mA
$I_{CC1}$	No Load Supply Current Outputs Enabled, VID over Common Mode Voltage Range	$\overline{OE} = GND$ $\overline{DE} = V_{CC}$ $\text{CrdCLK}_{IN} = V_{CC} \text{ or } GND$ , $VID = 250 \text{ mV}$ (0.125V VCM 2.275V), $\text{CLK}_{OUT} (0:5) = \text{Open Circuit}$				10	mA
$I_{CCD}$	Driver Loaded Supply Current	$\overline{DE} = \overline{OE} = 0V$ , $\text{CrdCLK}_{IN} = V_{CC} \text{ or } GND$ , $R_L = 37.5\Omega$ between $\text{CLK}_{I/O+}$ and $\text{CLK}_{I/O-}$ , $\text{CLK}_{OUT} (0:5) = \text{Open Circuit}$			20	25	mA

## DC 電気的特性(つづき)

特記のない限り、推奨動作条件における電源電圧および温度範囲に適用。(Note 3, 4)

Symbol	Parameter	Conditions	Pin	Min	Typ	Max	Units
$V_{OD}$	Driver Output Differential Voltage	$R_L = 37.5\Omega$ , Figure 5 $\overline{DE} = 0V$	CLKI/O+, CLKI/O-	250	350	450	mV
$\Delta V_{OD}$	Driver $V_{OD}$ Magnitude Change				10	20	mV
$V_{OS}$	Driver Offset Voltage			1.1	1.29	1.5	V
$\Delta V_{OS}$	Driver Offset Voltage Magnitude Change				5	20	mV
$V_{OHD}$	Driver Output High				1.35	1.8	V
$V_{OLD}$	Driver Output Low				0.80	1.05	V
$I_{OS1D}$	Driver Differential Short Circuit Current (Note 6)	$CrdCLK_{IN} = V_{CC}$ or GND, $V_{OD} = 0V$ , (outputs shorted together) $\overline{DE} = 0V$		30	50	mA	
$I_{OS2D}$	Driver Output Short Circuit Current to $V_{CC}$ (Note 6)	$CrdCLK_{IN} = GND$ , $\overline{DE} = 0V$ , $CLKI/O+ = V_{CC}$		36	70	mA	
$I_{OS3D}$	Driver Output Short Circuit Current to $V_{CC}$ (Note 6)	$CrdCLK_{IN} = V_{CC}$ , $\overline{DE} = 0V$ , $CLKI/O- = V_{CC}$		34	70	mA	
$I_{OS4D}$	Driver Output Short Circuit Current to GND (Note 6)	$CrdCLK_{IN} = V_{CC}$ , $\overline{DE} = 0V$ , $CLKI/O+ = 0V$		-47	-70	mA	
$I_{OS5D}$	Driver Output Short Circuit Current to GND (Note 6)	$CrdCLK_{IN} = GND$ , $\overline{DE} = 0V$ , $CLKI/O- = 0V$		-50	-70	mA	
$I_{OFF}$	Power Off Leakage Current	$V_{CC} = 0V$ or Open, $V_{APPLIED} = 3.6V$				$\pm 20$	$\mu A$

## スイッチング特性

特記のない限り、推奨動作条件における電源電圧および温度範囲に適用。(Note 7, 8)

Symbol	Parameter	Conditions	Min	Typ	Max	Units	
<b>DIFFERENTIAL RECEIVER CHARACTERISTICS</b>							
$t_{PHLDR}$	Differential Propagation Delay High to Low. CLKI/O to $CLK_{OUT}$	$C_L = 15\text{ pF}$ $VID = 250\text{ mV}$ Figures 1, 2	1.3	2.8	3.8	ns	
$t_{PLHDR}$	Differential Propagation Delay Low to High. CLKI/O to $CLK_{OUT}$		1.3	2.9	3.8	ns	
$t_{SK1R}$	Duty Cycle Distortion (Note 10) (pulse skew) $ t_{PLH} - t_{PHL} $			100	400	ps	
$t_{SK2R}$	Channel to Channel Skew; Same Edge (Note 11)			30	80	ps	
$t_{SK3R}$	Part to Part Skew (Note 12)				2.5	ns	
$t_{TLHR}$	Transition Time Low to High (Note 9) (20% to 80% )			0.4	1.4	2.4	ns
$t_{THLR}$	Transition Time High to Low (Note 9) (80% to 20% )			0.4	1.3	2.2	ns
$t_{PLHOER}$	Propagation Delay Low to High ( $\overline{OE}$ to $CLK_{OUT}$ )	$C_L = 15\text{ pF}$ Figures 3, 4	1.0	3	4.5	ns	
$t_{PHLOER}$	Propagation Delay High to Low ( $\overline{OE}$ to $CLK_{OUT}$ )		1.0	3	4.5	ns	
$f_{MAX}$	Maximum Operating Frequency (Note 15)		100	125		MHz	

## スイッチング特性(つづき)

特記のない限り、推奨動作条件における電源電圧および温度範囲に適用。(Notes 7, 8)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
<b>DIFFERENTIAL DRIVER TIMING REQUIREMENTS</b>						
$t_{PHLDD}$	Differential Propagation Delay High to Low. CrdCLK <sub>IN</sub> to CLKI/O	$C_L = 15\text{ pF}$ $R_L = 37.5\Omega$ Figures 6, 7	0.5	1.8	2.5	ns
$t_{PLHDD}$	Differential Propagation Delay Low to High. CrdCLK <sub>IN</sub> to CLKI/O		0.5	1.8	2.5	ns
$t_{PHCrd}$	CrdCLK <sub>IN</sub> to CLK <sub>OUT</sub> Propagation Delay High to Low	$C_L = 15\text{ pF}$ Figures 8, 9	2.0	4.5	6.0	ns
$t_{PLHCrd}$	CrdCLK <sub>IN</sub> to CLK <sub>OUT</sub> Propagation Delay Low to High		2.0	4.5	6.0	ns
$t_{SK1D}$	Duty Cycle Distortion (pulse skew) $ t_{PLH} - t_{PHL} $ (Note 13)				600	ps
$t_{SK2D}$	Differential Part-to-Part Skew (Note 14)				2.0	ns
$t_{TLHD}$	Differential Transition Time (Note 9) (20% to 80%)		0.4	0.75	1.4	ns
$t_{THLD}$	Differential Transition Time (Note 9) (80% to 20%)		0.4	0.75	1.4	ns
$t_{PHZD}$	Transition Time High to TRI-STATE. $\overline{DE}$ to CLKI/O	$V_{IN} = 0V\text{ to }V_{CC}$ $C_L = 15\text{ pF}$ $R_L = 37.5\Omega$ Figures 10, 11			10	ns
$t_{PLZD}$	Transition Time Low to TRI-STATE. $\overline{DE}$ to CLKI/O				10	ns
$t_{PZH}$	Transition Time TRI-STATE to High. $\overline{DE}$ to CLKI/O				32	ns
$t_{PZH}$	Transition Time TRI-STATE to High. $\overline{DE}$ to CLKI/O				32	ns
$t_{PZD}$	Transition Time TRI-STATE to Low. $\overline{DE}$ to CLKI/O				32	ns
$f_{MAX}$	Maximum Operating Frequency (Note 15)		100	125		MHz

Note 1: 「絶対最大定格」を超えてデバイスを動作させた場合、安全性は保証されません。また、絶対最大定格の上限または下限でデバイスを動作させるべきであることを示しているわけではありません。デバイスの動作条件は「電気的特性」の各表により規定されています。

Note 2: ESD 定格において、ESD 耐圧はそれぞれ次のようにテストされています。人体モデル(1.5k $\Omega$ , 100pF)、機械モデル(0 $\Omega$ , 200pF)、IEC 1000-4-2。すべての  $V_{CC}$  同士を接続し、またすべての GND ピン同士も接続しています。

Note 3: デバイス・ピンに流れ込む電流を正と定義し、デバイス・ピンから流れ出る電流を負と定義しています。電圧は、差動電圧である VID、VOD、VTH、VTL を除いてグランドを基準としています。

Note 4: Typ 値は  $V_{CC}=3.3V$ 、 $T_A=25^\circ\text{C}$  のときです。

Note 5: VCMR 範囲は、VID が大きいと小さくなります。例えば、VID=400mV において、VCMR は 0.2V から 2.2V の間です。[ $V_{CC} - 0V$ ] までの VID 電圧が CLKI/O + と CLKI/O - 間にかかっているときは、VCMR は  $V_{CC}/2$  となります。

Note 6: I 出力のみの瞬間的なショートです。パッケージ最大許容電力損失を超えてはなりません。

Note 7:  $C_L$  はプローブ容量と測定器具容量を含みます。

Note 8: 特記のない限り、すべてのテストにおけるパルス・ジェネレータの波形は次の設定によります。 $f=25\text{MHz}$ 、 $Z_o=50\Omega$ 、 $t_r=1\text{ns}$ 、 $t_f=1\text{ns}$  (10% ~ 90%)。伝搬遅延とスキューを最小にするために、データ入力のエッジ・レートは 1ns/V 以上でなければなりません。また、制御信号のエッジ・レートは 3ns/V 以上でなければなりません。一般に、入力のエッジ・レートが速いほど AC 性能はよくなります。

Note 9: 各出力の遷移時間は特性の測定結果に基づいており、また設計によって保証されています。

Note 10:  $t_{SK1R}$  は同一チャネルにおけるレシーバの伝搬遅延時間の差 ( $|t_{PLH} - t_{PHL}|$ ) であり、指定された温度と  $V_{CC}$  条件における出力デューティ比の歪みに相当します。伝搬遅延時間の仕様は、プロセス、電圧、温度ばらつきを含んだ、デバイスとしてのワースト・ケースです。

Note 11:  $t_{SK2R}$  は同一デバイスの任意のチャネル出力間での、同じエッジ遷移方向におけるレシーバ伝搬遅延時間の差です。このパラメータは設計と特性により保証されています。

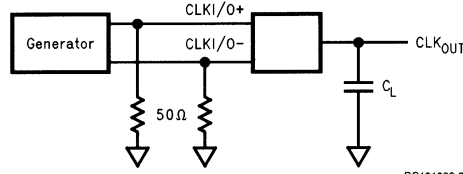
Note 12:  $t_{SK3R}$  はデバイス間スキューであり、同一デバイス間での、同じエッジ遷移方向におけるレシーバ伝搬遅延時間の差です。この仕様は推奨動作条件下で動作するデバイスに適用され、プロセスばらつきを含みます。 $t_{SK3R}$  は差動伝搬遅延時間の max 値 - min 値として定義され、このパラメータは設計と特性により保証されています。

Note 13:  $t_{SK1D}$  は同一チャネルにおけるドライバの伝搬遅延時間の差 ( $|t_{PLH} - t_{PHL}|$ ) であり、指定された温度と  $V_{CC}$  条件における CLKI/O 出力のデューティ比の歪みに相当します。

Note 14:  $t_{SK2R}$  はデバイス間スキューであり、同一デバイス間での、同じエッジ遷移方向におけるレシーバ伝搬遅延時間の差です。この仕様は推奨動作条件下で動作するデバイスに適用され、プロセスばらつきを含みます。 $t_{SK2D}$  は差動伝搬遅延時間の max 値 - min 値として定義されています。

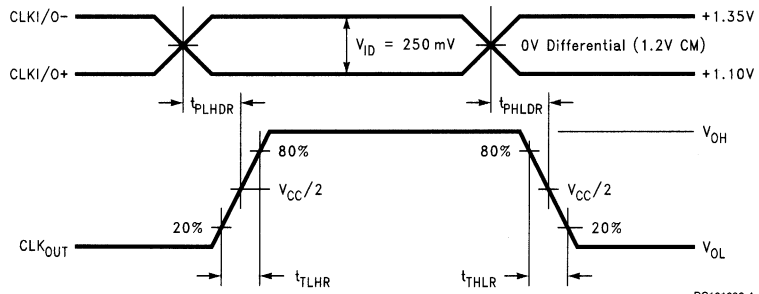
Note 15: パルス・ジェネレータの入力は次のとおりです。 $t_r < 1\text{ns}$ 、 $t_f < 1\text{ns}$ 、デューティ比 50%、差動(ピーク・ツー・ピークで 1.10V から 1.35V)。また、出力の判定基準は次のとおりです。デューティ比 60%/40%、 $V_{OL}(\text{max}) 0.4V$ 、 $V_{OH}(\text{min}) 2.7V$ 、負荷 = 7pF (浮遊容量 + プローブ容量)。

Parameter Measurement Information



DS101082-3

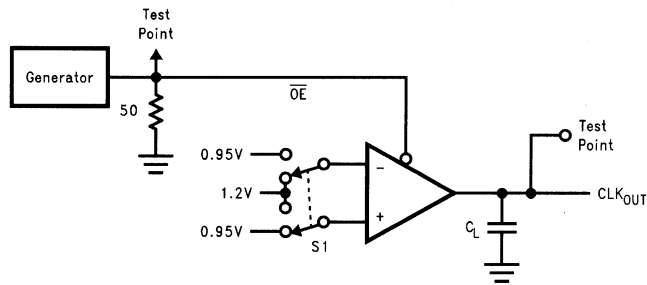
FIGURE 1. Receiver Propagation Delay and Transition Time Test Circuit



DS101082-4

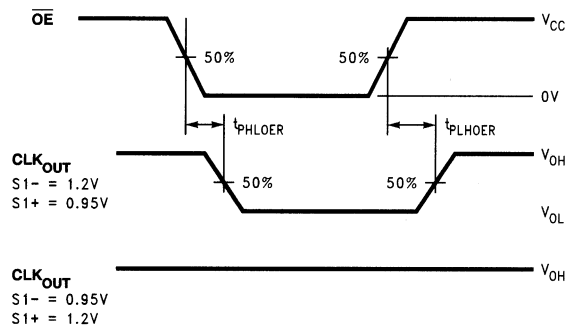
特記のない限り、すべてのテストにおけるパルス・ジェネレータの波形は次の設定によります。  
 $f=25\text{MHz}$ 、デューティ比50%、 $Z_0=50\Omega$ 、 $t_{TLH}=1\text{ns}$ 、 $t_{THL}=1\text{ns}$ 。

FIGURE 2. Receiver Propagation Delay and Transition Time Waveforms



DS101082-5

FIGURE 3. Output Enable ( $\overline{\text{OE}}$ ) Delay Test Circuit



DS101082-6

FIGURE 4. Output Enable ( $\overline{\text{OE}}$ ) Delay Waveforms

Parameter Measurement Information (つづき)

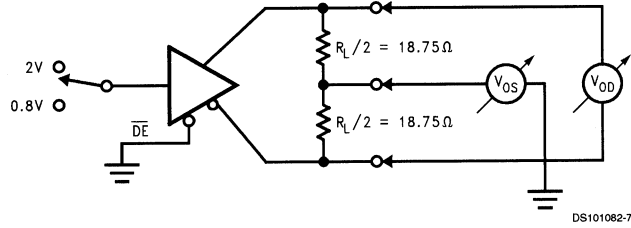


FIGURE 5. Differential Driver DC Test

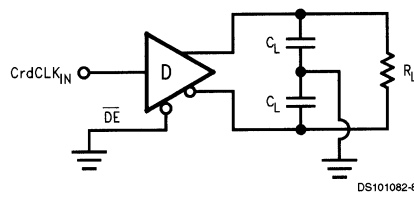


FIGURE 6. Driver Propagation Delay Test Circuit

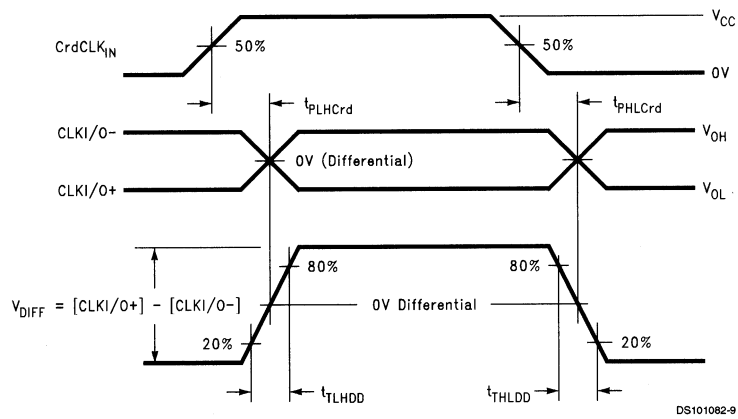


FIGURE 7. Driver Propagation Delay and Transition Time Waveforms

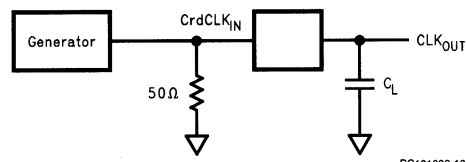


FIGURE 8. CrdCLK\_IN Propagation Delay Time Test Circuit



Parameter Measurement Information (つづき)

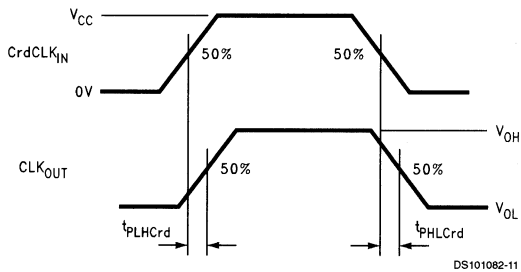


FIGURE 9. CrdCLK<sub>IN</sub> Propagation Delay Time Waveforms

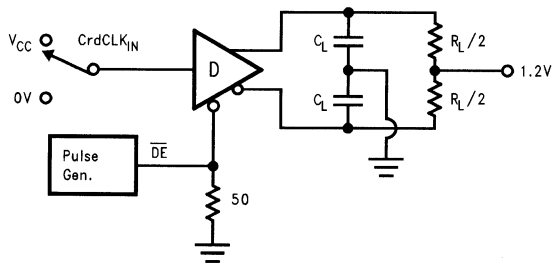


FIGURE 10. Driver TRI-STATE Test Circuit

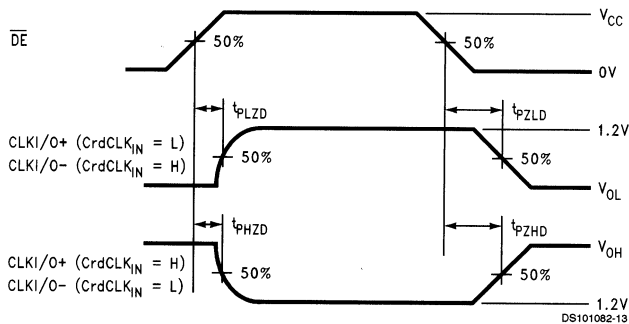


FIGURE 11. Driver TRI-STATE Waveforms

## アプリケーション情報

下記の弊社アプリケーション・ノートに、BLVDS/LVDS トランシーバ、ドライバおよびレシーバに関する一般的なガイドラインとヒントが記載されています。LVDS Owner's Manual (文書番号 #550062-001)、AN-805、AN-807、AN-808、AN-903、AN-905、AN-916、AN-971、AN-977。

BLVDS ドライバとレシーバは、差動バックプレーンの構成を目的としたデバイスです。トランシーバまたはレシーバは、プリント基板上の差動配線のような平衡メディアを介してドライバと接続されます。ここで、伝送メディアの差動インピーダンス  $Z_0$  は、通常 50 $\Omega$  から 100 $\Omega$  の範囲です。バックプレーンの線路の両端には  $Z_0$  の終端抵抗を設けます。ドライバから出力された電流は、この終端抵抗によってレシーバで受信可能な電圧に変換されます。設計においては、インピーダンスの不整合要因となるバックプレーン・コネクタやスタブの影響、あるいはグラウンド・シフトやノイズ・マージン、負荷の総計などを考慮に入れる必要があります。

差動ライン・ドライバ DS92CCK16 は、平衡な電流源として設計されています。一般に、電流モード・ドライバは 100 $\Omega$  程度の高めの出力インピーダンスを持っており、負荷範囲に対して定電流を供給します（一方の電圧モード・ドライバは負荷範囲に対して定電圧を供給します）。電流は、負荷に対して流れることで論理レベルを発生させ、逆の向きに流れることでもう一方の論理レベルを発生させます。このような電流の向きの変化を受けるのが負荷抵抗の役割の 1 つです。上述のとおり電流モード動作では、抵抗性負荷により信号を終端し電源とのループを形成する必要があります。したがって無終端では使えません。BLVDS での出力電流は Typ 値で 9.330mA です。37.5 $\Omega$  (75 $\Omega$  の線路を両側終端) のインピーダンスに対して 9.33mA のループ電流が流れると、350mV の差動電圧が生じ、線路での損失がないとするとレシーバ端では 280mV のノイズ・マージンがあることがわかります（ドライバ電圧 350mV - レシーバ・スレッショルド 70mV=280mV）。信号振幅は、+ 1.2V がゼンタとなります（ドライバ・オフセット  $V_{OS}$ ）。なお定常状態電圧 ( $V_{SS}$ ) のピーク・ツー・ピーク振幅は、差動電圧 ( $V_{OD}$ ) の 2 倍に相当し Typ 値で 700mV です。

電流モード・ドライバは、RS-422 ドライバのような電圧モード・ドライバに比べて本質的に優れています。まず待機時電流は、スイッチング周波数が高くなってもほぼ一定です。しかし、RS-422 電圧モード・ドライバは、20MHz から 50MHz の間で指数関数的に電流が増大します。これは、ゲートのスイッチ時に、電源と GND 間にオーバーラップ電流が流れるからです。一方の電流モード・ドライバは、本質的にオーバーラップ電流がないため、スイッチ時も電流は一定です。この点は ECL や PECL デバイスと似ていますが、ECL や PECL のように無信号時でも  $I_{CC}$  が極めて大きいということはありません。LVDS は同等の PECL デバイスと比べて、80% 以上も電流消費は小さくなっています。しかもドライバの AC 特性は、既存の RS-422 ドライバに比べて数倍も改善されています。

TRI-STATE 機能によりドライバ出力をディセーブルにすることができ、データ転送がないときに消費電力を低減することができます。

電源に対するデカップリングの推奨方法:

電源ピンには必ずバイパス・コンデンサを付加して下さい。0.01 $\mu$ F と 0.01 $\mu$ F と 0.001 $\mu$ F の高周波セラミック・コンデンサ (表面実装タイプを推奨) を電源ピンに並列に接続し、プリント基板全体の随所に配置します。また、バイパス・コンデンサのパッドには、 $V_{CC}$  と GND を接続するスルーホールを複数個設けて下さい。また、プリント基板の電源との接続部分には、4.7 $\mu$ F (35V) 以上のタンタル・コンデンサを設けて下さい。

プリント基板設計の考慮事項:

プリント基板は 4 層以上とし、Bus LVDS 信号層、グランド層、電源層、TTL 信号層にそれぞれ割り当て下さい。

TTL 信号と Bus LVDS 信号は、BLVDS 線に TTL からのクロストークが生ずる恐れがあるので分離して下さい。電源層または GND 層を挟み、TTL 信号と BLVDS 信号をそれぞれ別の層に配線するようにします。

また、BLVDS ピン側のドライバとレシーバはコネクタになるべく近い位置に置き、スタブ長を短くして下さい。

差動信号の配線:

インピーダンスが管理できる、バックプレーンまたはケーブルと、終端抵抗を使用して下さい。差動の信号ペアは、デバイスのパッドから先は極力間隔を狭くして配線して下さい。信号反射とコモン・モード・ノイズの発生を低減させることにつながります。実験では、差動信号を 3mm 間隔で配線するよりも 1mm 間隔で配線したほうが、磁界を打ち消し合う効果が大きいためノイズ発生が大幅に少なくなることがわかっています。また、差動配線で発生するノイズのほとんどが、レシーバで抑止されるコモン・モード・ノイズとして現れます。

信号スキュー低減のためには配線長を揃えます。ペア配線長に差があると、信号間の位相差によって差動信号の利点である磁界の打ち消し作用が薄れ、結果として EMI が増大します。なお位相差を計算する上で、伝搬遅延時間は  $v=c/Er$  であり、 $c$  は光速で 0.2997mm/ps です。したがって差動信号の配線に際しては、CAD の自動配線に頼らないようにして下さい。差動インピーダンスを整合させるよう注意深く配線長をチェックし、また差動配線を他の配線から分離します。またインピーダンスの不整合を生じさせるスルーホール数などの要因を極力少なくします。

基板上で配線の方向を変えるときは、インピーダンス不整合の原因となる 90° 直角は避け、円弧もしくは 45° の斜め配線として下さい。

ペアの配線間隔は、レシーバでのコモン・モード抑止を維持するために極力狭くします。とくにプリント基板においては、差動インピーダンスの不整合を防ぐために、配線間隔は一定として下さい。ただし配線の引き出し部分において、間隔が多少変わる程度は許容される範囲です。

スタブ長:

スタブ長はできる限り短くして下さい。DS92CCK16 の BLVDS 出力の立ち上がり/立ち下がり時間は 0.75ns です (20% から 80%、Typ 値)。振幅 100% では 1.25ns です (0.75/0.6)。一般的な概算において、立ち上がり/立ち下がりエッジ時間の 1/5 よりも伝搬が長い配線は、伝送線路として扱う必要があります。先ほどの例ですと  $1.25ns \div 5=250ps$  となります。標準的な負荷のバックプレーンにおける伝搬速度が 1cm あたり 63ps とすると、許されるスタブの長さは  $250ps \div 63ps/cm$ 、すなわち 3.96cm となります。なお許容されるバックプレーンからのスタブ長は、実際の条件下における伝搬時間から求める必要があります (弊社アプリケーション・ノート AN-905 および AN-808 を参照下さい)。

## アプリケーション情報(つづき)

### 終端:

負荷を含む伝送線路の差動インピーダンスに最も適合する抵抗値を選択して下さい。前に述べたように、電流モード出力は差動電圧を生じさせるために終端抵抗を必要とし、BLVDS は終端抵抗がないと正しく動作しません。表面実装の誤差 1% または 2% 品が適します。

### BLVDS 伝送線路に対するプロービング:

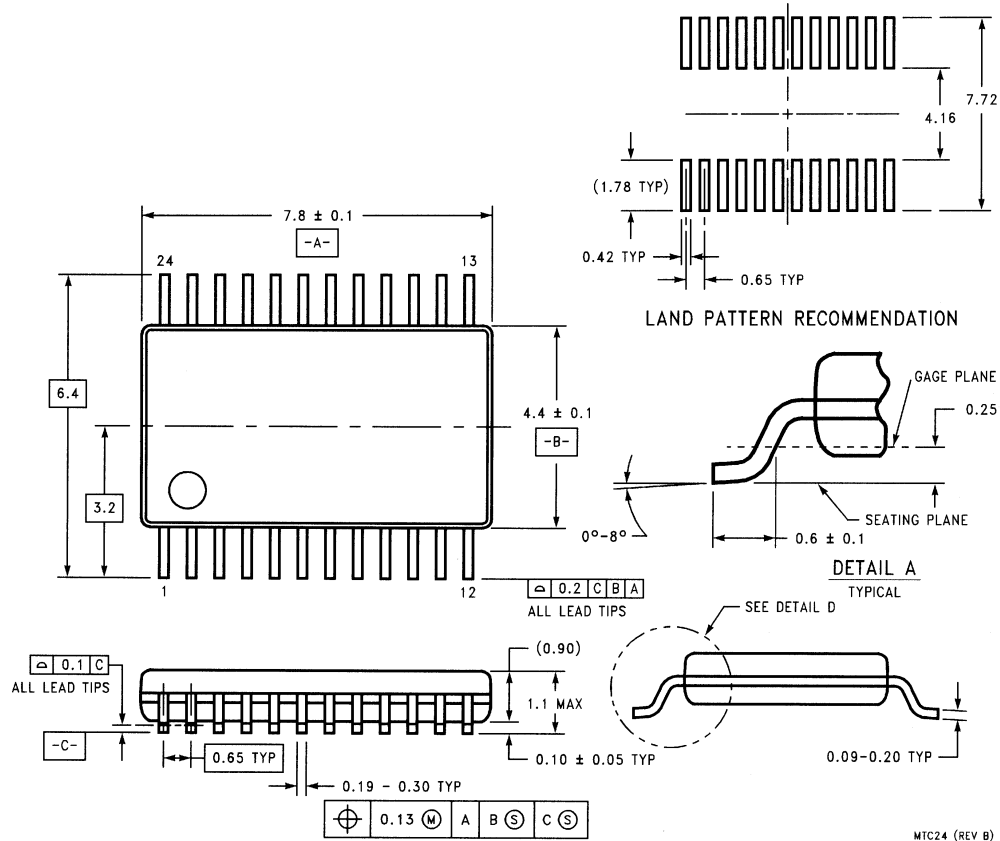
高帯域 (1GHz) のオシロスコープと、高入力インピーダンス (> 100k $\Omega$ ) で低容量 (> 2pF) のプローブを使用するようにして下さい。適切でないプローブを使用すると、測定結果に誤差が生じます。

### ケーブルとコネクタに対する一般的注意:

インピーダンスが管理できる伝送メディアを使用して下さい。コネクタはおよそ  $Z_{0\Omega}$  の差動インピーダンスを持っていないければなりません。

大きなインピーダンス不整合を生じさせないようにして下さい。また、より対線のような平衡ケーブルのほうが、リボンケーブルや同軸ケーブルのような不平衡ケーブルよりもノイズ低減と信号品質に優れます。平衡ケーブルは磁界のキャンセル効果により EMI 発生が少ないという性質を持ちますが、電磁界放射を差動モードではなく、レシーバで抑止されるコモンモードノイズとして拾う傾向があります。ケーブル長が 50cm 以内なら、ほとんどのツイスト線が正しく動作します。また 50cm 以上 10m までは、入手が容易ですがそれほど高価ではない CAT3 (カテゴリ-3) のツイストペアケーブルがよいでしょう。

外形寸法図 表記は millimeters



24-Pin TSSOP Package Drawing  
Dimensions shown in millimeters  
Order Number DS92CK16TMTTC  
NS Package Number MTC24

MTC24 (REV B)

生命維持装置への使用について

弊社の製品はナショナル セミコンダクター社の書面による許可なくしては、生命維持用の装置またはシステム内の重要な部品として使用することはできません。

1. 生命維持用の装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。
2. 重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

ナショナル セミコンダクター ジャパン株式会社

本 社 / 〒135-0042 東京都江東区木場 2-17-16 TEL. (03)5639-7300 <http://www.nsjk.co.jp/>

製品に関するお問い合わせはカスタマ・レスポンス・センタのフリーダイヤルまでご連絡ください。

0120-666-116



この紙は再生紙を使用しています

# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上