

DS92LV090A

DS92LV090A 9 Channel Bus LVDS Transceiver



Literature Number: JAJ590

DS92LV090A

9チャンネル Bus LVDS トランシーバ

概要

DS92LV090A は、バックプレーンおよびケーブルでの伝送に最適な、高速かつ低消費電力の Bus LVDS インタフェース用トランシーバです。このデバイスは 3.3V 単一電源で動作し、9 チャンネル分の差動ライン・ドライバとレシーバを内蔵しています。Bus LVDS 側は、ドライバ出力とレシーバ入力を内部で接続することでバス負荷を小さくしています。また、論理回路が接続される側は、入力ピンと出力ピンの分離により、ドライバ出力をレシーバでバス上から取り込むループ・バックも可能です。このデバイスはデータの流れたに沿ったピン配置を採用していますので、プリント基板の設計においてはコネクタとデバイス間のスタブ長を短くできます。

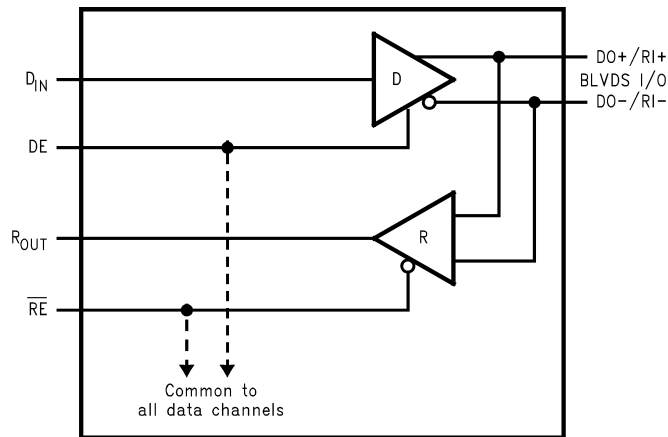
このドライバは 3V TTL レベル入力 (シングル・エンド) を、差動の Bus LVDS (BLVDS) 出力レベルに変換します。Bus LVDS により、EMI を低減しつつ低消費電力で高速動作を実現します。差動信号での同相電圧ノイズの抑止能力は $\pm 1V$ です。

レシーバのスレッシュホールドは、 $\pm 1V$ の同相電圧範囲において $\pm 100mV$ 以下と小さく、差動 Bus LVDS 信号を標準的な TTL/CMOS レベルに変換することができます (詳細については、アプリケーション情報の項を参照してください)。

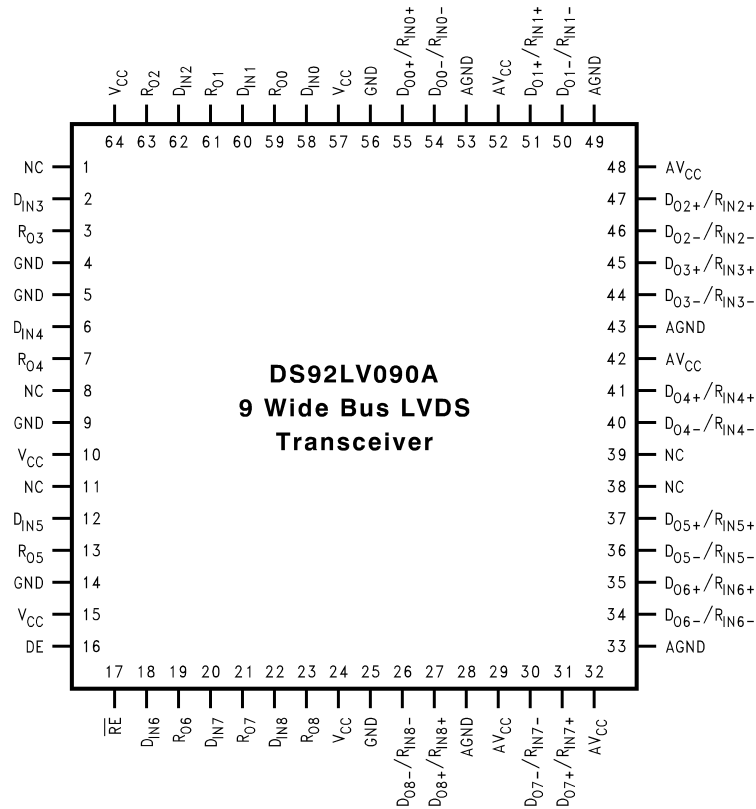
特長

- Bus LVDS 信号
- 最大伝搬遅延時間 3.2ns
- チップ間スキュー $\pm 800ps$
- 低消費電力 CMOS 設計
- 100Mbps 以上の高速転送レート
- $V_{ID} = 200mV$ における同相電圧範囲は 0.1V から 2.3V
- レシーバ感度 $\pm 100mV$
- Bus LVDS ピンにおける開放および終端時のフェイルセーフ機能のサポート
- 3.3V 単一電源動作
- ドライバおよびレシーバ・ディスエーブルによりグリッジの生じない電源オン/オフ
- 5pF (typ) 低負荷容量の Bus LVDS 入力
- 両側終端バスに対応
- 平衡出力インピーダンス
- 64ピン TQFP パッケージ
- 電源オフ時ハイ・インピーダンスとなるバス・ピン ($V_{CC} = 0V$)
- デバイス内ドライバ・チャンネル間スキュー 230ps (typ)
- デバイス内レシーバ・チャンネル間スキュー 370ps (typ)

機能図



ピン配置図



Top View
 Order Number DS92LV090ATVEH
 See NS Package Number VEH064DB

ピン説明

ピン名称	ピン番号	I/O	説明
DO + / RI +	27、31、35、37、41、45、47、51、55	I/O	正極性 Bus LVDS ドライバ出力、およびレシーバ入力
DO - / RI -	26、30、34、36、40、44、46、50、54	I/O	負極性 Bus LVDS ドライバ出力、およびレシーバ入力
D _{IN}	2、6、12、18、20、22、58、60、62	I	TTL ドライバ入力
RO	3、7、13、19、21、23、59、61、63	O	TTL レシーバ出力
\overline{RE}	17	I	レシーバ・イネーブル TTL 入力 (LOW アクティブ)
DE	16	I	ドライバ・イネーブル TTL 入力 (HIGH アクティブ)
GND	4、5、9、14、25、56	Power	デジタル回路グラウンド (プリント基板の GND に接続)。各ピンは内部にて接続
V _{CC}	10、15、24、57、64	Power	デジタル回路電源 (プリント基板の V _{CC} に接続)。各ピンは内部にて接続
AGND	28、33、43、49、53	Power	アナログ回路グラウンド (プリント基板の GND に接続)。各ピンは内部にて接続
AV _{CC}	29、32、42、48、52	Power	アナログ回路電源 (プリント基板の V _{CC} に接続)。各ピンは内部にて接続
NC	1、8、11、38、39	N/A	未使用のため開放 (NC) とすること

絶対最大定格 (Note 1、2)

本データシートには軍用・航空宇宙用の規格は記載されていません。
 関連する電気的信頼性試験方法の規格を参照ください。

電源電圧 (V _{CC})	4.0V
イネーブル入力電圧 (DE、 \overline{RE})	- 0.3V ~ (V _{CC} + 0.3V)
ドライバ入力電圧 (D _{IN})	- 0.3V ~ (V _{CC} + 0.3V)
レシーバ出力電圧 (R _{OUT})	- 0.3V ~ (V _{CC} + 0.3V)
Bus ピン電圧 (DO/RI ±)	- 0.3V ~ + 3.9V
ESD 耐圧 (人体モデル、1.5k、100pF)	> 4.5 kV
ドライバ短絡時間	瞬間
レシーバ短絡時間	瞬間
パッケージ最大許容電力損失 (25 °C)	
TQFP	1.74 W
TQFP パッケージ・デレーティング	13.9 mW/
ja	71.7 /W
jc	10.9 /W

接合部温度	+ 150
保存温度範囲	- 65 ~ + 150
リード温度 (ハンダ付け、4 秒)	260

推奨動作条件

	最小値	最大値	単位
電源電圧 (V _{CC})	3.0	3.6	V
レシーバ入力電圧	0.0	2.4	V
動作温度範囲 (T _A)	- 40	+ 85	
最大入力エッジ・レート (Note 6) (20% ~ 80%)			t/V
データ		1.0	ns/V
制御信号		3.0	ns/V

DC 電気的特性

特記のない限り、推奨動作条件における電源電圧および温度範囲に適用 (Note 2、3)。

Symbol	Parameter	Conditions	Pin	Min	Typ	Max	Units	
V _{OD}	Output Differential Voltage	R _L = 27Ω, Figure 1	DO+/RI+, DO-/RI-	240	300	460	mV	
ΔV _{OD}	V _{OD} Magnitude Change					27	mV	
V _{OS}	Offset Voltage			1.1	1.3	1.5	V	
ΔV _{OS}	Offset Magnitude Change				5	10	mV	
V _{OH}	Driver Output High Voltage	R _L = 27Ω	R _{OUT}		1.4	1.65	V	
V _{OL}	Driver Output Low Voltage	R _L = 27Ω		0.95	1.1		V	
I _{OSD}	Output Short Circuit Current (Note 10)	V _{OD} = 0V, DE = V _{CC} , Driver outputs shorted together				36	65	mA
V _{OH}	Voltage Output High (Note 11)	V _{ID} = +300 mV		I _{OH} = -400 μA	V _{CC} -0.2			V
		Inputs Open			V _{CC} -0.2			V
		Inputs Terminated, R _L = 27Ω			V _{CC} -0.2			V
V _{OL}	Voltage Output Low	I _{OL} = 2.0 mA, V _{ID} = -300 mV			0.05	0.075	V	
I _{OD}	Receiver Output Dynamic Current (Note 10)	V _{ID} = 300mV, V _{OUT} = V _{CC} -1.0V			-110	75		mA
		V _{ID} = -300mV, V _{OUT} = 1.0V				75	110	mA
V _{TH}	Input Threshold High	DE = 0V, V _{CM} = 1.5V		DO+/RI+, DO-/RI-			+100	mV
V _{TL}	Input Threshold Low		-100				mV	
V _{CMR}	Receiver Common Mode Range			I _V /2		2.4 - I _V /2	V	
I _{IN}	Input Current	DE = 0V, \overline{RE} = 2.4V, V _{IN} = +2.4V or 0V		-20	±1	+20	μA	
		V _{CC} = 0V, V _{IN} = +2.4V or 0V		-20	±1	+20	μA	
V _{IH}	Minimum Input High Voltage		D _{IN} , DE, \overline{RE}	2.0		V _{CC}	V	
V _{IL}	Maximum Input Low Voltage			GND		0.8	V	
I _{IH}	Input High Current	V _{IN} = V _{CC} or 2.4V		-20	±10	+20	μA	
I _{IL}	Input Low Current	V _{IN} = GND or 0.4V		-20	±10	+20	μA	
V _{CL}	Input Diode Clamp Voltage	I _{CLAMP} = -18 mA		-1.5	-0.8			V

DC 電気的特性 (つづき)

特記のない限り、推奨動作条件における電源電圧および温度範囲に適用 (Note 2、3)。

Symbol	Parameter	Conditions	Pin	Min	Typ	Max	Units
I_{CCD}	Power Supply Current Drivers Enabled, Receivers Disabled	No Load, $DE = \overline{RE} = V_{CC}$, $DIN = V_{CC}$ or GND	V_{CC}		55	80	mA
I_{CCR}	Power Supply Current Drivers Disabled, Receivers Enabled	$DE = \overline{RE} = 0V$, $V_{ID} = \pm 300mV$			73	80	mA
I_{CCZ}	Power Supply Current, Drivers and Receivers TRI- STATE®	$DE = 0V$; $\overline{RE} = V_{CC}$, $DIN = V_{CC}$ or GND			35	80	mA
I_{CC}	Power Supply Current, Drivers and Receivers Enabled	$DE = V_{CC}$; $\overline{RE} = 0V$, $DIN = V_{CC}$ or GND, $R_L = 27\Omega$			170	210	mA
I_{OFF}	Power Off Leakage Current	$V_{CC} = 0V$ or OPEN, D_{IN-} , DE , $\overline{RE} = 0V$ or OPEN, $V_{APPLIED} = 3.6V$ (Port Pins)	DO+/RI+, DO-/RI-	-20		+20	μA
C_{OUTPUT}	Capacitance @ Bus Pins		DO+/RI+, DO-/RI-		5		pF
C_{OUTPUT}	Capacitance @ R_{OUT}		R_{OUT}		7		pF

AC 電気的特性

特記のない限り、推奨動作条件における電源電圧および温度範囲に適用 (Note 6)。

Symbol	Parameter	Conditions	Min	Typ	Max	Units	
DIFFERENTIAL DRIVER TIMING REQUIREMENTS							
t_{PHLD}	Differential Prop. Delay High to Low (Note 8)	$R_L = 27\Omega$, <i>Figures 2, 3,</i> $C_L = 10\text{ pF}$	0.6	1.4	2.2	ns	
t_{PLHD}	Differential Prop. Delay Low to High (Note 8)		0.6	1.4	2.2	ns	
t_{SKD1}	Differential Skew $ t_{PHLD} - t_{PLHD} $ (Note 9)			80		ps	
t_{SKD2}	Chip to Chip Skew (Note 12)				1.6	ns	
t_{SKD3}	Channel to Channel Skew (Note 13)			0.25	0.45	ns	
t_{TLH}	Transition Time Low to High			0.6	1.2	ns	
t_{THL}	Transition Time High to Low			0.5	1.2	ns	
t_{PHZ}	Disable Time High to Z		$R_L = 27\Omega$, <i>Figures 4, 5,</i> $C_L = 10\text{ pF}$		3	8	ns
t_{PLZ}	Disable Time Low to Z				3	8	ns
t_{PZH}	Enable Time Z to High				3	8	ns
t_{PZL}	Enable Time Z to Low			3	8	ns	
DIFFERENTIAL RECEIVER TIMING REQUIREMENTS							
t_{PHLD}	Differential Prop. Delay High to Low (Note 8)	<i>Figures 6, 7,</i> $C_L = 35\text{ pF}$	1.6	2.4	3.2	ns	
t_{PLHD}	Differential Prop Delay Low to High (Note 8)		1.6	2.4	3.2	ns	
t_{SKD1}	Differential Skew $ t_{PHLD} - t_{PLHD} $ (Note 9)			80		ps	
t_{SKD2}	Chip to Chip Skew (Note 12)				1.6	ns	
t_{SKD3}	Channel to Channel Skew (Note 13)			0.35	0.60	ns	
t_{TLH}	Transition Time Low to High			1.5	2.5	ns	
t_{THL}	Transition Time High to Low			1.5	2.5	ns	
t_{PHZ}	Disable Time High to Z		$R_L = 500\Omega$, <i>Figures 8, 9,</i> $C_L = 35\text{ pF}$		4.5	10	ns
t_{PLZ}	Disable Time Low to Z				3.5	8	ns
t_{PZH}	Enable Time Z to High				3.5	8	ns
t_{PZL}	Enable Time Z to Low			3.5	8	ns	

Note 1: 「絶対最大定格」を超えてデバイスを動作させた場合、安全性は保証されません。また、絶対最大定格の上限または下限でデバイスを動作させるべきであることを示しているわけではありません。デバイスの動作条件は「電気的特性」の各表により規定されています。

Note 2: デバイス・ピンに流れ込む電流を正と定義し、デバイス・ピンから流れ出る電流を負と定義しています。電圧は、差動電圧である V_{OD} 、 V_{OD} 、 V_{ID} および特記のある場合を除いてグラウンドを基準としています。

Note 3: 特記のない限り、Typ 値は $V_{CC} = +3.3\text{V}$ 、 $T_A = +25$ のときです。

Note 4: ESD 耐圧：人体モデル (1.5 k、100 pF) > 4.5 kV、EIAJ(0、200 pF) > 300V。

Note 5: C_L はプローブ容量と測定治具容量を含みます。

Note 6: 特記のない限り、すべてのテストにおけるパルス・ジェネレータの波形は次の設定によります。f = 25 MHz、 $Z_O = 50$ 、 $t_r = < 1.0\text{ ns}$ 、 $t_f = < 1.0\text{ ns}$ (0% ~ 100%)。伝搬遅延とスキューを最小にするために、データ入力のエッジ・レートは 1ns/V 以上でなければなりません。また制御信号のエッジ・レートは 3ns/V 以上でなければなりません。一般に、入力のエッジ・レートが速いほど AC 性能はよくなります。

Note 7: DS92LV090A のドライバ出力に抵抗性負荷を接続した場合は、データシート記載の仕様の範囲内で機能します。

Note 8: 伝搬遅延時間は設計および特性によって保証されています。

Note 9: $t_{SKD1} |t_{PHLD} - t_{PLHD}|$ は、任意のチャネルにおける推奨動作条件下での差動伝搬遅延の差です。

Note 10: ショートは 1 出力のみです。パッケージ最大許容電力損失を超えてはなりません。

Note 11: V_{OH} フェイルセーフ終端テストは RI + 入力と RI - 入力間に 27 を接続して実施しています。外部電圧は印加していません。

Note 12: チップ間スキューとは、どちらのエッジによらない任意のデバイス間における差動伝搬遅延の差です。

Note 13: チャネル間スキューとは、デバイス内の任意のチャネル間におけるドライバ出力またはレシーバ出力の伝搬遅延の差です (いずれかのエッジ)。

アプリケーション情報

弊社アプリケーション・ノート AN-808、AN-903、AN-971、AN-977、AN-1108 に、一般的なガイドラインとヒントが記載されています。

Bus LVDS のプリント基板設計において考慮すべき共通のガイドラインを以下に示します。

- プリント基板は 4 層以上としてください (Bus LVDS 信号層、グラウンド層、電源層、TTL 信号層)。
 - ドライバとレシーバはできるだけコネクタに近い位置に配置してください。
 - 各 Bus LVDS デバイスにはバイパス・コンデンサを、電源層との間には分散してバルク・コンデンサを配置します。表面実装タイプのコンデンサを V_{CC} ピンおよび GND ピンの近くに配置するとバイパス効果が高まります。表面実装 (0.1 μ F、0.01 μ F、0.001 μ F) の高周波対応多層セラミック・コンデンサ (MLC) を各 V_{CC} ピンと GND ピンに数個並列に使用してください。このときコンデンサは、 V_{CC} ピンにできるだけ近い位置に実装してください。またバイパス・コンデンサのパッドには、 V_{CC} と GND を接続するスルーホールを複数設けてください。また、ボード全体の随所にバイパス・コンデンサを配置してください。
 - 伝送線のインピーダンスに最適な終端抵抗値を選択してください。
 - 使用していない Bus LVDS レシーバ入力は開放 (フローティング) としてください。また、使用しない入力ピンの布線長は 0.5 インチ以内にしてください。
 - TTL 信号と Bus LVDS 信号とを分離してください。
- 伝送メディア (コネクタまたはバックプレーン) の選択ガイドラインを示します。
- インピーダンスが管理できるメディアを使用してください。また、バックプレーン基板とコネクタの差動インピーダンスを整合させてください。

テスト回路およびタイミング波形

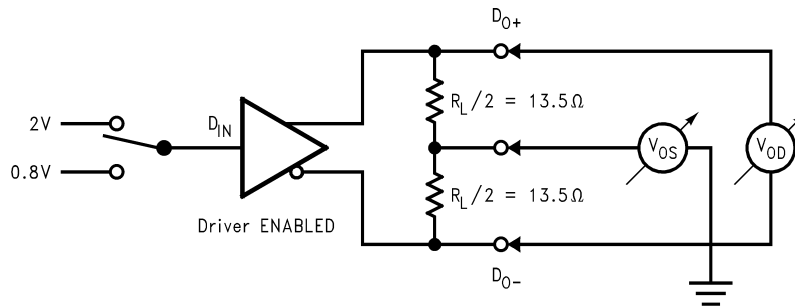


FIGURE 1. Differential Driver DC Test Circuit

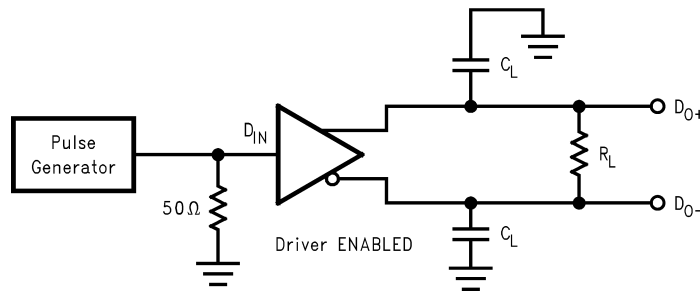


FIGURE 2. Differential Driver Propagation Delay and Transition Time Test Circuit

TABLE 1. Functional Table

MODE SELECTED	DE	\overline{RE}
DRIVER MODE	H	H
RECEIVER MODE	L	L
TRI-STATE MODE	L	H
LOOP BACK MODE	H	L

TABLE 2. Transmitter Mode

INPUTS		OUTPUTS	
DE	D_{IN}	DO+	DO-
H	L	L	H
H	H	H	L
H	$0.8V < D_{IN} < 2.0V$	X	X
L	X	Z	Z

TABLE 3. Receiver Mode

INPUTS		OUTPUT
\overline{RE}	(RI+) – (RI-)	
L	L (< -100 mV)	L
L	H (> +100 mV)	H
L	$-100 \text{ mV} < V_{ID} < +100 \text{ mV}$	X
H	X	Z

X = HIGH または LOW (ドントケア)
 L = LOW
 Z = ハイ・インピーダンス
 H = HIGH

テスト回路およびタイミング波形 (つづき)

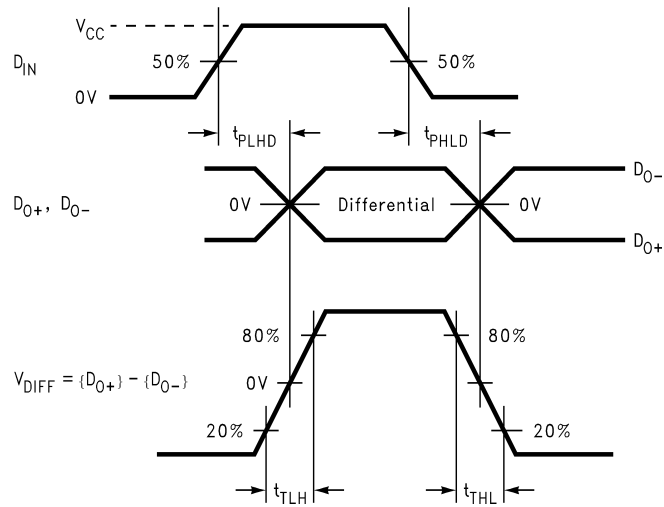


FIGURE 3. Differential Driver Propagation Delay and Transition Time Waveforms

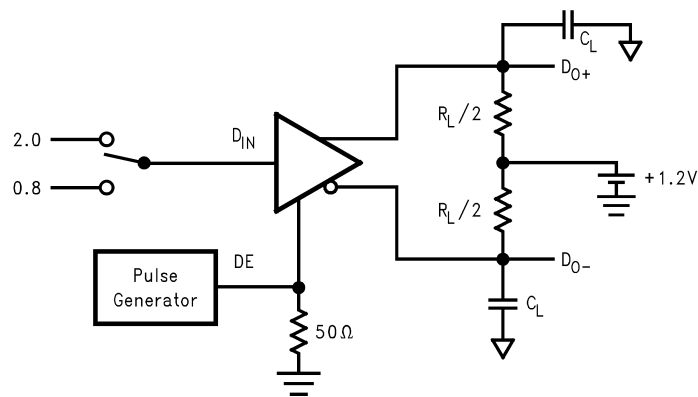


FIGURE 4. Driver TRI-STATE Delay Test Circuit

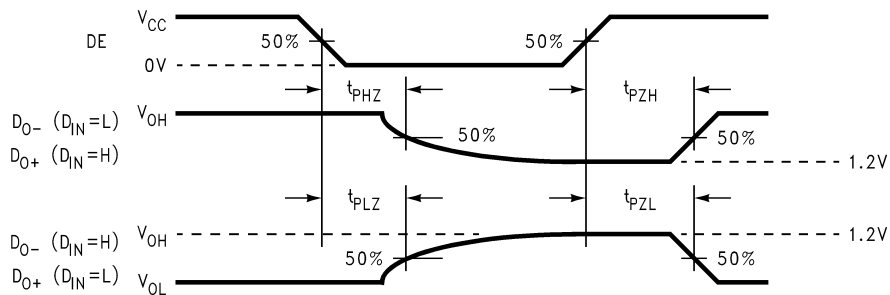


FIGURE 5. Driver TRI-STATE Delay Waveforms

テスト回路およびタイミング波形 (つぎ)

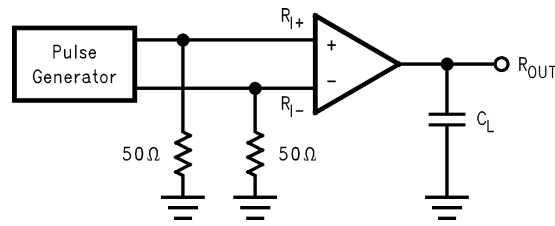


FIGURE 6. Receiver Propagation Delay and Transition Time Test Circuit

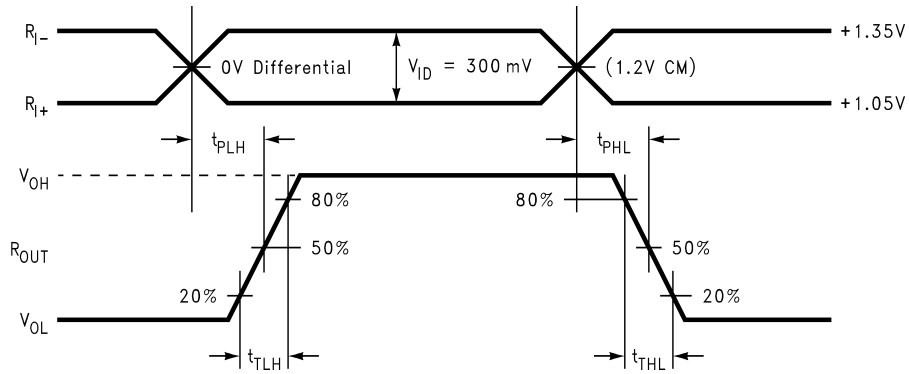


FIGURE 7. Receiver Propagation Delay and Transition Time Waveforms

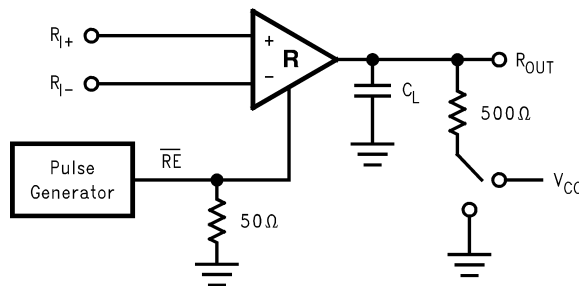


FIGURE 8. Receiver TRI-STATE Delay Test Circuit

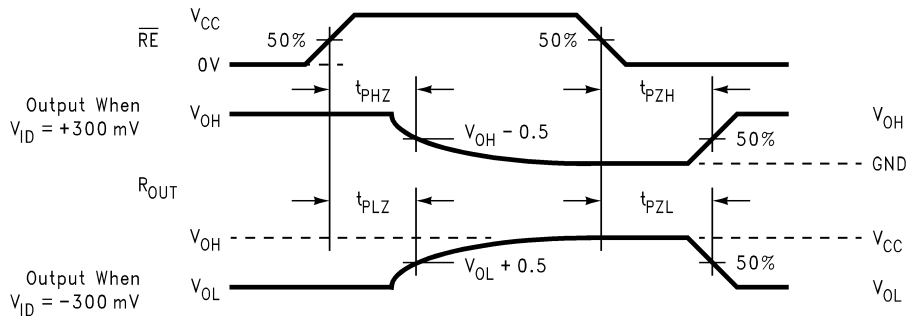
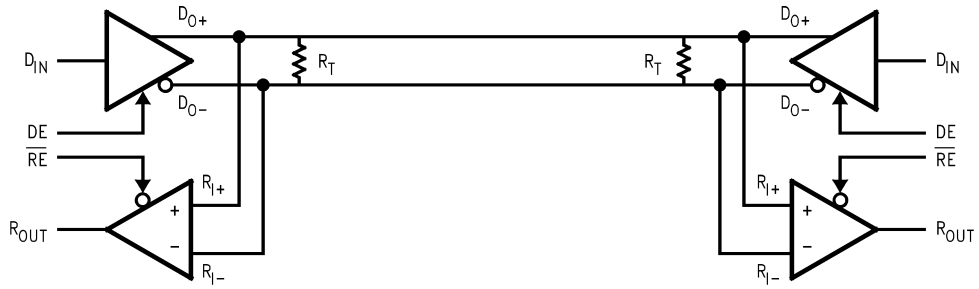
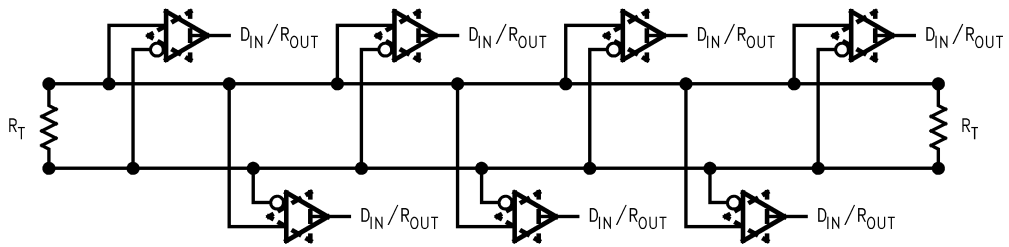


FIGURE 9. Receiver TRI-STATE Delay Waveforms

代表的なバス・アプリケーション構成

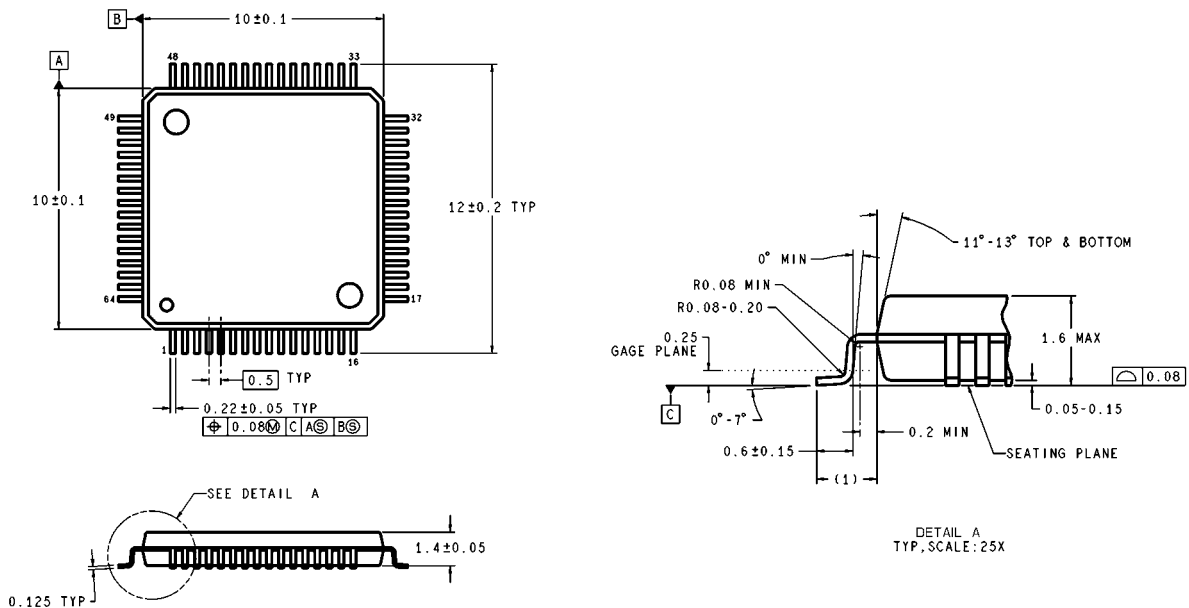


Bi-Directional Half-Duplex Point-to-Point Applications



Multi-Point Bus Applications

外形寸法図 単位は millimeters



DIMENSIONS ARE IN MILLIMETERS

VEH64A (Rev C)

64-Lead Molded TQFP Package
Order Number DS92LV090ATVEH
NS Package Number VEH064DB

このドキュメントの内容はナショナル セミコンダクター 社製品の関連情報として提供されます。ナショナル セミコンダクター 社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター 社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター 社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター 社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター 社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター 社との取引条件で規定される場合を除き、ナショナル セミコンダクター 社は一切の義務を負わないものとし、また、ナショナル セミコンダクター 社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター 社の製品は、ナショナル セミコンダクター 社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクター のロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2008 National Semiconductor Corporation
 製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

本資料に掲載されているすべての回路の使用に起因する第三者の特許権その他の権利侵害に関して、弊社ではその責を負いません。また掲載内容は予告無く変更されることがありますのでご了承ください。

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは承認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上