

DS99R103,DS99R104

*DS99R103/DS99R104 3-40MHz DC-Balanced 24-Bit LVDS Serializer and
Deserializer*



Literature Number: JAJSAN1

DS99R103/DS99R104

3-40MHz DC バランス 24 ビット LVDS シリアライザ / デシリアライザ

概要

DS99R103/DS99R104 チップセットは、24 ビットの平行・バスを、クロック情報・制御信号を埋め込んだ LVDS シリアル・ストリームに変換します。1 つのシリアル・ストリームでは平行・データ・バスで問題となるクロックとのスキューを考慮する必要はないので、プリント基板やケーブルでの伝送が容易になります。あわせてプリント基板層数やケーブル幅、コネクタ・サイズとピン数などを低減できるため、コストを抑えられます。

DS99R103/DS99R104 は、高速 I/O として LVDS 信号を採用しています。LVDS が持つ低消費電力かつ低ノイズの伝送方式により、シリアル伝送バス上を高信頼でデータ転送できます。動作周波数範囲に応じてシリアライザの出力エッジのレート最適化することにより、EMI が低減されています。

さらに、長い距離を高損失のケーブルを介して信号を送るためのプリエンファシス・ブースト機能も備えています。内部 DC バランス・エンコード / デコード回路によって、AC 結合によるインターコネクタをサポートします。

特長

3MHz ~ 40MHz クロック埋め込みデータ伝送および DC バランス 24:1/1:24 データ伝送

シールド・ツイストペア・ケーブルを駆動可能

トランスミッタとレシーバの両側で平行・データのクロック・エッジを選択可能

内蔵 DC バランス・エンコード / デコード回路 外部コーディングなしで AC 結合インターフェースを使用可能

トランスミッタとレシーバの両方を個別にパワーダウン制御可能

レシーバの埋め込みクロック CDR (クロック・データ・リカバリ) 機能 外部の基準クロック源不要

全コード RDL (ランダム・データ・ロック) により活線挿抜アプリケーションに対応

レシーバ側でデータ品質を保証する LOCK 出力フラグ

レシーバ側の RCLK および RDATA 間のバランスの取れた T_{SETUP}/T_{HOLD}

PTO (プログレッシブ・ターンオン) の LVCMOS 出力により EMI および SSO 現象を最小限に抑制

LVCMOS のすべての入力および制御ピンにプルダウン抵抗内蔵

トランスミッタとレシーバの PLL 用オンチップ・フィルタ

レシーバの入力終端用に 100 Ω 抵抗を内蔵

レシーバ出力駆動電流: 4mA

48 ピン TQFP および 48 ピン LLP パッケージ

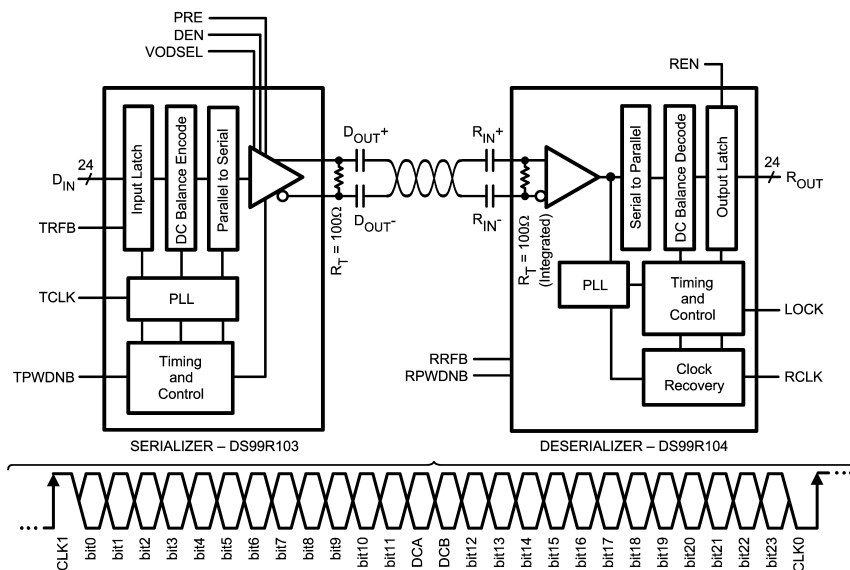
0.35 μm 完全 CMOS プロセス

電源電圧範囲: 3.3V ± 10%

温度範囲: - 40 ~ + 85

ESD 耐圧 (HBM) 8kV

ブロック図



TRI-STATE® はナショナル セミコンダクターの登録商標です。

絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。
 関連する電気的信頼性試験方法の規格を参照ください。

電源電圧 (V _{DD})	- 0.3V ~ + 4V	48L LLP	1/ JA	/W (+ 25 を上回る場合)
LVCOS/LVTTL 入力電圧	- 0.3V ~ (V _{DD} + 0.3V)	DS99R103		
LVCOS/LVTTL 出力電圧	- 0.3V ~ (V _{DD} + 0.3V)	JA		28 (4L*); 79.1 (2L*) /W
LVDS レシーバ入力電圧	- 0.3V ~ + 3.9V	JC		3.7 /W
LVDS ドライバ出力電圧	- 0.3V ~ + 3.9V	DS99R104		
LVDS 出力短絡時間	10ms	JA		28 (4L*); 79.1 (2L*) /W
最大接合部温度	+ 150	JC		3.71 /W
保存温度範囲	- 65 ~ + 150			*JEDEC
リード温度 (ハンダ付け 4 秒)	+ 260	ESD 耐圧 (HBM)		± 8kV

パッケージ最大許容消費電力
 パッケージ・デレーティング:

48L TQFP	1/ JA	/W (+ 25 を上回る場合)
DS99R103		
JA		45.8 (4L*); 75.4 (2L*) /W
JC		21.0 /W
DS99R104		
JA		45.4 (4L*); 75.0 (2L*) /W
JC		21.1 /W

推奨動作条件

	最小値	代表値	最大値	単位
電源電圧 (V _{DD})	3.0	3.3	3.6	V
動作温度範囲 (T _A)	- 40	+ 25	+ 85	
クロック・レート	3		40	MHz
電源ノイズ			± 100	mV _{P-P}

電気的特性

特記のない限り、推奨動作条件の電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Pin/Freq.	Min	Typ	Max	Units
LVCOS/LVTTL DC SPECIFICATIONS							
V _{IH}	High Level Voltage		Tx: DIN[23:0], TCLK, TPWDNB, DEN, TRFB, DCAOFF, DCBOFF, VODSEL	2.0	1.5	V _{DD}	V
V _{IL}	Low Level Input Voltage			GND	1.5	0.8	V
V _{CL}	Input Clamp Voltage	I _{CL} = -18 mA (Note 8)	Rx: RPWDNB, RRFB, REN		-0.8	-1.5	V
I _{IN}	Input Current	V _{IN} = 0V or 3.6V	Tx: DIN[23:0], TCLK, TPWDNB, DEN, TRFB, DCAOFF, DCBOFF, VODSEL	-10	±1	+10	µA
			Rx: RPWDNB, RRFB, REN	-20	±5	+20	µA
V _{OH}	High Level Output Voltage	I _{OH} = -4 mA	Rx: ROUT[23:0], RCLK, LOCK	2.3	3.0	V _{DD}	V
V _{OL}	Low Level Output Voltage	I _{OL} = +4 mA		GND	0.33	0.5	V
I _{OS}	Output Short Circuit Current	V _{OUT} = 0V (Note 8)		-40	-70	-110	mA
I _{OZ}	TRI-STATE® Output Current	RPWDNB, REN = 0V V _{OUT} = 0V or 2.4V	Rx: ROUT[23:0], RCLK, LOCK	-30	±0.4	+30	µA

電氣的特性 (つづき)

特記のない限り、推奨動作条件の電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Pin/Freq.	Min	Typ	Max	Units
LVDS DC SPECIFICATIONS							
V_{TH}	Differential Threshold High Voltage	$V_{CM} = +1.2V$	Rx: R_{IN+} , R_{IN-}			+50	mV
V_{TL}	Differential Threshold Low Voltage			-50			mV
I_{IN}	Input Current	$V_{IN} = +2.4V$, $V_{DD} = 3.6V$				± 300	μA
		$V_{IN} = 0V$, $V_{DD} = 3.6V$				± 300	μA
R_T	Differential Internal Termination Resistance			90	100	130	Ω
V_{OD}	Output Differential Voltage (D_{OUT+})-(D_{OUT-})	$R_L = 100\Omega$, w/o Pre-emphasis VODSEL = L (Figure 10)	Tx: D_{OUT+} , D_{OUT-}	250	400	600	mV
		$R_L = 100\Omega$, w/o Pre-emphasis VODSEL = H (Figure 10)		450	750	1200	mV
ΔV_{OD}	Output Differential Voltage Unbalance	$R_L = 100\Omega$, w/o Pre-emphasis			4	50	mV
V_{OS}	Offset Voltage	$R_L = 100\Omega$, w/o Pre-emphasis		1.00	1.25	1.50	V
ΔV_{OS}	Offset Voltage Unbalance	$R_L = 100\Omega$, w/o Pre-emphasis			1	50	mV
I_{OS}	Output Short Circuit Current	$D_{OUT} = 0V$, $D_{IN} = H$, TPWDNB, DEN = 2.4V, VODSEL = L		-2	-5	-8	mA
		$D_{OUT} = 0V$, $D_{IN} = H$, TPWDNB, DEN = 2.4V, VODSEL = H		-7	-10	-13	mA
I_{OZ}	TRI-STATE Output Current	TPWDNB, DEN = 0V, $D_{OUT} = 0V$ or 2.4V		-15	± 1	+15	μA
SER/DES SUPPLY CURRENT (DVDD*, PVDD* and AVDD* pins) *Digital, PLL, and Analog VDDs							
I_{DDT}	Serializer (Tx) Total Supply Current (includes load current)	$R_L = 100\Omega$ Pre-emphasis = OFF VODSEL = L Checker-board pattern (Figure 1)	$f = 40$ MHz		40	80	mA
		$R_L = 100\Omega$ $R_{PRE} = 6$ k Ω VODSEL = L Checker-board pattern (Figure 1)	$f = 40$ MHz		45	85	mA
	Serializer (Tx) Total Supply Current (includes load current)	$R_L = 100\Omega$ Pre-emphasis = OFF VODSEL = H Checker-board pattern (Figure 1)	$f = 40$ MHz		40	85	mA
		$R_L = 100\Omega$ $R_{PRE} = 6$ k Ω VODSEL = H Checker-board pattern (Figure 1)	$f = 40$ MHz		45	90	mA
I_{DDTZ}	Serializer (Tx) Supply Current Power-down	TPWDNB = 0V (All other LVCMOS Inputs = 0V)			14	250	μA

電気的特性 (つづき)

特記のない限り、推奨動作条件の電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Pin/Freq.	Min	Typ	Max	Units
I _{DDR}	Deserializer (Rx) Total Supply Current (includes load current)	C _L = 8 pF LVCMOS Output Checker-board pattern (Figure 2)	f = 40 MHz			95	mA
	Deserializer (Rx) Total Supply Current (includes load current)	C _L = 8 pF LVCMOS Output Random pattern	f = 40 MHz			90	mA
I _{DDRZ}	Deserializer (Rx) Supply Current Power-down	RPWDNB = 0V (All other LVCMOS Inputs = 0V, R _{IN+} / R _{IN-} = 0V)			1	50	μA

シリアライザの TCLK に対するタイミング仕様

特記のない限り、推奨動作条件の電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t _{TCP}	Transmit Clock Period	(Figure 5)	25	T	333	ns
t _{TCH}	Transmit Clock High Time		0.4T	0.5T	0.6T	ns
t _{TCL}	Transmit Clock Low Time		0.4T	0.5T	0.6T	ns
t _{CLKT}	TCLK Input Transition Time	(Figure 4)		3	6	ns
t _{JIT}	TCLK Input Jitter	(Note 9)			33	ps (RMS)

シリアライザ・スイッチング特性

特記のない限り、推奨動作条件の電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t _{LLHT}	LVDS Low-to-High Transition Time	R _L = 100Ω, (Figure 3)			0.6	ns
t _{LHLT}	LVDS High-to-Low Transition Time	C _L = 10 pF to GND VODSEL = L			0.6	ns
t _{DIS}	DIN (23:0) Setup to TCLK	R _L = 100Ω,	5			ns
t _{DIH}	DIN (23:0) Hold from TCLK	C _L = 10 pF to GND (Note 8)	5			ns
t _{HZD}	DOOUT ± HIGH to TRI-STATE Delay	R _L = 100Ω,			15	ns
t _{LZD}	DOOUT ± LOW to TRI-STATE Delay	C _L = 10 pF to GND			15	ns
t _{ZHD}	DOOUT ± TRI-STATE to HIGH Delay	(Figure 6) (Note 5)			200	ns
t _{ZLD}	DOOUT ± TRI-STATE to LOW Delay				200	ns
t _{PLD}	Serializer PLL Lock Time	R _L = 100Ω, (Figure 7)		10		ms
t _{SD}	Serializer Delay	R _L = 100Ω, (Figure 8) VODSEL = L, TRFB = H		3.5T + 2.85	3.5T + 10	ns
		R _L = 100Ω, (Figure 8) VODSEL = L, TRFB = L		3.5T + 2.85	3.5T + 10	ns
TxOUT_E_O	TxOUT_Eye_Opening (respect to ideal)	3–40 MHz (Figure 9) (Notes 9, 13)		0.68		UI (Note 10)

デシリアライザ・スイッチング特性

特記のない限り、推奨動作条件の電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Pin/Freq.	Min	Typ	Max	Units
t _{RCP}	Receiver out Clock Period	t _{RCP} = t _{TCP} (Note 8)	RCLK	25	T	333	ns
t _{RDC}	RCLK Duty Cycle		RCLK	45	50	55	%
t _{CLH}	LVCMOS Low-to-High Transition Time	C _L = 8 pF (lumped load) (Figure 11)	ROUT [23:0], LOCK, RCLK		2.5	3.5	ns
t _{CHL}	LVCMOS High-to-Low Transition Time				2.5	3.5	ns

デシリアライザ・スイッチング特性 (つづき)

特記のない限り、推奨動作条件の電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Pin/Freq.	Min	Typ	Max	Units
t_{ROS}	ROUT (7:0) Setup Data to RCLK (Group 1)	(Figure 15)	ROUT [7:0]	(0.40)* t_{RCP}	(29/56)* t_{RCP}		ns
t_{ROH}	ROUT (7:0) Hold Data to RCLK (Group 1)			(0.40)* t_{RCP}			
t_{ROS}	ROUT (15:8) Setup Data to RCLK (Group 2)	(Figure 15)	ROUT [15:8], LOCK	(0.40)* t_{RCP}	0.5* t_{RCP}		ns
t_{ROH}	ROUT (15:8) Hold Data to RCLK (Group 2)			(0.40)* t_{RCP}			
t_{ROS}	ROUT (23:16) Setup Data to RCLK (Group 3)	(Figure 15)	ROUT [23:16]	(0.40)* t_{RCP}	(27/56)* t_{RCP}		ns
t_{ROH}	ROUT (23:16) Hold Data to RCLK (Group 3)			(0.40)* t_{RCP}			
t_{HZR}	HIGH to TRI-STATE Delay	(Figure 13)	ROUT [23:0], RCLK, LOCK		3	10	ns
t_{LZR}	LOW to TRI-STATE Delay				3	10	ns
t_{ZHR}	TRI-STATE to HIGH Delay				3	10	ns
t_{ZLR}	TRI-STATE to LOW Delay				3	10	ns
t_{DD}	Deserializer Delay	(Figure 12)	RCLK		[4+(3/56)]T +5.9	[4+(3/56)]T +18.5	ns
t_{DRDL}	Deserializer PLL Lock Time from Powerdown	(Figure 14) (Notes 7, 8)	3 MHz		5	50	ms
			40 MHz		5	50	ms
RxIN_TOL_L	Receiver Input TOLerance Left	(Figure 16) (Notes 6, 8, 10)	3 MHz–40 MHz			0.25	UI
RxIN_TOL_R	Receiver Input TOLerance Right	(Figure 16) (Notes 6, 8, 10)	3 MHz–40 MHz			0.25	UI

Note 1: 絶対最大定格は、IC に破壊が発生したり、使用不能になったり、信頼性や性能が低下する可能性のあるリミット値を示します。これは、絶対最大定格において、または推奨動作条件に示されている動作条件を超える条件でこのデバイスが有効に機能することや品質が劣化しないことは意味していません。推奨動作条件とは、このデバイスが有効に機能する条件を示しており、これらを超えた条件ではこのデバイスを使用しないように注意してください。

Note 2: 電気的特性の表は、推奨動作条件で使用した場合に保証される特性を示しています。ただし、電気的特性や注記で特に変更または指定してある場合はその限りではありません。代表値は推定値であり、この値を保証しているものではありません。

Note 3: 代表値は、VDD = 3.3V、Ta = + 25 で、製品の特性を評価した時点における推奨動作条件下での最も可能性のあるパラメータの基準値を表しており、保証値ではありません。

Note 4: デバイスのピンに流れ込む電流を正と定義しています。デバイスのピンから流れ出す電流を負と定義しています。電圧は、差動電圧である VOD、VOD、VTH、VTL を除いてグラウンドを基準としています。

Note 5: シリアライザの出力が TRI-STATE の場合、デシリアライザの PLL ロックが外れます。データ転送の前に、同期の再確立が必要です。

Note 6: RxIN_TOL とは、デシリアライザが入力データ・ストリームに対してビット・エラーを生じることなく、どの程度の位相ノイズ (ジッタ) まで耐えられるかを示す量です。本パラメータの測定では、理想的なタイミングにあるデータビットを基準としています。詳細はアプリケーション・ノート AN-1217 を参照してください。

Note 7: デシリアライザの PLL ロック時間 (t_{DRDL}) は、入力データのパターンやパターン内の遷移回数などによって変わる場合があります。

Note 8: 仕様値は特性の評価により保証されている値で、量産時における試験は行っていません。

Note 9: t_{JIT} (@BER = 10e-9) は TCLK に許容されるジッタを規定します。 t_{JIT} は TxOUT_E_O パラメータには含まれません。

Note 10: UI ユニットのインターバルは、理想状態におけるシリアル化されたデータの 1 ビット幅と等価です。UI は周波数とともに変化します。

Note 11: Figure 1、2、8、12、14 のいずれも立ち下がりエッジ・データ・ストロブの場合です (TCLK IN/RCLK OUT)。

Note 12: Figure 5、15 は立ち上がりエッジ・データ・ストロブの場合です (TCLK IN/RCLK OUT)。

Note 13: TxOUT_E_O はプリエンファシス量によって変化します。

AC タイミング図およびテスト回路

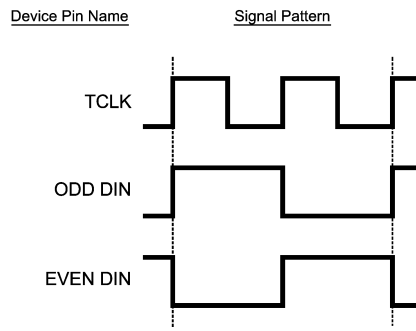


FIGURE 1. Serializer Input Checker-board Pattern

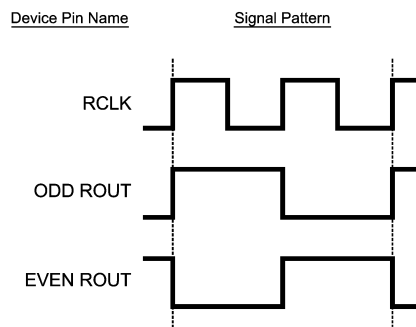


FIGURE 2. Deserializer Output Checker-board Pattern

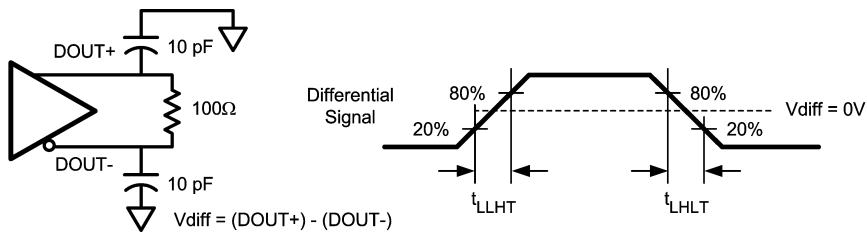


FIGURE 3. Serializer LVDS Output Load and Transition Times

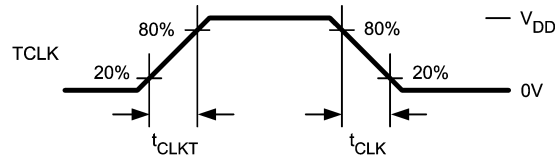


FIGURE 4. Serializer Input Clock Transition Times

AC タイミング図およびテスト回路(つづき)

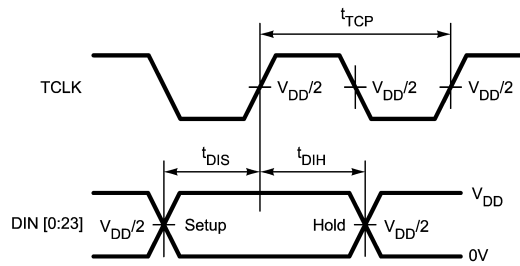


FIGURE 5. Serializer Setup/Hold Times

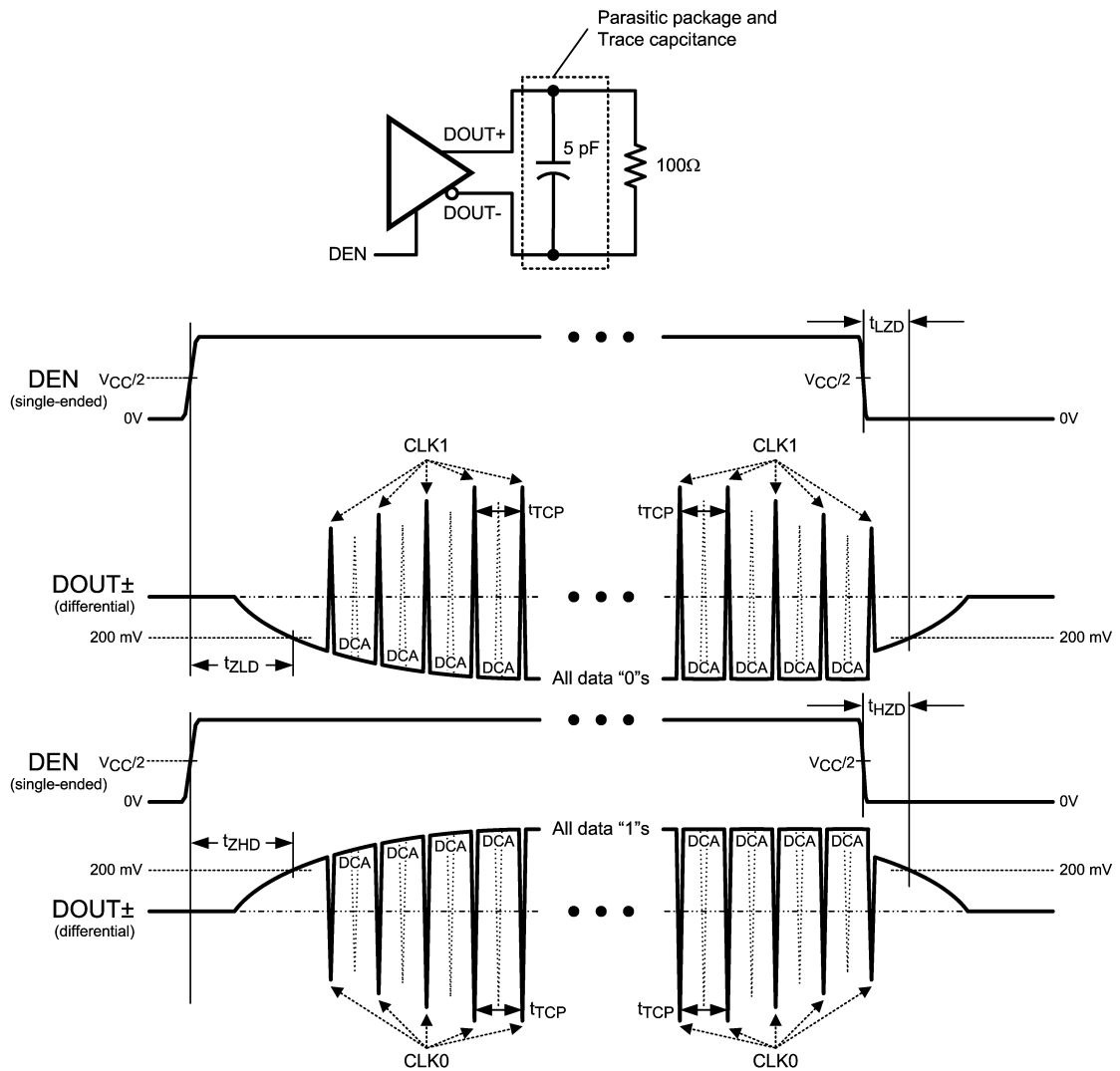


FIGURE 6. Serializer TRI-STATE Test Circuit and Delay

AC タイミング図およびテスト回路(つづき)

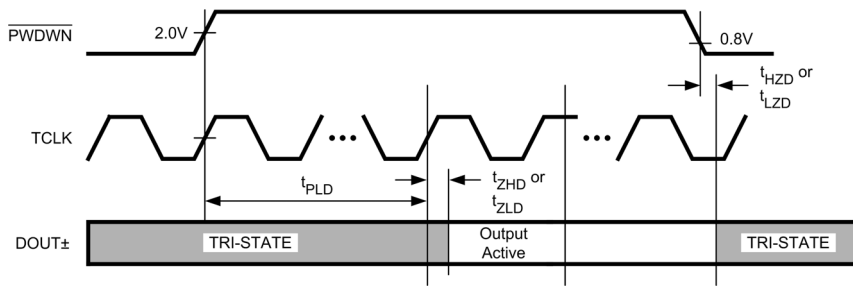


FIGURE 7. Serializer PLL Lock Time, and TPWDNB TRI-STATE Delays

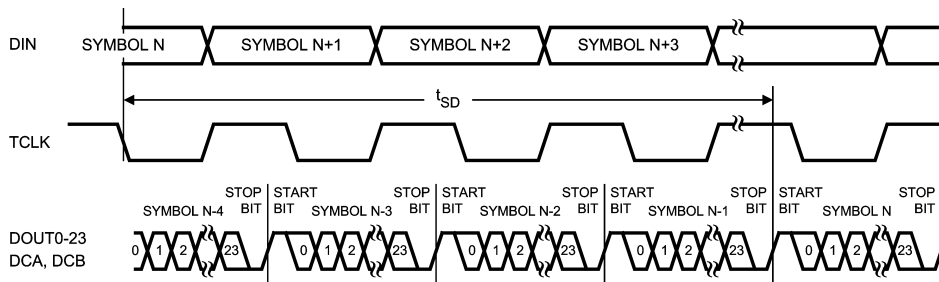


FIGURE 8. Serializer Delay

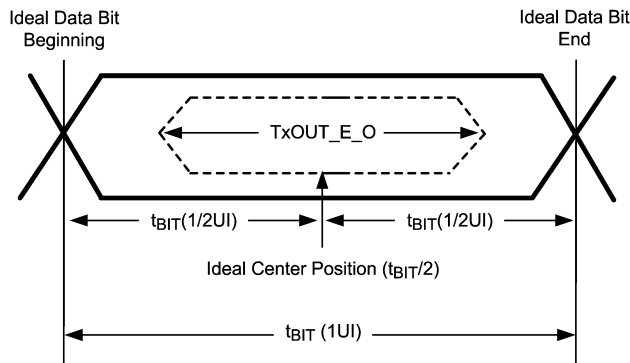
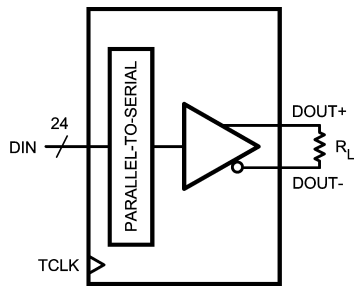


FIGURE 9. Transmitter Output Eye Opening ($TxOUT_E_O$)

AC タイミング図およびテスト回路 (つづき)



$VOD = (D_{OUT+}) - (D_{OUT-})$

差動出力信号は、デバイスがデータ転送モードにおいて $(D_{OUT+}) - (D_{OUT-})$ で示されます。

FIGURE 10. Serializer VOD Diagram

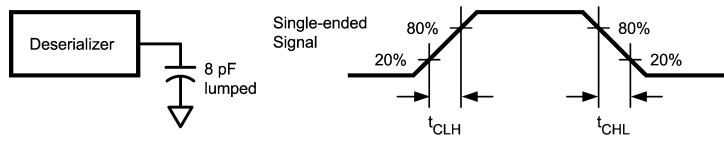


FIGURE 11. Deserializer LVCMOS/LVTTL Output Load and Transition Times

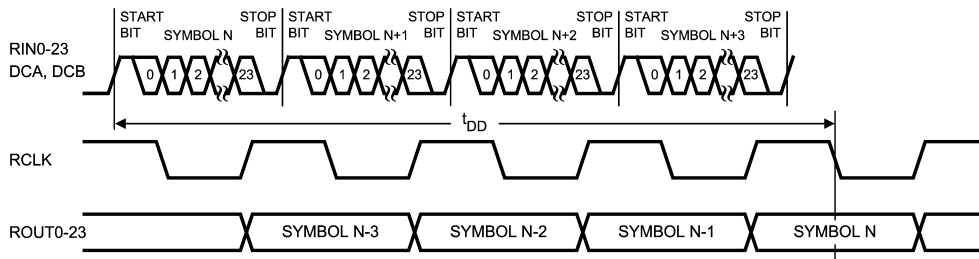
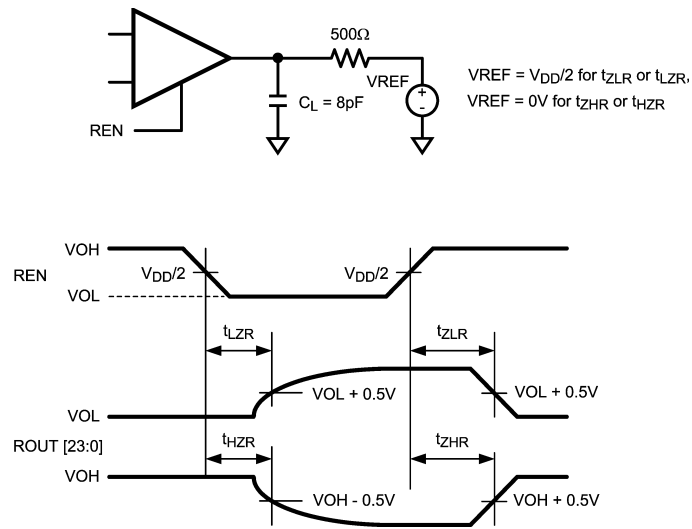


FIGURE 12. Deserializer Delay

AC タイミング図およびテスト回路 (つづき)



Note: C_L には計測機器と ROUT[23:0] の 6cm の取付具の静電容量が含まれます。

FIGURE 13. Deserializer TRI-STATE Test Circuit and Timing

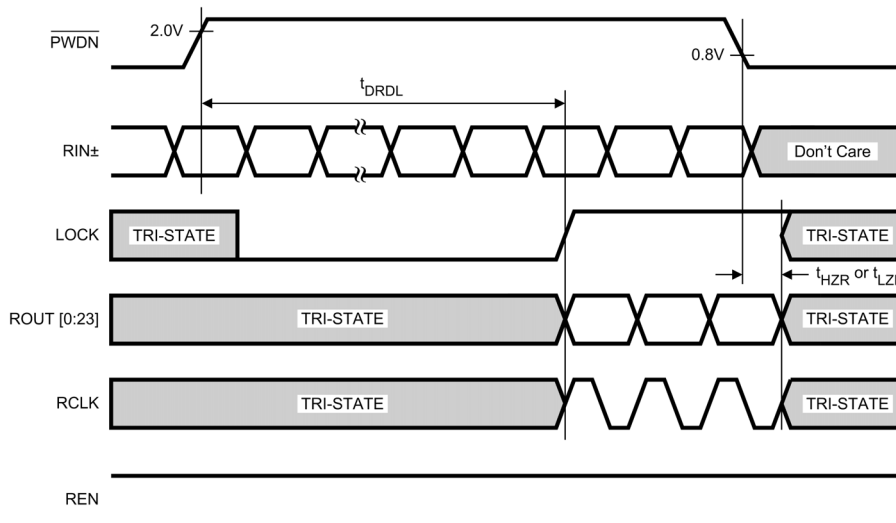


FIGURE 14. Deserializer PLL Lock Times and RPWDNB TRI-STATE Delay

AC タイミング図およびテスト回路 (つづき)

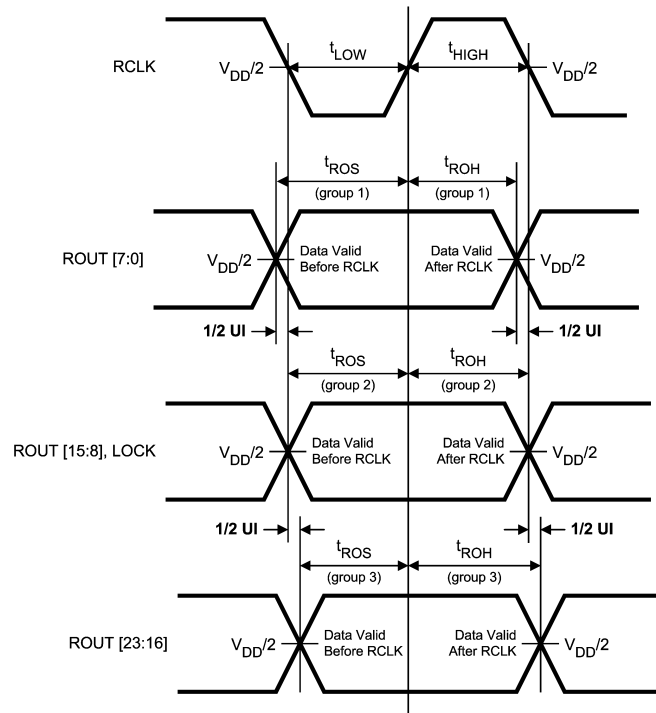
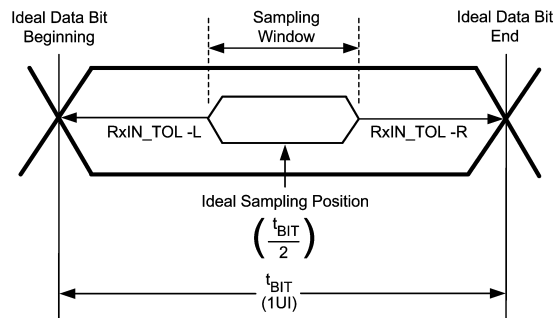


FIGURE 15. Deserializer Setup and Hold Times



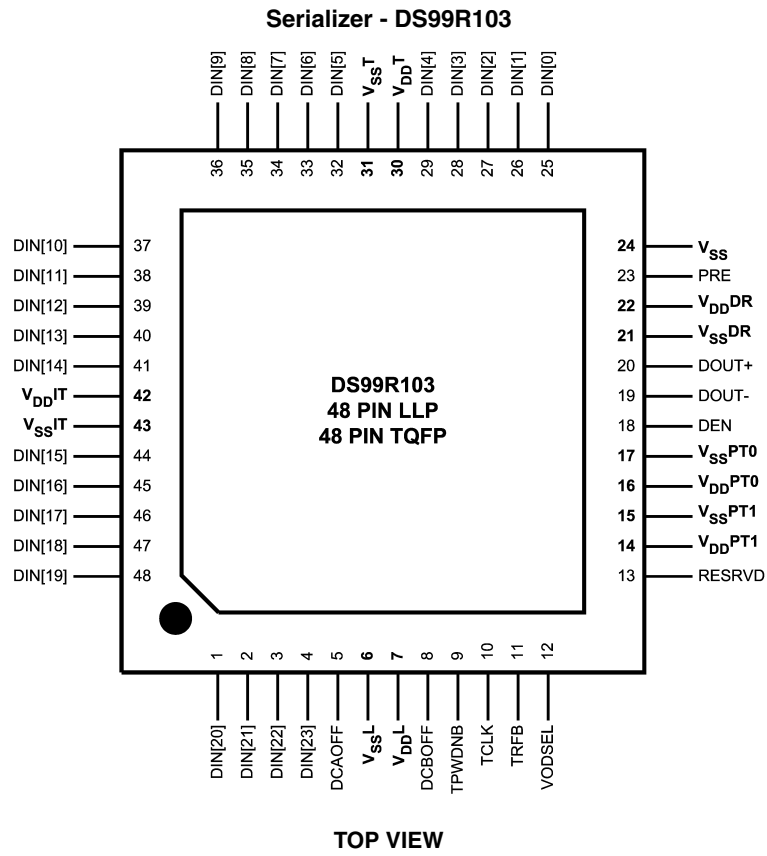
RxIN_TOL_L は、上図で左側の理想のノイズ・マージンを意味します。
 RxIN_TOL_R は、上図で右側の理想のノイズ・マージンを意味します。

FIGURE 16. Receiver Input Tolerance (RxIN_TOL) and Sampling Window

DS99R103 シリアルライザのピン説明

ピン番号	ピン名称	I/O	説明
LVCMOS パラレル・インタフェース・ピン			
4-1, 48-44, 41-32, 29-25	DIN[23:0]	LVCMOS_I	トランスミッタのパラレル・インタフェース・データ入力ピン。使用しない場合は、開放せず Low にしてください。
10	TCLK	LVCMOS_I	トランスミッタのパラレル・インタフェース・クロック入力ピン。ストロブ・エッジは設定ピン TRFB によって選択します。
制御および設定ピン			
9	TPWDBN	LVCMOS_I	トランスミッタのパワーダウン信号 (Low アサート)。 TPWDBN = H: トランスミッタがイネーブル (オン) になります。 TPWDBN = L: 消費電力を最小限に抑えるために、トランスミッタがパワーダウン・モード (スリープ)、LVDS ドライバ出力 DOUT (+ / -) が TRI-STATE のスタンバイ・モードに移行し、PLL が停止します。
18	DEN	LVCMOS_I	トランスミッタのデータ・イネーブル信号。 DEN = H: LVDS ドライバの出力がイネーブル (オン) されます。 DEN = L: LVDS ドライバの出力がディスエーブル (オフ) になります。トランスミッタの LVDS ドライバ出力 DOUT (+ / -) は TRI-STATE 状態で PLL は TCLK にロックして動作を続けます。
23	PRE	LVCMOS_I	プリエンファシスの選択ピン。 $PRE = (R_{PRE} \parallel 3k) \cdot I_{max} = [(1.2/R) \times 20]$, $R_{min} = 3k$ PRE = 未接続 (NC): プリエンファシス機能をディスエーブル
11	TRFB	LVCMOS_I	トランスミッタのクロック・エッジを選択するピン。 TRFB = H: パラレル・インタフェースのデータはクロックの立ち上がりエッジでストロブされます。 TRFB = L: パラレル・インタフェースのデータはクロックの立ち下がりエッジでストロブされます。
12	VODSEL	LVCMOS_I	VOD レベルを選択します。 VODSEL = L: LVDS ドライバ出力 $\pm 400mV$ ($R_L = 100 \Omega$) VODSEL = H: LVDS ドライバ出力 $\pm 750mV$ ($R_L = 100 \Omega$) 通常のアプリケーションの場合、このピンは Low にしてください。VOD を高くする必要がある、長いケーブルを使用するアプリケーションの場合に、このピンを High にします。
5	DCAOFF	LVCMOS_I	予備 このピンは必ず Low に固定してください。
8	DCBOFF	LVCMOS_I	予備 このピンは必ず Low に固定してください。
13	RESRVD	LVCMOS_I	予備 このピンは必ず Low に固定してください。
LVDS シリアル・インタフェース・ピン			
20	DOUT +	LVDS_O	トランスミッタの LVDS 非反転 (+) 差動出力。この出力は、DOUT + ピンに 100 Ω の負荷が接続されることを想定しています。インターコネクは、100nF のコンデンサを用いてこのピンに AC 結合します。
19	DOUT -	LVDS_O	トランスミッタの LVDS 反転 (-) 差動出力。この出力は、DOUT - ピンに 100 Ω の負荷が接続されることを想定しています。インターコネクは、100nF のコンデンサを用いてこのピンに AC 結合します。
電源 / グラウンド・ピン			
22	VDDDR	VDD	アナログ電源。LVDS 出力の電源です。
21	VSSDR	GND	アナログ・グラウンド。LVDS 出力のグラウンドです。
16	VDDPT0	VDD	アナログ電源。VCO の電源です。
17	VSSPT0	GND	アナログ・グラウンド。VCO のグラウンドです。
14	VDDPT1	VDD	アナログ電源。PLL の電源です。
15	VSSPT1	GND	アナログ・グラウンド。PLL のグラウンドです。
30	VDDT	VDD	デジタル電源。トランスミッタ・シリアルライザの電源です。
31	VSST	GND	デジタル・グラウンド。トランスミッタ・シリアルライザのグラウンドです。
7	VDDL	VDD	デジタル電源。トランスミッタ・ロジックの電源です。
6	VSSL	GND	デジタル・グラウンド。トランスミッタ・ロジックのグラウンドです。
42	VDDIT	VDD	デジタル電源。トランスミッタ入力の電源です。
43	VSSIT	GND	デジタル・グラウンド。トランスミッタ入力のグラウンドです。
24	VSS	GND	ESD グラウンド

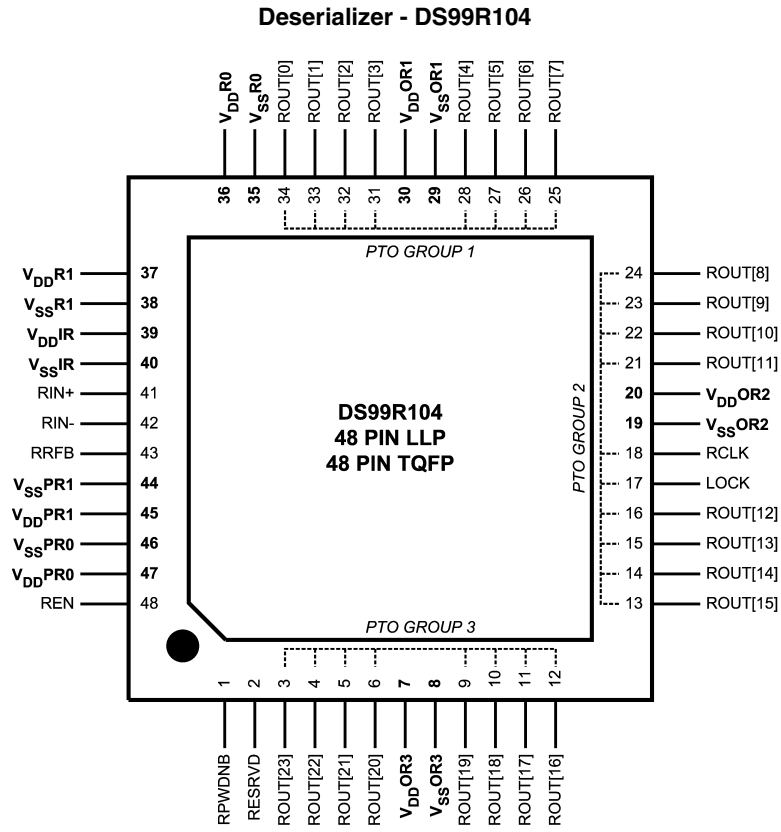
DS99R103 のピン配置図



DS99R104 デシリアライザのピン説明

ピン番号	ピン名称	I/O	説明
LVC MOS パラレル・インタフェース・ピン			
25-28, 31-34	ROUT[7:0]	LVC MOS_O	レーザのバラレル・インタフェース・データ出力 グループ 1
13-16, 21-24	ROUT[15:8]	LVC MOS_O	レーザのバラレル・インタフェース・データ出力 グループ 2
3-6, 9-12	ROUT[23:16]	LVC MOS_O	レーザのバラレル・インタフェース・データ出力 グループ 3
18	RCLK	LVC MOS_O	バラレル・インタフェースのクロック出力ピン。ストロブ・エッジは設定ピン RRFB によって選択します。
制御および設定ピン			
43	RRFB	LVC MOS_I	レーザのクロック・エッジを選択するピン。 RRFB = H; LVC MOS 出力 ROUT がクロックの立ち上がりエッジでストロブされます。 RRFB = L; LVC MOS 出力 ROUT がクロックの立ち下がりエッジでストロブされます。
48	REN	LVC MOS_I	レーザのデータ・イネーブル信号。 REN = H; ROUT[23-0]とRCLK がイネーブル (オン) になります。 REN = L; ROUT[23-0]とRCLK がディスエーブル (オフ) になり、レーザの ROUT [23-0]とRCLK 出力は TRI-STATE 状態で、PLL は TCLK にロックして動作を続けます。
1	RPWDNB	LVC MOS_I	レーザのパワーダウン信号。 RPWDNB = H; レーザはイネーブルになり ON RPWDNB = L; レーザはパワーダウン・モード (スリープ)、ROUT[23-0]、RCLK、および LOCK は TRI-STATE のスタンバイ・モード、PLL はシャットダウンして消費電力を最小限にするためにシャットダウンされます。
17	LOCK	LVC MOS_O	レーザの PLL の状態を示します。 LOCK = H; レーザの PLL がロックされています。 LOCK = L; レーザの PLL がロックされていません。ROUT[23-0]とRCLKは TRI-STATE 状態です。
2	RESRVD	LVC MOS_I	予備 このピンは必ず Low に固定してください。
LVDS シリアル・インタフェース・ピン			
41	RIN +	LVDS_I	レーザの LVDS 非反転 (+) 差動入力。この入力、RIN +ピンが 100 の負荷で終端されることを想定しています。インターコネクトは、100nF のコンデンサを用いてこのピンに AC 結合します。
42	RIN -	LVDS_I	レーザの LVDS 反転 (-) 差動入力。この入力、RIN -ピンが 100 の負荷で終端されることを想定しています。インターコネクトは、100nF のコンデンサを用いてこのピンに AC 結合します。
電源 / グラウンド・ピン			
39	VDDIR	VDD	アナログ LVDS 電源
40	VSSIR	GND	アナログ LVDS グラウンド
47	VDDPR0	VDD	アナログ電源。PLL の電源です。
46	VSSPR0	GND	アナログ・グラウンド。PLL のグラウンドです。
45	VDDPR1	VDD	アナログ電源。PLL の VCO 電源です。
44	VSSPR1	GND	アナログ・グラウンド。PLL の VCO グラウンドです。
37	VDDR1	VDD	デジタル電源。ロジックの電源です。
38	VSSR1	GND	デジタル・グラウンド。ロジックのグラウンドです。
36	VDDR0	VDD	デジタル電源。ロジックの電源です。
35	VSSR0	GND	デジタル・グラウンド。ロジックのグラウンドです。
30	VDDOR1	VDD	デジタル電源。LVC MOS 出力電源です。
29	VSSOR1	GND	デジタル・グラウンド。LVC MOS 出力グラウンドです。
20	VDDOR2	VDD	デジタル電源。LVC MOS 出力電源です。
19	VSSOR2	GND	デジタル・グラウンド。LVC MOS 出力グラウンドです。
7	VDDOR3	VDD	デジタル電源。LVC MOS 出力電源です。
8	VSSOR3	GND	デジタル・グラウンド。LVC MOS 出力グラウンドです。

DS99R104 のピン配置図



機能説明

DS99R103 シリアライザと DS99R104 デシリアライザは、24 ビットのパラレル LVCMOS データを 72Mbps ~ 960Mbps のスレーブで単一のシリアル LVDS データを介して送出する、使いやすい送受信ペアのチップセットです。DS99R103 は、LVCMOS レベルの 24 ビット幅パラレル・データを、クロック情報を埋め込んだ単一の高速 LVDS シリアル・データ・ストリームに変換します。DS99R104 は LVDS シリアル・データ・ストリームを受信して、これを元の 24 ビット幅のパラレル・データに変換し、クロックを復元します。この 24 ビット・シリアライザ / デシリアライザのチップセットは、シールド・ツイストペア (STP) ケーブルを介して 3MHz ~ 40MHz のクロック速度でデータを伝送できるように設計されています。

デシリアライザは、外部の基準クロック源なしで、データ・ストリームにロックできます。デシリアライザはデータ・パターンによらずシリアライザに同期できるため、完全に自動化された「プラグ・アンド・ロック」が実現しました。デシリアライザは埋め込まれたクロック情報を抽出してクロックとデータを復元し、入力データ・ストリームのデータ品質を検証してから、デシリアライズを行います。また、デシリアライザは受信クロック情報を監視してロック状態を判定し、ロックすると LOCK 出力を High にアサートします。さまざまなアプリケーションに柔軟に対応できるように、各ブロック単位でパワーダウン制御を行えるようになっています。

初期化およびロックの仕組み

DS99R103 および DS99R104 は、データの送受信を行う前にそれぞれ初期化を行う必要があります。初期化ではシリアライザとデシリアライザの両方の PLL を同期します。シリアライザが入力クロック源に同期したら、次にデシリアライザをシリアライザに同期させます。この 2 番目のステップで初期化は終了します。

ステップ 1: シリアライザ / デシリアライザの両方、または一方に V_{DD} が供給されると、チップに内蔵された電源オン制御回路によって対応する出力が TRI-STATE となり、内部回路はディスエーブルされます。 V_{DD} の電圧が $V_{DD\ OK}$ (2.2V) に達すると、シリアライザの PLL はクロック入力に対してロックを開始します。シリアライザ側でのローカル・クロックは、送信クロック TCLK です。シリアライザ側は PLL が TCLK にロックしている間、出力は TRI-STATE 状態のままです。TCLK にロックすると、シリアライザのブロックからデータ・パターンを送出する準備が完了します。デシリアライザの出力は、PLL がシリアル・データ・ストリームに埋め込まれたクロック情報にロックしている間は TRI-STATE 状態を保ちます。また、デシリアライザの LOCK 出力は、PLL が入力データおよび RIN_{\pm} ピンの SYNC パターンにロックしている間、Low を保ちます。

ステップ 2: デシリアライザの PLL がデータ・ストリームにロックするのにシリアライザからの特別なパターンは必要ありません。デシリアライザへのデータ・ストリームを生成するシリアライザは、この初期化の第 2 ステップで自動的にランダム・データ・パターン (非繰り返しパターン) を送信します。デシリアライザは指定された時間内に、埋め込まれたクロックへのロックを完了します。埋め込み CDR (クロックおよびデータ・リカバリ) 回路は入力ビット列にロックし、高速の受信ビット・クロックを復元して入力データのタイミングを取り直します。CDR 回路は、コード化されたビット列が入力されるものと想定しています。したがって、デシリアライザがシリアライザからのランダムなデータ・ストリームにロックするには、クロックの立ち上がりエッジを識別し、データ品質を検証してからロックするという、CDR 回路の一連の動作が必要になります。ロック手順はデータ・パターンとは無関係なので、ランダム・ロックの合計時間はその時々によって変化します。デシリアライザの CDR が埋め込みクロックにロックした時点で LOCK ピンは High になり、出力ピンに有効な RCLK またはデータが出力されます。LOCK 信号は、出力ピンに有効データが現れるタイミングに同期していることに注意してください。デシリアライザの LOCK ピンは、受信側のデータ品質を保証するために利用できます。

データ転送

ロックが確立したら、シリアライザの $DIN_0 \sim DIN_{23}$ ピンを使って、シリアライザにデータを入力します。データはシリアライザの TCLK により取り込まれます。データのストロブに使う TCLK のエッジは、TRFB ピンによって選択できます。TRFB が High のときは立ち上がりエッジでデータを取り込み、Low のときは立ち下がりエッジで取り込みます。シリアライザの出力 ($DOUT_{\pm}$) は、1 対 1 の接続、または限られた数のマルチポイント・アプリケーションを駆動するように設計されています。

CLK1、CLK0、DCA、DCB は、単一の LVDS シリアル・データ・ストリームとともに送信される、4 つのオーバーヘッド・ビットです。CLK1 ビットは常に High、CLK0 ビットは常に Low です。CLK1 ビットと CLK0 ビットは、シリアル・データ・ストリームに埋め込まれたクロック・ビットとして機能します。DCB は DC バランス制御ビットです。送信側でデータをあらかじめコード化する必要はありません。DC バランス・ビットの目的は、信号ラインが短期および長期にわたり DC バイアスされるのを防ぐことです。この機能は、データをそのままの極性で送るか、反転して送るかを適宜調整することによって実現します。DCA ビットは埋め込みデータ・ストリームのデータ品質を検証するために使用します。DCA および DCB のコード化方法はチップに内蔵されており、シリアライザとデシリアライザのチップ内で自動的に実行されます。

このチップセットは周波数 3MHz ~ 40MHz のクロックに対応しています。クロック・サイクルごとに、24 ビットのデータが 4 ビットの制御用オーバーヘッド・ビットとともに送信されます。したがってライン・レートは最大 1.12Gbps になります (最小は 84Mbps)。86% (24/28) という極めて高効率のリンクを確立できます。25 本の信号 (24 データ + 1 クロック) と、それに伴うグラウンド信号が、1 対 1 の LVDS 信号に減るため、25:1 を上回る圧縮率が得られることになります。

シリアル化されたデータとクロック / 制御ビット (24 + 4 ビット) は、TCLK 周波数の 28 倍の周波数でシリアル・データ出力 ($DOUT_{\pm}$) から送信されます。例えば、TCLK が 40MHz の場合、シリアル転送レートは $40 \times 28 = 1.12\text{Gbps}$ になります。ただし、入力データは 24 ビットですので、データ・ペイロードの転送レートは TCLK の周波数の 24 倍です。例えば、TCLK が 40MHz ならば、ペイロードの転送レートは $40 \times 24 = 960\text{Mbps}$ となります。TCLK はデータ・ソースから供給し、代表値として 3MHz ~ 40MHz の範囲でなければなりません。シリアライザの出力 ($DOUT_{\pm}$) は、Figure 17 に示すように 1 対 1 接続を駆動できます。出力ピンからは、イネーブル・ピン (DEN) と TPWDNB が High のときにデータが送信されます。DEN ピンを Low にすると出力は TRI-STATE 状態になります。

デシリアライザのチャネルがシリアライザからの入力にロックすると、LOCK ピンが High になり、これと同期して出力ピンに有効なデータと復元されたクロックが出力されます。デシリアライザはロックした埋め込みクロックから複数の内部データ・ストロブ信号を生成し、また復元したクロックを RCLK (RCLK) に出力します。データ出力 ROUT[23:0] は復元したクロック (RCLK 出力) に同期しています。LOCK が High の間は、ROUT[23:0] のデータは有効であり、Low のときは無効です。RCLK エッジの極性は RRFB 入力力で切り替えられます。ROUT(0-23)、LOCK、RCLK の各出力は、クロックが 40MHz の場合、最大 8pF の負荷を駆動できます。REN ピンによってデシリアライザの RCLK ピンと ROUTn ピンを TRI-STATE にできます。

同期再確立

デシリアライザはロックを失うと自動的にロックの再確立を試みます。例えば、連続した埋め込みクロック・エッジを 1 回検出できなかった場合、PLL のロックが外れて LOCK ピンが Low になります。続いてデシリアライザはランダム・データに対してロックを試みる動作モードに移ります。埋め込みクロック・エッジを探し、それが検出されるとロック・プロセスに進みます。

機能説明 (つづき)

LOCK 信号の論理レベルはデータ出力 ROUT の有効性を示しており、LOCK が High ならば有効です。システムは ROUT が有効かどうかを判断するために、LOCK ピンを監視する必要があります。

パワーダウン

パワーダウン状態は消費電力を低減できるスリープ・モードで、転送すべきデータがないときにシリアライザとデシリアライザをこのモードに設定できます。各デバイスをパワーダウン・モードに切り替えるには TPWDBN と RPWDBN を使用します。パワーダウン・モードでは消費電流が μA オーダーに低減されます。シリアライザは、TPWDBN ピンを Low にするとパワーダウン・モードに入ります。パワーダウンでは、PLL が停止し、出力が TRI-STATE になって負荷電流がディスエーブルされるため、消費電流が減ります。パワーダウン・モードから抜けるには TPWDBN を High にします。シリアライザがパワーダウン・モードから戻る際に、PLL が TCLK にロックするまでは初期化モードには移行しません。システムはデータ転送を開始する前に、これらの初期化に必要な時間を見込んでおかなければなりません。デシリアライザは、RPWDBN ピンを Low にするとパワーダウン・モードに入ります。パワーダウン・モードでは、PLL が停止し、出力が TRI-STATE 状態になります。デシリアライザをパワーダウン・モードから戻すには、RPWDBN を High にします。

パワーダウン・モードから抜けた後は、シリアライザ、デシリアライザともにデータ転送を開始する前に再初期化と再ロックが必要です。デシリアライザは初期化され、コード化されたクロックにロックされた時点で LOCK が High にアサートされます。

TRI-STATE

シリアライザは、DEN または TPWDBN ピンを Low にすると、両ドライバ出力 (DOUT + と DOUT -) が TRI-STATE になります。DEN を High にすると、他のすべての制御ピン (TPWDBN、TRFB) が定常状態にある限り、シリアライザは TRI-STATE に移る前の状態に戻ります。

デシリアライザは、REN または RPWDBN ピンを Low にすると TRI-STATE になります。その結果、レシーバ出力 (ROUT0 ~ ROUT23) および RCLK が TRI-STATE になります。LOCK 出力は PLL の状態を反映してアクティブのままです。デシリアライザの入力ピンは、レシーバがパワーダウン状態 (RPWDBN = Low) のとき、および電源オフ状態 ($V_{DD} = 0\text{V}$) のとき、ハイ・インピーダンスになります。

プリエンファシス

DS99R103 は、長い伝送メディアまたは損失の大きい伝送メディアを使う場合に信号強度を補償するプリエンファシス機能を搭載しています。ユーザーが選択可能なプリエンファシス機能は、信号遷移時の出力電流を増やし、ケーブル負荷の影響を打ち消すことで駆動能力を高めます。伝送距離はメディアの損失特性と品質によって制限されます。プリエンファシスはケーブル負荷の影響を低減して駆動距離を伸ばすために、LVDS の論理遷移時に駆動電流を増やします。さらに、信号の遷移時間を短縮し、アイ・パターンを広げ、信号品質を改善する効果もあります。プリエンファシス機能を有効にして電流レベルを増加させるには、"PRE" ピンを V_{SS} にプルダウンする外部抵抗 (R_{pre}) が必要です。プリエンファシスの強さは、"PRE" ピンに最小値から最大値 (3k から開放) の範囲の外部抵抗 (R_{pre}) を接続して設定します。"PRE" ピンの入力抵抗値が小さいほど、データ遷移時のダイナミック電流が大きくなります。チップ内部には、次式に従う電流源があります。 $PER = (R_{pre} - 3k)$; $IMAX = [(1.2/R_{pre}) \times 20]$ 。DS99R103 のプリエンファシス機能を使用すれば、ほとんどの場合、伝送距離を伸ばすことができます。

あるメディアに対するプリエンファシス量は、そのアプリケーションの伝送距離に依存します。通常、プリエンファシスをかけすぎるとレシーバ側の入力ピンにオーバーシュート、またはアンダーシュートが発生します。これによってノイズやクロストークが増え、消費電力も増加します。ケーブルが短く、伝送距離が短ければ、プリエンファシスが必要ない場合もあります。アプリケーションごとに信号品質を測定して、適切なプリエンファシス量を決定することを推奨します。

AC 結合と終端

DS99R103 と DS99R104 は、チップ内蔵の DC バランス・エンコード / デコード回路により、AC 結合によるインターコネクトが可能です。シリアライザとデシリアライザを AC 結合するには、Figure 17 に示すように LVDS 信号バスに直列に外部 AC 結合コンデンサを挿入します。デシリアライザの入力段にはチップ内部で $V_{CM} + 1.2\text{V}$ を設定する AC バイアス・ネットワークが含まれ、これによって AC 結合が可能になります。信号を AC 結合する場合、コンデンサが信号入力のための AC 結合パスを形成します。

高速の LVDS 伝送を行うには、AC 結合コンデンサのパッケージは可能な限り小型化が必要です。小型パッケージにすることにより、パッケージの寄生容量による信号の品質劣化を最小限に抑えられます。このインタフェースに最もよく使われるコンデンサの容量は、100nF (0.1 μF) です。

適切な動作を得るには、DOUT \pm 間にも終端抵抗が必要です。終端抵抗値は、信号が伝送されるメディアの差動インピーダンスに等しくなければなりません。値の範囲としては 90 ~ 132 となります。標準的な 100 Ω 伝送メディアを用いた場合の代表値は 100 Ω です。終端抵抗は反射の抑止と電流ループの形成のために必要です。終端抵抗は、ピンからのスタブ長を最短とするために、できる限りシリアライザの DOUT \pm の近くに配置してください。伝送ラインの差動インピーダンスと整合を取るために、LVDS の I/O はシリアライザの出力ピン DOUT \pm に 100 Ω 抵抗を接続して終端します。

プログレッシブ・ターンオン (PTO)

デシリアライザの出力 ROUT[23:0] は各 8 本からなる 3 つのグループに分けられます。各グループは約 0.5UI だけ位相をずらしてスイッチングされ、EMI、スイッチング・ノイズ、システム・グラウンドへのはね返り (ノイズ) を防止します。

アプリケーション情報

DS99R103 と DS99R104 の使用

DS99R103/DS99R104 シリアライザ / デシリアライザ (SERDES) は、24 ビットのパラレル LVCMOS データを最高 960Mbps でシリアル LVDS リンクを介して送ります。入力データのシリアル化は、シリアライザに内蔵された PLL を用いて行われ、データにクロック情報が埋め込まれます。デシリアライザは入力データ・ストリームから、クロック / 制御情報を抽出し、データをデシリアライズします。また、デシリアライザは受信クロック情報を監視してロック状態を判定し、ロックすると LOCK 出力を High にアサートします。

電源に関する考慮事項

シリアライザ、デシリアライザともに CMOS デバイスであるため、どちらも低消費電力です。さらに定電流源の性質を持つ LVDS 出力の採用により、CMOS 設計における周波数と I_{DD} の相関カーブの勾配が小さくなっています。

ノイズ・マージン

デシリアライザのノイズ・マージンとは、デシリアライザが確実にデータを受信できる、入力ジッタ (位相ノイズ) の総和です。さまざまな環境条件やシステム上の要因が関係します。

アプリケーション情報 (つづき)

シリアライザ: TCLK ジッタ、 V_{DD} ノイズ (ノイズ帯域幅と帯域外ノイズ)

伝送メディア: ISI、 V_{CM} ノイズ

デシリアライザ: V_{DD} ノイズ

Figure 16 にノイズ・マーシンの考え方を図示します。

伝送メディア

シリアライザとデシリアライザは、PCB の配線パターン、またはツイストペア・ケーブルを介した 1 対 1 の構成で使用することができます。1 対 1 の構成の場合、伝送メディアをトランスミッタとレシーバのペアの両端で終端する必要があります。LVDS のインターコネクは通常 100 の差動インピーダンスを持ちます。この差動インピーダンスに整合したケーブルやコネクタを使用して、インピーダンスの不整合を最小としてください。ケーブルを使用するほとんどのアプリケーションでは、使用するデータレート、許容できるビット誤り率、伝送メディアによって伝送距離が決まります。

リンクの活線挿抜

シリアライザとデシリアライザ・デバイスは活線挿抜アプリケーションに対応しています。シリアル・インタフェースの「活線挿抜」は、アクティブなデータ・ライン上のデータ通信を妨げません。レシーバがランダム・データに自動的にロックする「プラグ・アンド・ゴー」活線挿抜機能により、DS99R104 は活線挿抜してもアクティブなデータ・ストリームにロックできます。

プリント基板と電源系の注意事項

LVDS SERDES デバイスを搭載するプリント基板は、デバイスに対してノイズの少ない電源を供給するように、レイアウトと層構成を設計しなければなりません。優れたレイアウトでは、不必要にノイズを拾ったり帰還や干渉を最小にするために、高い周波数の信号および高レベルの入出力信号の分離を行います。また、2 ~ 4 ミル程度の薄い誘電体材料を電源層とグラウンド層の間に挟むと、電源系の性能を大きく改善できる場合があります。つまり、この方式によりプリント基板の電源層の容量が増えるため、特に高周波の電源ノイズに対するフィルタ特性を改善する効果があり、併せて外付けバイパス・コンデンサの容量や配置に対する条件を緩やかにします。外付けバイパス・コンデンサは、高周波セラミック・コンデンサとタンタル電解コンデンサの両方を用いてください。高周波セラミック・コンデンサの値は、0.01 μF から 0.1 μF の範囲を使用します。また、タンタル・コンデンサの値は、2.2 μF から 10 μF の範囲です。タンタル・コンデンサの電圧定格は、使用する電源電圧の 5 倍以上にします。

コンデンサには寄生インダクタンス分が少ない表面実装品を推奨します。1 つの電源ピンに複数のコンデンサを設ける場合は、容量の小さなコンデンサの方をピン側に置きます。また大容量コンデンサをプリント基板の電源接続部分に設けてください。低周波スイッチング・ノイズを平滑化する容量は 50 μF から 100 μF の範囲が一般的です。電源ピンとグラウンド・ピンは電源層およびグラウンド層に直接接続し、またバイパス・コンデンサはコンデンサの両端に設けたビアを経由して電源層およびグラウンド層に接続することを推奨します。電源ピンまたはグラウンド・ピンからバイパス・コンデンサへ配線を行うと、電源系のインダクタンス分を増加させてしまうからです。

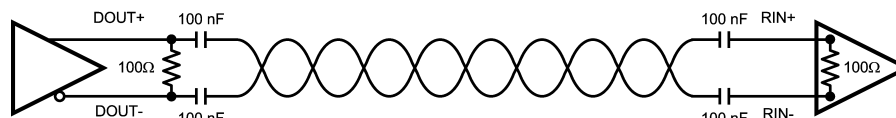


FIGURE 17. AC Coupled Application

外付けのバイパス・コンデンサは、静電容量の温度依存性が小さい X7R 特性の、0603 などの小型チップ・コンデンサを推奨します。寸法が小さいため、コンデンサの寄生インダクタンス分も小さいという利点があります。なお設計の際には、通常 20 から 30MHz の範囲にある外付けバイパスピン・コンデンサの共鳴周波数に注意してください。また効果的なバイパスを行うために、複数のコンデンサを用いて、対象となる周波数に対する電源系のインピーダンスを下げる手法がしばしば使われます。系の動作周波数が高い場合は、高周波のインピーダンスを下げるため、電源ピンまたはグラウンド・ピンから各層に対して 2 つのビアを設ける手法もよく用いられています。

デバイスによっては、内部の回路部分ごとに電源ピンとグラウンド・ピンが分離されているものがあります。電源系を分離する目的は、スイッチング・ノイズの影響を回路間で遮断するためです。このようなデバイスに対して、通常、プリント基板の層を分ける必要はありません。一般にデバイスのピン説明から、どの電源 / グラウンドのペアがどの回路部分に対応するかが分かります。なお場合によっては、PLL のようなノイズに敏感な回路部分にクリーンな電源を供給するために、外部フィルタを用いる場合があります。

LVDS システムのプリント基板は、電源層とグラウンド層を含む 4 層以上のものを採用してください。LVCMOS (LVTTTL) 信号系は、LVDS 信号に結合するのを防ぐため、LVDS 信号系から離して配置しなければなりません。LVDS インターコネクは一般的に、近接によって密に結合した 100 の差動ラインを推奨します。密に結合したラインは、カップリング・ノイズはレシーバ端でCOMMONモードとして現れるため除去されます。また密に結合したラインは、放射ノイズが少ない利点も備えます。

LVDS インターコネクでは終端が必要です。1 対 1 の接続では、デバイスの両端を終端する必要があります。標準的な値は、ラインの差動インピーダンスに整合する 100 です。抵抗をトランスミッタの出力 DOUT ± の可能な限り近くに配置し、デバイスと終端抵抗の間のスタブ長を最短にします。

LVDS インターコネクのガイドライン

詳細はアプリケーション・ノート AN-1108 と AN-905 を参照してください。

- 100 のカップリングされた差動ペア配線を使用してください。
- 配線間隔には S/2S/3S ルールを適用してください。
S = ペア内の配線間隔
2S = ペア間の配線間隔
3S = LVCMOS/LVTTTL 信号との配線間隔
- ビアの数は可能な限り抑えてください。
- 500Mbps 以上のライン速度で動作させる場合は差動コネクタを使用してください。
- 配線のバランスを維持してください。
- ペア内のスキューを可能な限り抑えてください。
- 終端抵抗はトランスミッタ出力とレシーバ入力 of 可能な限り近くに配置してください。(DS99R104 は終端内蔵)

LVDS に関するそのほかの一般的な設計ガイドラインは、「LVDS オーナーズ・マニュアル」を、当社ウェブサイトにて PDF で用意しています (<http://www.national.com/JPN/appinfo/lvds/>)。

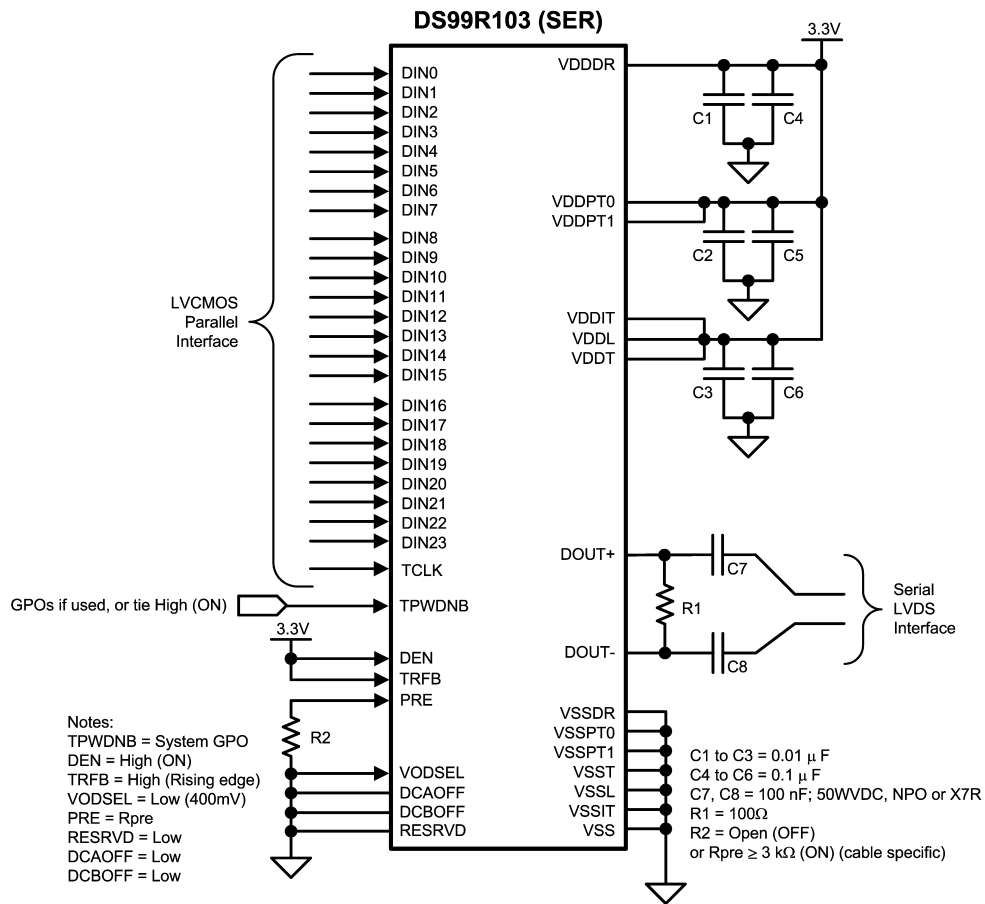


FIGURE 18. DS99R103 Typical Application Connection

アプリケーション情報 (つづき)

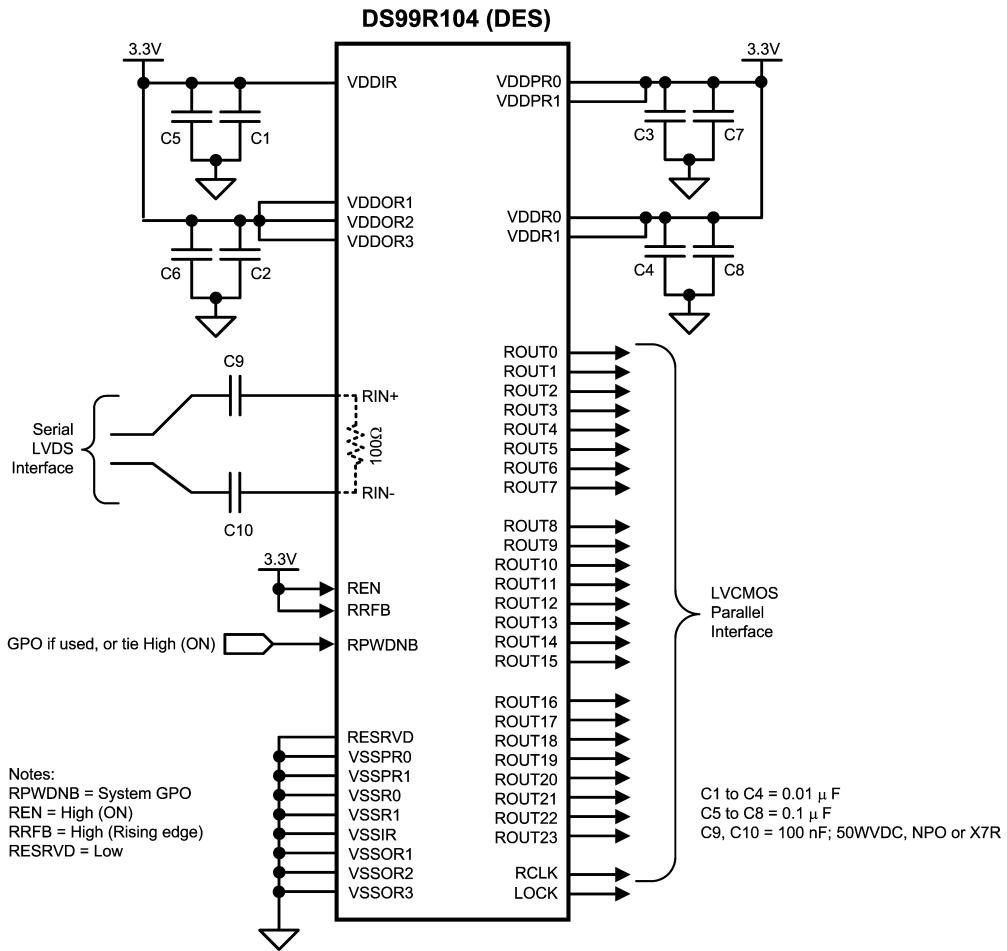


FIGURE 19. DS99R104 Typical Application Connection

真理値表

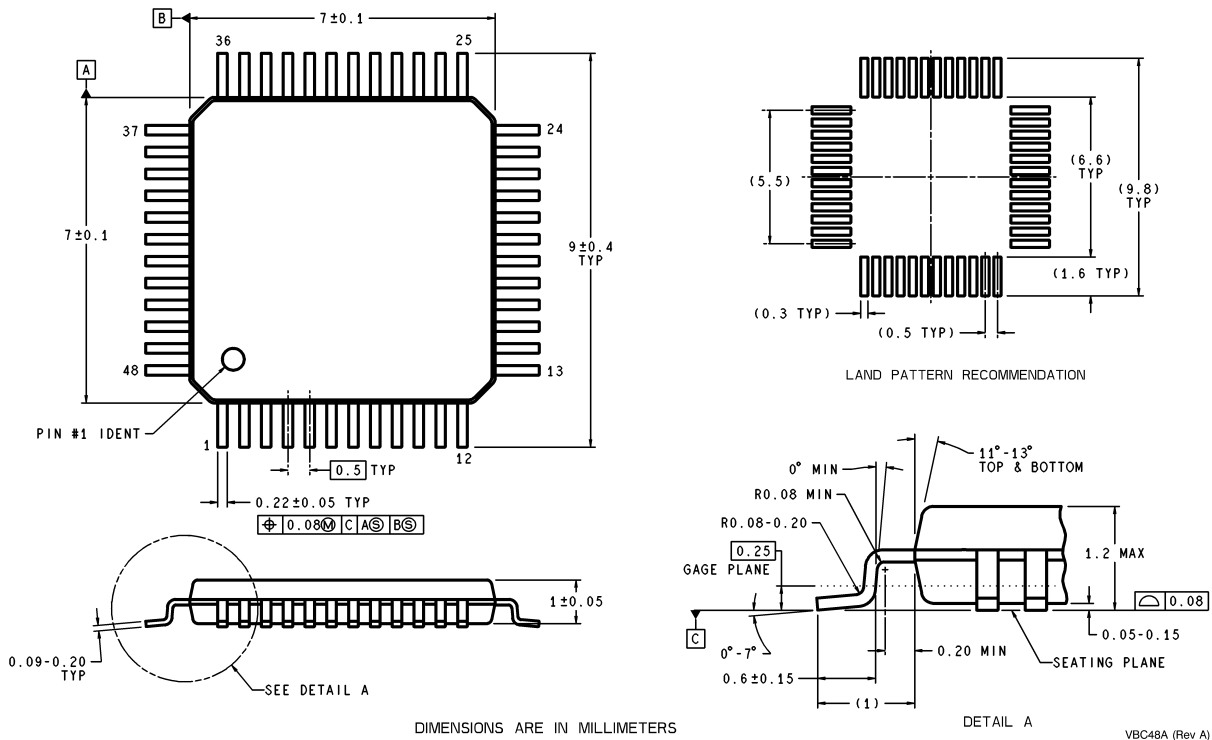
TABLE 1. DS99R103 Serializer Truth Table

TPWDNB (Pin 9)	DEN (Pin 18)	Tx PLL Status (Internal)	LVDS Outputs (Pins 19 and 20)
L	X	X	Hi Z
H	L	X	Hi Z
H	H	Not Locked	Hi Z
H	H	Locked	Serialized Data with Embedded Clock

TABLE 2. DS99R104 Deserializer Truth Table

RPWDNB (Pin 1)	REN (Pin 48)	Rx PLL Status (Internal)	ROUTn and RCLK (See Pin Diagram)	LOCK (Pin 17)
L	X	X	Hi Z	Hi Z
H	L	X	Hi Z	L = PLL Unocked; H = PLL Locked
H	H	Not Locked	Hi Z	L
H	H	Locked	Data and RCLK Active	H

外形寸法図 単位は millimeters

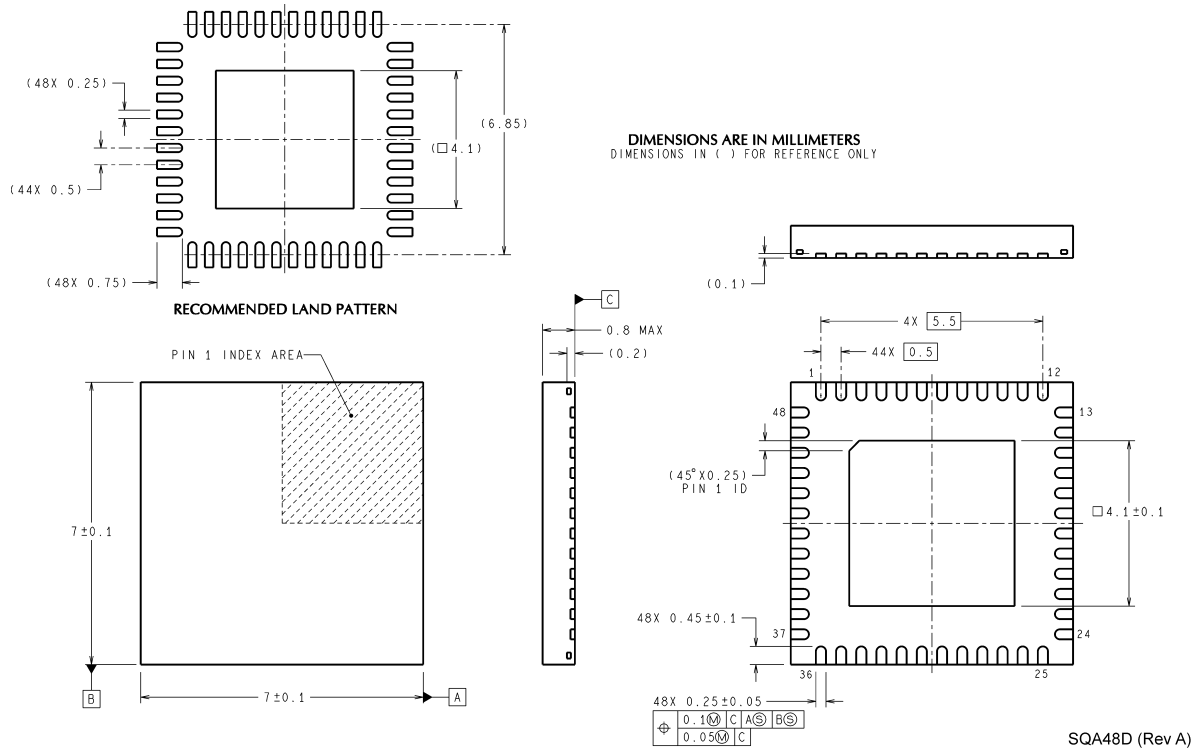


Dimensions show in millimeters only

製品情報

NSID	Package Type	Package ID
DS99R103TVS	48 Lead TQFP style, 7.0 X 7.0 X 1.0 mm, 0.5 mm pitch	VBC48A
DS99R103TVSX	48 Lead TQFP style, 7.0 X 7.0 X 1.0 mm, 0.5 mm pitch, 1000 std reel	VBC48A
DS99R104TVS	48 Lead TQFP style, 7.0 X 7.0 X 1.0 mm, 0.5 mm pitch	VBC48A
DS99R104TVSX	48 Lead TQFP style, 7.0 X 7.0 X 1.0 mm, 0.5 mm pitch, 1000 std reel	VBC48A

外形寸法図 単位は millimeters



Dimensions show in millimeters only

製品情報

NSID	Package Type	Package ID
DS99R103TSQ	48 Lead LLP style, 7.0 X 7.0 X 0.8 mm, 0.5 mm pitch	SQA48D
DS99R103TSQX	48 Lead LLP style, 7.0 X 7.0 X 0.8 mm, 0.5 mm pitch, 1000 std reel	SQA48D
DS99R104TSQ	48 Lead LLP style, 7.0 X 7.0 X 0.8 mm, 0.5 mm pitch	SQA48D
DS99R104TSQX	48 Lead LLP style, 7.0 X 7.0 X 0.8 mm, 0.5 mm pitch, 1000 std reel	SQA48D

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2007 National Semiconductor Corporation
製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといひます）及びTexas Instruments Incorporated (TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといひます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを含みません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしているとして特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2012, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上