

EQ50F100

EQ50F100 1Gbps - 6.25 Gbps Backplane Equalizer



Literature Number: JAJSA68

EQ50F100

1Gbps ~ 6.25Gbps バックプレーン用イコライザ

概要

EQ50F100 は、伝送損失を補正し、メディアに起因するディタミニスティック・ジッタ (確定的ジッタ) を低減するように設計されたイコライザです。両端にバックプレーン・コネクタを持つ最大 30 インチの FR4 ストリップラインのプリント基板バックプレーンにおいて、1Gbps から 6.25Gbps の動作に最適です。コーディングに依存せず、マルチプレクス化された 1.25Gbps イーサネット・システム等で使用される短いケーブルの動作および 8b/10b など DC バランスが配慮されたコード上で正常に機能します。

本イコライザはピン配列がフィードスルーされる差動 CML 入出力を使用し、6 ピンのリードレス LLP (3mm × 3mm) パッケージに実装されています。単一 1.8V 電源により駆動し、消費電力は 85mW です。

特長

30 インチ、FR4 上の 6.25Gbps の信号をリカバリー
単一 1.8V 電源

低消費電力 : 85mW

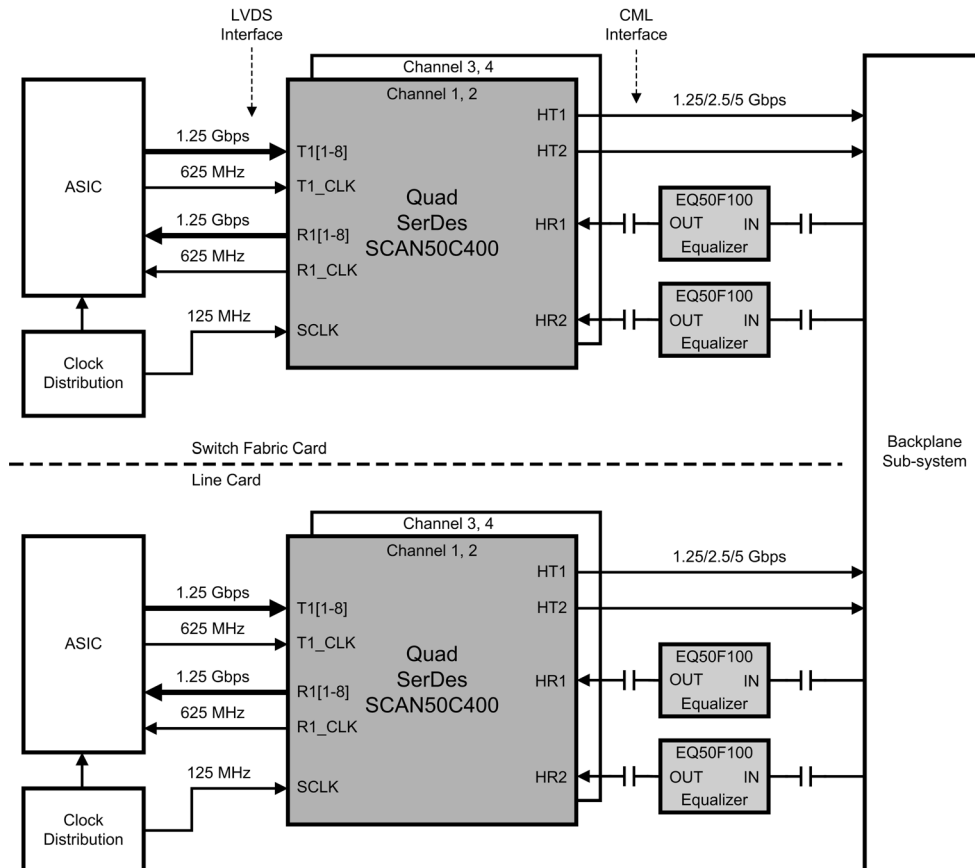
2.5GHz において最大 20dB の損失をイコライズ

5Gbps において残余ディタミニスティック・ジッタ (確定的ジッタ) を 35ps にまで低減

オンチップ CML ターミネーション

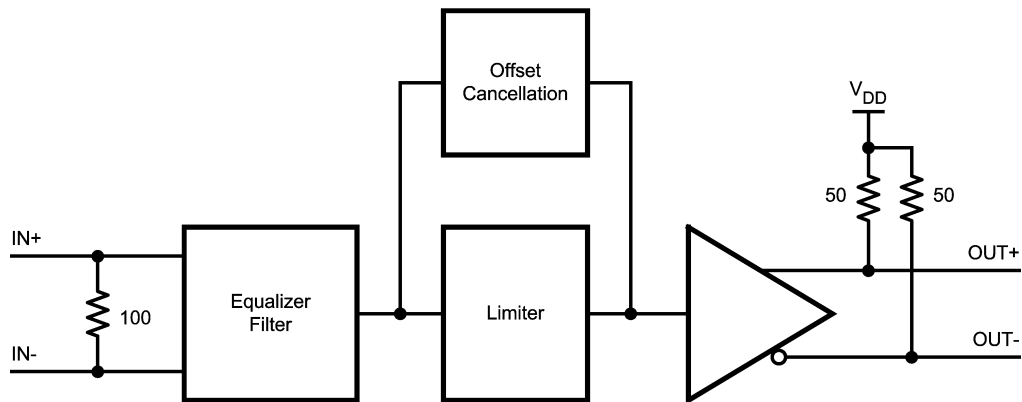
小型 (3mm × 3mm) の 6 ピン・リードレス LLP パッケージ

機能図



Note: 本データシートの内容は、設計、仕様、プロセスなどの変更によって EQ50F100 が製品リリースされる前に事前の通知なく変更されることがあります。

簡略ブロック図

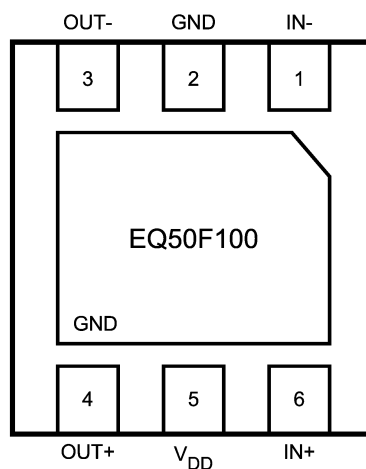


端子説明

端子名	端子番号	入出力、タイプ	説明
高速差動入出力			
IN -	1	入力、CML	イコライザへの反転および非反転 CML 差動入力。IN + と IN - の間にオンチップの 100 Ω 終端抵抗が内蔵されています。
IN +	6		
OUT -	3	出力、CML	イコライザからの反転および非反転 CML 差動出力。OUT + と V _{DD} 、および OUT - と V _{DD} にオンチップの 50 Ω 終端抵抗が内蔵されています。
OUT +	4		
電源			
V _{DD}	5	入力、電源	V _{DD} は 1.8V ± 5% です。V _{DD} ピンは、低インダクタンスのパスで V _{DD} 層に接続します。V _{DD} ピンとグラウンド層の間に 0.01 μF バイパス・コンデンサを接続します。
GND	2	入力、電源	グラウンド基準電圧。GND は、低インピーダンスのパスでグラウンド層に接続します。
Exposed Pad	PAD	入力、電源	GND に接続します。パッケージの熱および電気的性能の強化のため、パッケージ中央の露出パッド (大きな GND パッド) はボードのグラウンド層に接続します。

Note: I = 入力 O = 出力

ピン配置図



Top View Shown
3 mm x 3 mm 6-Pin LLP Package

絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。
 関連する電気的信頼性試験方法の規格を参照ください。

熱抵抗 J_A 、エアフローなし

54 /W

電源電圧 (V_{DD})	- 0.3V ~ + 2.5V
CML 入出力 (I/O) 電圧	- 0.3V ~ ($V_{DD} + 0.3V$)
最大接合部温度	+ 150
保存温度範囲	- 65 ~ + 150
リード温度 (ハンダ付け、5 秒)	+ 260

推奨動作条件

ESD 耐圧

HBM、1.5k、100pF	> 7kV
EIAJ、0、200pF	> 200V

電源電圧 (V_{DD} から GND)	最小値	代表値	最大値	単位
電源電圧	1.71	1.8	1.89	V
周囲温度	- 40	25	85	

電気的特性

特記のない限り、推奨動作電源電圧および動作温度範囲に対して適用。

Symbol	Parameter	Conditions	Min	Typ (Note 2)	Max	Units
POWER						
P	Power Supply Consumption			85	106	mW
N	Supply Noise Tolerance (Note 3)	10 Hz–100 Hz		100		mV _{P-P}
		100 Hz–10 MHz		50		mV _{P-P}
		10 MHz–2.5 GHz		10		mV _{P-P}
CML RECEIVER INPUTS (IN+, IN-)						
V_{IN}	Input Voltage Swing	Differential signal to equalizer, measured before test channel	400		1600	mV _{P-P}
R_{LI}	Differential Input Return Loss	100 MHz–2.5 GHz, with fixture's effect de-embedded		15		dB
R_{IN}	Input Resistance	Differential across IN+ and IN-	85	100	115	Ω
CML OUTPUTS (OUT+, OUT-)						
V_O	Output Voltage Swing	Measured differentially with OUT+ and OUT- terminated by 50 Ω to GND through DC block(Notes 9, 11)	450		800	mV _{P-P}
t_R, t_F	Transition Time	20% to 80% of differential output voltage, measured with 1" from output pins. (Notes 9, 11)	30	45	60	ps
R_O	Output Resistance	Single-ended to V_{DD}	42	50	58	Ω
R_{LO}	Differential Output Return Loss	100 MHz–2.5 GHz, with fixture's effect de-embedded. IN+ = static high.		14		dB
EQUALIZATION						
DJ1	Residual Deterministic Jitter at 6.25 Gb/s	Multiplexed K28.5 pattern, (Notes 4, 8), 30" Test channel, $V_{IN} = 1V_{P-P}$. (Note 11)		0.25	0.4	UI _{P-P}
DJ2	Residual Deterministic Jitter at 5 Gb/s	Multiplexed K28.5 pattern, (Notes 5, 8), 30" Test channel. $V_{IN} = 1V_{P-P}$. (Note 11)		0.13	0.35	UI _{P-P}
DJ3	Residual Deterministic Jitter at 2.5 Gb/s	Multiplexed K28.5 pattern, (Notes 6, 8), 30" Test channel, $V_{IN} = 1V_{P-P}$. (Note 11)		0.09	0.2	UI _{P-P}
DJ4	Residual Deterministic Jitter at 1.25 Gb/s	Multiplexed K28.5 pattern, (Notes 7, 8), 30" Test channel, $V_{IN} = 1V_{P-P}$. (Note 11)		0.04	0.15	UI _{P-P}
RJ	Random Jitter	(Notes 9, 10, 11)		0.75	1.0	psrms

電気的特性

特記のない限り、推奨動作電源電圧および動作温度範囲に対して適用。

Symbol	Parameter	Conditions	Min	Typ (Note 2)	Max	Units
LATENCY						
t_D	Latency	Measured from input to output, measured with multiplexed K28.5 pattern at 5Gb/s. (Notes 5, 11)	150	230	300	ps
BIT RATE						
BRMIN	Minimum Bit Rate			1		Gbps
BRMAX	Maximum Bit Rate			6.25		Gbps

Note 1: 「絶対最大定格」とは、この値を超えるとデバイスの安全を保証できない制限値を意味します。また、「絶対最大定格」の上限または下限でデバイスを動作させるべきであることを示しているわけではありません。

Note 2: 代表値は $V_{DD} = 1.8V$ 、 $T_A = 25$ で測定されています。代表値は参考データであり、製造時検査は行っていません。

Note 3: ジッタ・テスト中に許容された電源ノイズ (mV_{p-p} 正弦波) です。

Note 4: 6.25Gbps におけるテスト・パターンは、フルビットレートおよびハーフビットレートで実行される K28.5 \pm キャラクタが組み合わされています。これは、XAUI データ・ストリームの 2 つの 3.125Gb/s チャンネル多重化をシミュレーションするためです。

16 進法によるパターン
 0F FCCF 0033 (クォータレート K28.5 +、ハーフレート K28.5 -)
 3 EB05 (フルレート K28.5 \pm : 00 1111 1010 11 0000 0101)

Note 5: 5Gbps におけるテスト・パターンは、フルビットレートおよびクォータビットレートで実行される K28.5 \pm キャラクタが組み合わされています。これは、4 つの 1.25 Gb/s イーサネット・データ・ストリームの多重化をシミュレーションするためです。

16 進法によるパターン
 00 FFFF F0F0 FF 0000 0F0F (クォータレート K28.5 +、クォータレート K28.5 -)
 3 EB05 (フルレート K28.5 \pm : 00 1111 1010 11 0000 0101)

Note 6: 2.5Gbps におけるテスト・パターンは、フルビットレートおよびハーフビットレートで実行される K28.5 \pm キャラクタが組み合わされています。これは、2 つの 1.25 Gb/s イーサネット・データ・ストリームの多重化をシミュレーションするためです。

16 進法によるパターン
 0F FCCF 0033 (ハーフレート K28.5 +、ハーフレート K28.5 -)
 3 EB05 (フルレート K28.5 \pm : 00 1111 1010 11 0000 0101)

Note 7: 1.25Gbps におけるテスト・パターンは、フルビットレートで実行される K28.5 \pm キャラクタです。

16 進法によるパターン
 3 EB05 (フルレート K28.5 \pm : 00 1111 1010 11 0000 0101)

Note 8: デタミニスティック・ジッタ (確定的ジッタ) は、差動出力で測定し、テスト・チャンネルからデタミニスティック・ジッタを差し引きます。ランダム・ジッタは、平均化または同様の手段を使って削除します。

Note 9: テスト・パターンは、クロックのような 11111 00000 のパターンです。

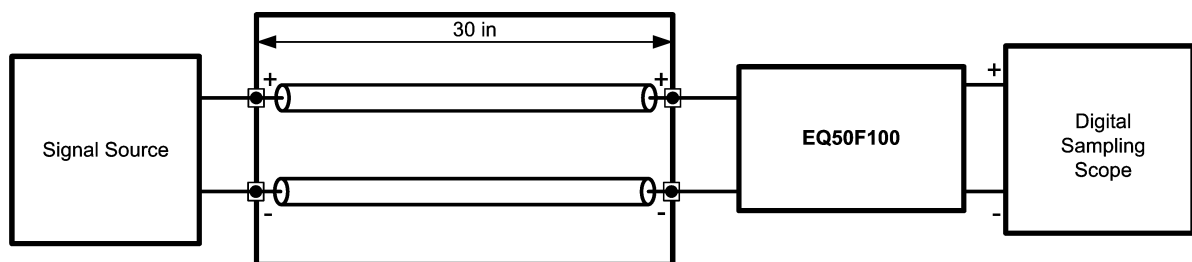
Note 10: イコライザによるランダム・ジッタは、 $\sqrt{(J_{OUT}^2 - J_{IN}^2)}$ と定義されます。 J_{OUT} は ps (rms) 単位によるイコライザ出力でのランダム・ジッタ、 J_{IN} は ps (rms) 単位によるイコライザの入力でのランダム・ジッタです。

Note 11: V_O 、 t_R 、 t_F 、 t_D 、DJ1、DJ2、DJ3、DJ4 および RJ の各仕様値は、統計分析を用いた設計保証です。

テスト設定図

製造時検査で使用されるテスト・チャンネル、標準的なアイパターン

製造時検査で使用されるテスト・チャンネルおよび標準的なアイパターンは、製造時負荷のボード環境において実際に実現可能な FR4 ストリップラインのテスト・チャンネルで、なおかつデバイスのイコライゼーションの長さをテストするためのバックプレーンと同種の損失特性を持つものです。



機能説明

EQ50F100 6.25Gbps イコライザは、バックプレーン等の受信端に使用する固定イコライザです。本製品により、パターン長が少なくとも 30 インチの FR-4 バックプレーンの 6.25Gbps シリアル伝送が可能になります。本製品は、イコライザ・フィルタ、増幅制限器、オフセット・ドライバおよびオフセット・キャンセル回路で構成されています。イコライザ・ブロックは、バックプレーン・システムにおいて伝送チャネルの帯域幅が制限されることにより発生する高周波数の減衰を補正します。増幅制限器は、イコライザ・ブロックの出力信号を増幅します。オフセット・キャンセル回路は、内部の不整合および前段階からのオフセットを修正し、デューティサイクルの歪みを最小限に抑えます。

入出力 (I/O)

EQ50F100 の入出力は、カレント・モード・ロジック (CML) を使って実行されます。入力には、等価な 100 の DC 差動入力抵抗があります。正および負の出力チャネルは、VDD への 50 プルアップ内部抵抗によって終端されています。入出力のいずれについても、AC カップリングを推奨します。

アプリケーション情報

プリント基板のレイアウトと電源系について

2 ~ 4mil 程度、薄く電源層とグラウンド層を挟むと、電源系の性能を大きく改善できる場合があります。これにより、PCB 電源層の静電容量のインダクタンスの寄生容量が低減します。外付けバイパス・コンデンサは、高周波セラミック・コンデンサとタンタル電解コンデンサの両方を用いてください。高周波セラミック・コンデンサは、0.1nF から 10nF の範囲で使用できます。タンタル電解コンデンサは、2.2 μ F から 10 μ F の範囲で使用できます。タンタル電解コンデンサの耐圧は、少なくとも使用電源電圧の 5 倍にしてください。

各パワー・ピンと高周波バイパス・コンデンサのハンダ・パターンには、2 つのスルーホールを設けることを推奨します。スルーホールを 2 つにすると、電源またはグラウンドに対するインダクタンス成分が最大で 1/2 に低減されるため、バイパス・コンデンサの実効周波数が向上します。高周波セラミック・コンデンサは、パワー・ピンにできるだけ近づけて実装し、低インピーダンスの幅の広い配線を使用してください (50 インピーダンスのトレースはまちがいです)。寄生容量をより少なくするため、表面実装タイプのコンデンサを推奨します。パワー・ピンと GND ピンは直接 V_{CC} 層と GND 層に最短距離で接続し、バイパス・コンデンサを接続します。パワー・ピンまたはグラウンド・ピンをバイパス・コンデンサに接続することを優先すると、経路のインダクタンスが増加します。

外部バイパスには 0603 または 0402 など小型の X7R (125 補償) チップ・コンデンサを推奨します。形状を小型にすることにより、コンデンサの寄生インダクタンスが低減します。これらの外部バイパス・コンデンサの共振周波数は通常 20 ~ 30MHz ですが、ユーザーはこれを考慮する必要があります。効率的にバイパスするためには、しばしば複数のコンデンサを使い、気になる周波数の電源レール間のインピーダンスを下げる場合があります。高周波数帯においては、パワー・ピンとグラウンド・ピンから各層へ 2 つのスルーホールを使い、高周波数帯のインピーダンスを下げる方法も一般的です。

LLP パッケージの詳細については AN-1187 を参照してください。

AC カップリング

マルチギガビットの設計のため、AC カップリング・コンデンサのパッケージは可能な限り小型化が必要です。小型パッケージにすることにより、パッケージの寄生容量による信号の品質劣化を最小限に抑えられます。EQ50F100 インタフェースに最もよく使われるコンデンサの容量は、0.1 μ F です。

代表的な性能特性

30 インチ・バックプレーンの標準的なアイパターン

すべての標準的なアイパターンは、FR4 ストリップライン・テスト・チャネルを使い、 $V_{DD} = 1.8V$ 、 $T_A = 25$ の条件で、ソース側が $1V_{p-p}$ の PRBS-10 パターンにより測定しています。これらは 2,000 回のサンプリングによりおよそ 10ps のシステム・ジッタが含まれたオシロスコープにより取得されました。(Note 2)

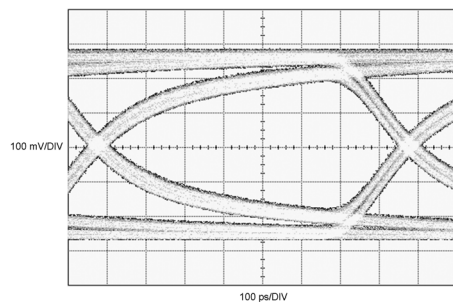


FIGURE 1. 1.25 Gb/s, PRBS-10 *Input* Signal to Equalizer after 30" of FR4

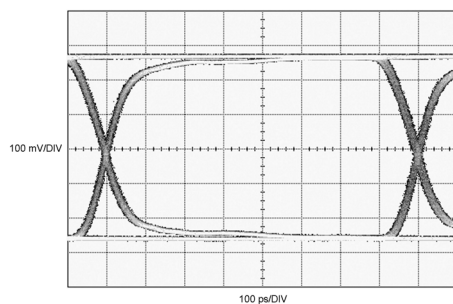


FIGURE 2. Typical 1.25 Gb/s Equalizer *Output* Signal, with Input as shown in FIGURE 1

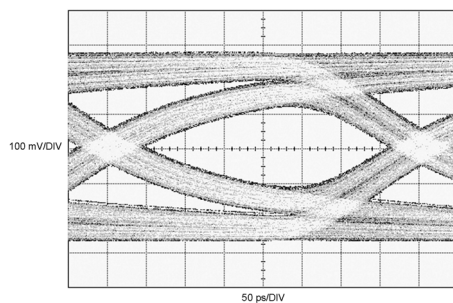


FIGURE 3. 2.5 Gb/s, PRBS-10 *Input* Signal to Equalizer after 30" of FR4

代表的な性能特性 (つづき)

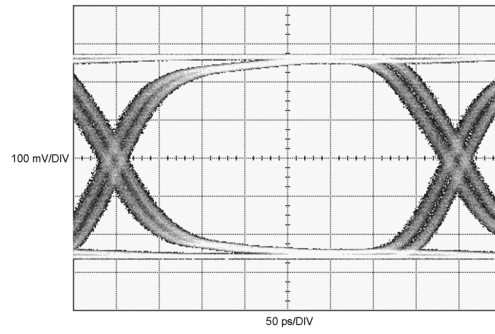


FIGURE 4. Typical 2.5Gb/s Equalizer *Output* Signal, with Input as shown in FIGURE 3

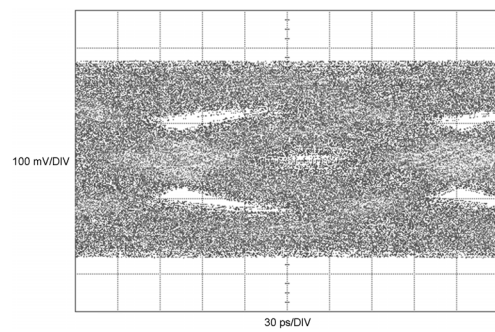


FIGURE 5. 5 Gb/s, PRBS-10 *Input* Signal to Equalizer after 30" of FR4

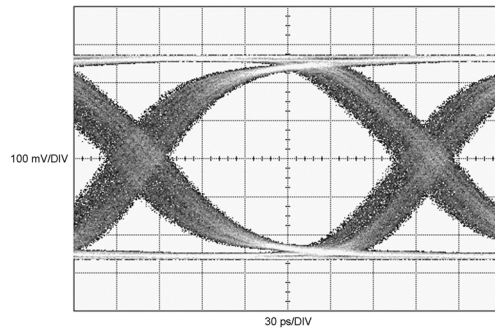


FIGURE 6. Typical 5Gb/s Equalizer *Output* Signal, with Input as shown in FIGURE 5

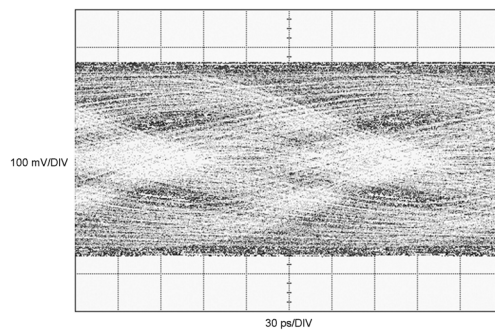


FIGURE 7. 6.25 Gb/s, PRBS-10 *Input* Signal to Equalizer after 30" of FR4

代表的な性能特性 (つづき)

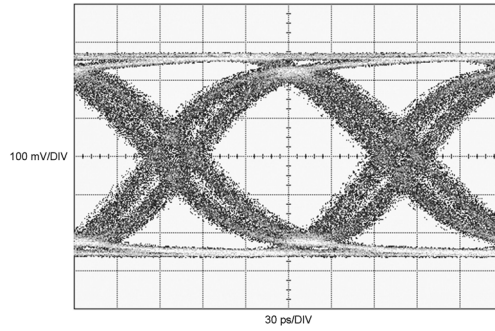
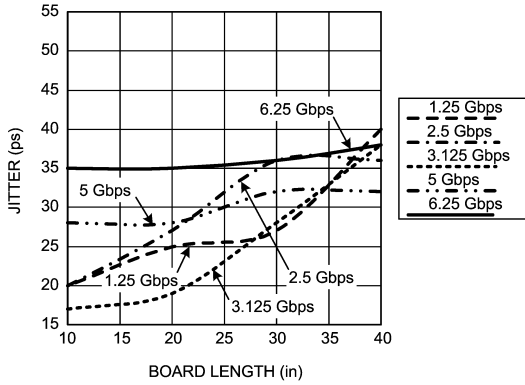


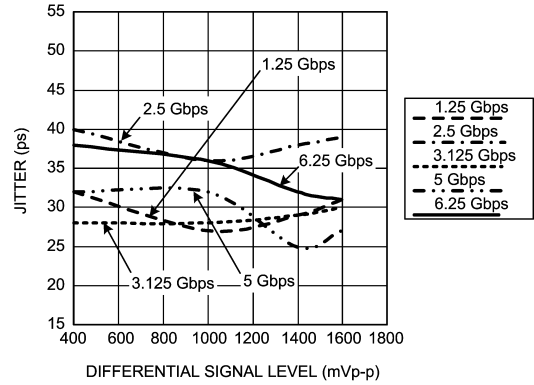
FIGURE 8. Typical 6.25Gb/s Equalizer *Output* Signal, with Input as shown in FIGURE 7

代表的な動作特性

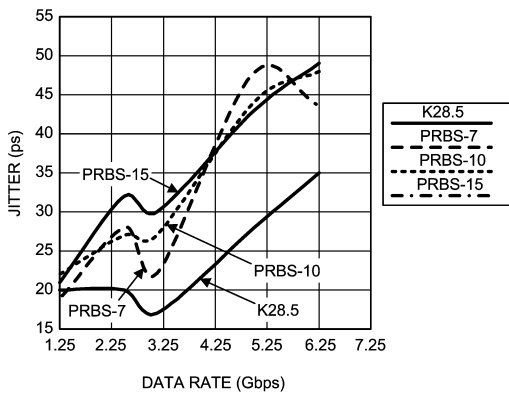
代表的な性能値は、特記のない限り $V_{DD} = 1.8V$ 、 $T_A = 25$ で測定されています。これらは FR4 ストップライン・テスト・チャンネルで測定され、オシロスコープにより取得されます。そこで得られた 2,000 回のサンプリングにはおよそ 10ps のシステム・ジッタが含まれています。



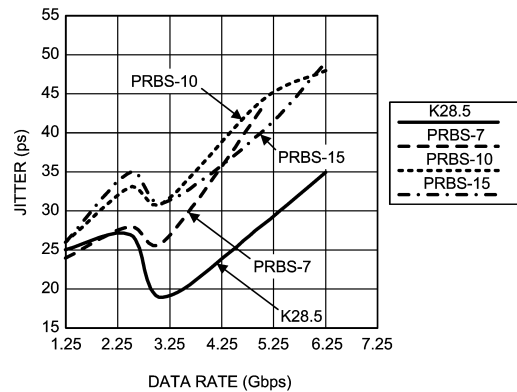
Total Jitter vs Board Length (FR4)
(Input Level = $1V_{p,p}$, K28.5 Pattern)



Total Jitter vs Signal Level
(K28.5 Pattern, 30in FR4 Board)

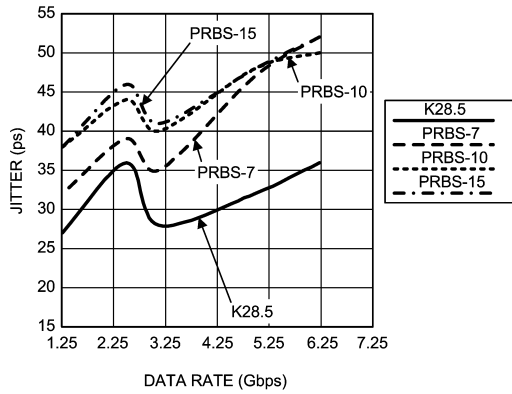


Total Jitter vs Data Rate
For 10in of FR4 Board
(Input Level = $1V_{p,p}$)

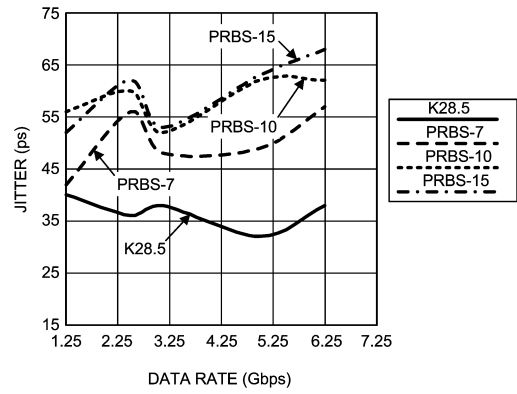


Total Jitter vs Data Rate
For 20in of FR4 Board
(Input Level = $1V_{p,p}$)

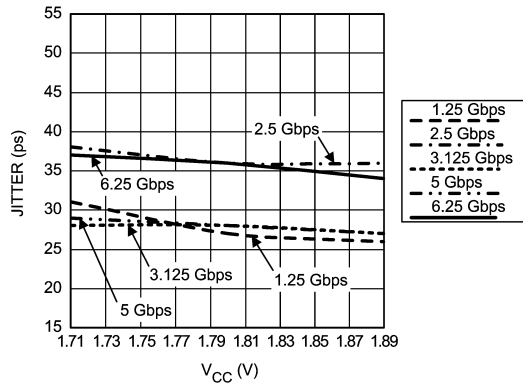
代表的な性能特性 (つづき)



**Total Jitter vs Data Rate
For 30in of FR4 Board
(Input Level = 1V_{p,p})**

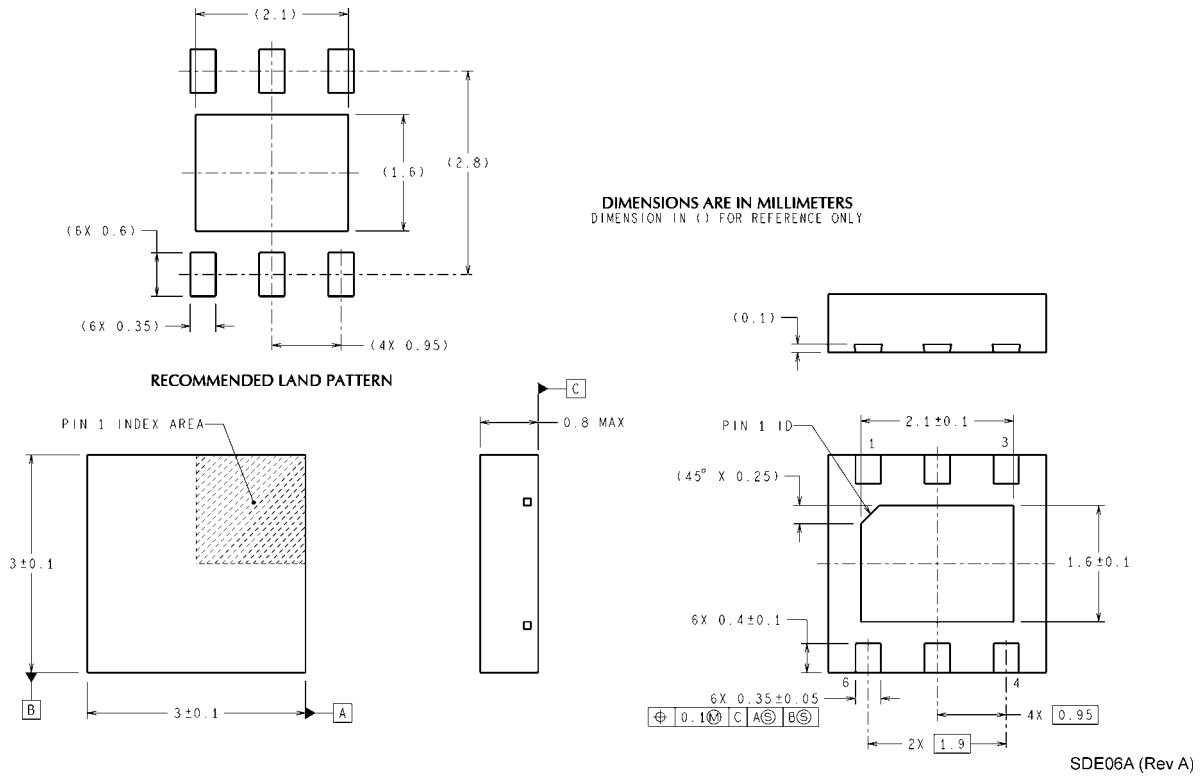


**Total Jitter vs Data Rate
For 40in of FR4 Board
(Input Level = 1V_{p,p})**



**Total Jitter vs Vcc
(Input Level = 1V_{p,p}, K28.5 Pattern)**

外形寸法図 単位は millimeters



3mm x 3mm 6-pin leadless LLP package
Order Number EQ50F100LR
Package Number SDE06A

鉛フリー品のご注文に関しては販売代理店までお問い合わせください。鉛フリー品をご注文される場合は、「NOPB」仕様を指定します。詳細はナショナル セミコンダクターのウェブサイト「鉛フリーについて」のページをご覧ください (<http://www.national.com/JPN/packaging/leadfree/>)。

このドキュメントの内容はナショナル セミコンダクター 社製品の関連情報として提供されます。ナショナル セミコンダクター 社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター 社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター 社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター 社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター 社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター 社との取引条件で規定される場合を除き、ナショナル セミコンダクター 社は一切の義務を負わないものとし、また、ナショナル セミコンダクター 社の製品の販売か使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター 社の製品は、ナショナル セミコンダクター 社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクター のロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2006 National Semiconductor Corporation
製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

本資料に掲載されているすべての回路の使用に起因する第三者の特許権その他の権利侵害に関して、弊社ではその責を負いません。また掲載内容は予告無く変更されることがありますのでご了承ください。

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは承認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上