

## ESD701-Q1 RF および ADAS 信号保護向け車載用低容量 ESD ダイオード

### 1 特長

- AEC-Q101 認定済み
- IEC 61000-4-2 ESD 保護:
  - $\pm 15\text{kV}$  接触放電
  - $\pm 15\text{kV}$  エアギャップ放電
- ISO 10605 (330pF, 330 $\Omega$ ) ESD 保護:
  - $\pm 12\text{kV}$  接触放電
  - $\pm 12\text{kV}$  エアギャップ放電
- IEC 61000-4-5 サージ保護:
  - 3A (8/20 $\mu\text{s}$ )
- I/O 容量: 0.3pF (標準値)
- 超低リーク電流: 2nA (標準値)
- 業界標準の 0402 パッケージ

### 2 アプリケーション

- 車載用アンテナ ESD 保護
- RF 信号 ESD 保護
- 近距離無線通信 (NFC)
- 車載用 SerDes、Power Over Coax 付き
- USB Type-C (Vbus への短絡に対する耐性)

### 3 概要

ESD701-Q1 は双方向 ESD 保護ダイオードです。ESD701-Q1 は、業界標準の 0402 (DFN1006) パッケージで供給され、15kV の IEC 61000-4-2 保護レベルに対応しています。IEC 61000-4-5 規格に準拠して、ピークパルス電流が最大 3A の 8/20 $\mu\text{s}$  のサージをクランプできます。

静電容量およびリーク電流が小さいので、各種のシステムやアプリケーションで過渡現象に対して確実に保護します。この保護機能は、しだいに一般的になりつつあるフォームファクタの小型化やデータ速度の高速化などと同様に、多くのアプリケーションにとって重要です。

#### 製品情報

部品番号	パッケージ <sup>(1)</sup>	パッケージサイズ <sup>(2)</sup>
ESD701-Q1	DPY (DFN1006, 2)	1mm × 0.6mm

- (1) 詳細については、[セクション 13](#) を参照してください。
- (2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

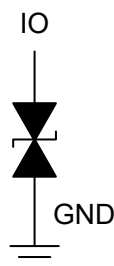


図 3-1. 機能ブロック図



## Table of Contents

<b>1 特長</b> .....	1	6.2 ドキュメントの更新通知を受け取る方法	7
<b>2 アプリケーション</b> .....	1	6.3 サポート・リソース	7
<b>3 概要</b> .....	1	6.4 Trademarks	7
<b>4 Pin Configuration and Functions</b> .....	3	6.5 静電気放電に関する注意事項	7
<b>5 Specifications</b> .....	4	6.6 用語集	7
5.1 Absolute Maximum Ratings	4	<b>7 ドキュメントの更新通知を受け取る方法</b>	7
5.2 ESD Ratings - AEC Specifications	4	<b>8 サポート・リソース</b>	7
5.3 ESD Ratings - IEC Specifications	4	<b>9 Trademarks</b>	8
5.4 ESD Ratings - ISO Specifications	4	<b>10 静電気放電に関する注意事項</b>	8
5.5 Recommended Operating Conditions	4	<b>11 用語集</b>	8
5.6 Thermal Information	5	<b>12 Revision History</b>	8
5.7 Electrical Characteristics	5	<b>13 Mechanical, Packaging, and Orderable Information</b>	8
5.8 Typical Characteristics	6		
<b>6 Device and Documentation Support</b> .....	7		
6.1 Documentation Support	7		

## 4 Pin Configuration and Functions

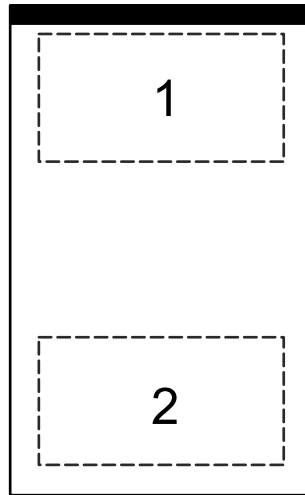


図 4-1. DPY Package, 2-Pin DFN1006 (Top View)

表 4-1. Pin Functions

PIN		TYPE <sup>(1)</sup>	DESCRIPTION
NAME	NO.		
IO	1	I/O	ESD Protected Channel. If used as ESD I/O, connect pin 2 to ground
IO	2	I/O	ESD Protected Channel. If used as ESD I/O, connect pin 1 to ground

(1) I = input, O = output

## 5 Specifications

### 5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)<sup>(1)</sup>

Parameter		MIN	MAX	UNIT
P <sub>PPM</sub>	IEC 61000-4-5 Surge (t <sub>p</sub> = 8/20 μs) Peak Pulse Power at 25 °C <sup>(2)</sup>		210	W
I <sub>PPM</sub>	IEC 61000-4-5 Surge (t <sub>p</sub> = 8/20 μs) Peak Pulse Current at 25 °C <sup>(2)</sup>		3.0	A
T <sub>A</sub>	Operating free-air temperature	–55	150	°C
T <sub>stg</sub>	Storage temperature	–65	155	°C

- (1) Stresses beyond those listed under *Absolute Maximum Rating* may cause permanent damage to the device. These are stress ratings only, which do not imply functional operation of the device at these or any other conditions beyond those indicated under *Recommended Operating Condition*. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) Voltages are with respect to GND unless otherwise noted.

### 5.2 ESD Ratings - AEC Specifications

Parameter		Test Conditions	VALUE	UNIT
V <sub>(ESD)</sub>	Electrostatic discharge	Human body model (HBM), per AEC Q101-001 <sup>(1)</sup>	±2500	V
		Charged device model (CDM), per AEC Q101-005 <sup>(2)</sup>	±1000	

- (1) JEDEC document JEP155 states that 500V HBM allows safe manufacturing with a standard ESD control process.
- (2) JEDEC document JEP157 states that 250V CDM allows safe manufacturing with a standard ESD control process.

### 5.3 ESD Ratings - IEC Specifications

Parameter		Test Conditions	VALUE	UNIT
V <sub>(ESD)</sub>	Electrostatic discharge	IEC 61000-4-2 Contact Discharge, all pins	±15000	V
		IEC 61000-4-2 Air Discharge, all pins	±15000	

### 5.4 ESD Ratings - ISO Specifications

Parameter		Test Conditions	VALUE	UNIT	
V <sub>(ESD)</sub>	ISO 10605 Electrostatic Discharge	C = 150pF; R = 330 Ω	Contact Discharge, all pins	±15000	V
			Air-gap Discharge, all pins	±15000	
		C = 330pF; R = 330 Ω	Contact Discharge, all pins	±12000	
			Air-gap Discharge, all pins	±12000	

### 5.5 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)

		MIN	NOM	MAX	UNIT
V <sub>IN</sub>	Input voltage	–24		24	V
T <sub>A</sub>	Operating Free Air Temperature	–55		150	°C

## 5.6 Thermal Information

THERMAL METRIC <sup>(1)</sup>		ESD701-Q1	UNIT
		DPY (DFN1006)	
		2 PINS	
$R_{\theta JA}$	Junction-to-ambient thermal resistance	262.6	°C/W
$R_{\theta JC(top)}$	Junction-to-case (top) thermal resistance	132.3	°C/W
$R_{\theta JB}$	Junction-to-board thermal resistance	78.5	°C/W
$\Psi_{JT}$	Junction-to-top characterization parameter	2.2	°C/W
$\Psi_{JB}$	Junction-to-board characterization parameter	78.0	°C/W
$R_{\theta JC(bot)}$	Junction-to-case (bottom) thermal resistance	NA	°C/W

(1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application report.

## 5.7 Electrical Characteristics

At TA = 25°C unless otherwise noted

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
$V_{RWM}$	Reverse stand-off voltage	$I_{IO} < 10nA$	-24		24	V
$I_{LEAK}$	Leakage current at $V_{RWM}$	$V_{IO} = \pm 24V$ , I/O to GND		2	10	nA
$V_{BR}$	Breakdown voltage, I/O to GND <sup>(1)</sup>	$I_{IO} = \pm 10mA$	25.5		35.5	V
$V_{HOLD}$	Holding voltage <sup>(2)</sup>	TLP, IO to GND or GND to IO		31		
$V_{CLAMP}$	Surge clamping voltage, $t_p = 8/20\mu s$ <sup>(3)</sup>	$I_{PP} = 3A$ , I/O to GND		37		V
$V_{CLAMP}$	Surge clamping voltage, $t_p = 8/20\mu s$ <sup>(3)</sup>	$I_{PP} = 3A$ , GND to I/O		37		V
$V_{CLAMP}$	TLP clamping voltage, $t_p = 100ns$ <sup>(4)</sup>	$I_{PP} = 16A$ (100 ns TLP), I/O to GND		41		V
$V_{CLAMP}$	TLP clamping voltage, $t_p = 100ns$ <sup>(4)</sup>	$I_{PP} = 16A$ (100 ns TLP), GND to I/O		41		V
$R_{DYN}$	Dynamic resistance <sup>(5)</sup>	I/O to GND		0.84		$\Omega$
		GND to I/O		0.84		
$C_{LINE}$	Line capacitance, IO to GND	$V_{IO} = 0V$ , $f = 1MHz$		0.3	0.5	pF

- (1)  $V_{BR}$  is defined as the voltage obtained at 1mA when sweeping the voltage up, before the device latches into the snapback state
- (2)  $V_{HOLD}$  is defined as the voltage when 1mA is applied, after the device has successfully latched into the snapback state.
- (3) Device stressed with 8/20 $\mu s$  exponential decay waveform according to IEC 61000-4-5
- (4) Non-repetitive square wave current pulse, Transmission Line Pulse (TLP); ANSI / ESD STM5.5.1-2008
- (5) Extraction of  $R_{DYN}$  using least squares fit of TLP characteristics between  $I = 10A$  and  $I = 20A$

## 5.8 Typical Characteristics

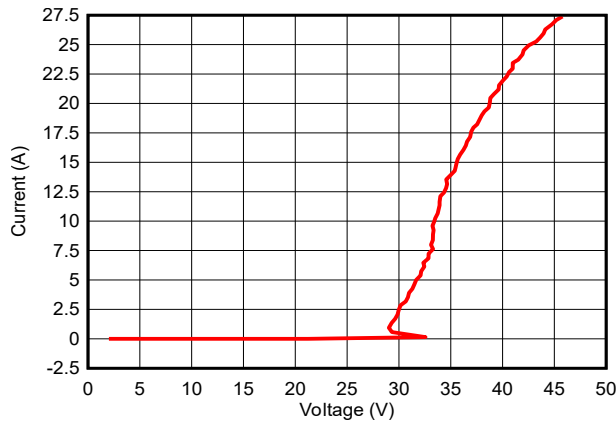


图 5-1. Positive TLP Curve

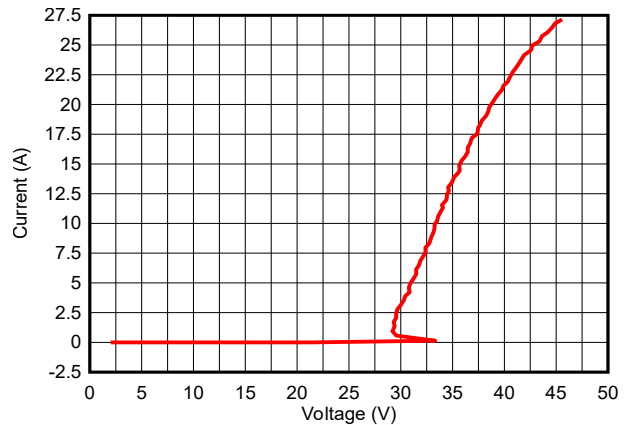


图 5-2. Negative TLP Curve

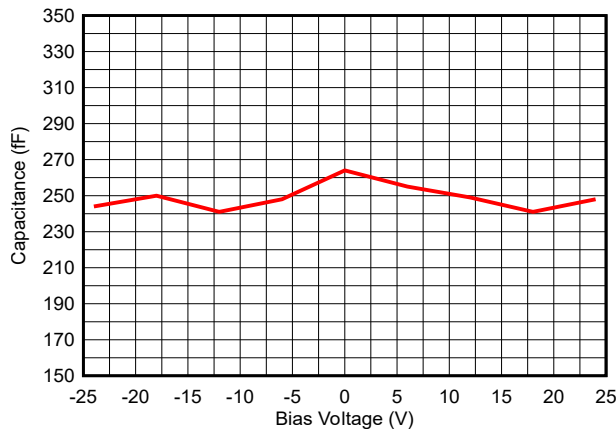


图 5-3. Bias Voltage vs. Capacitance

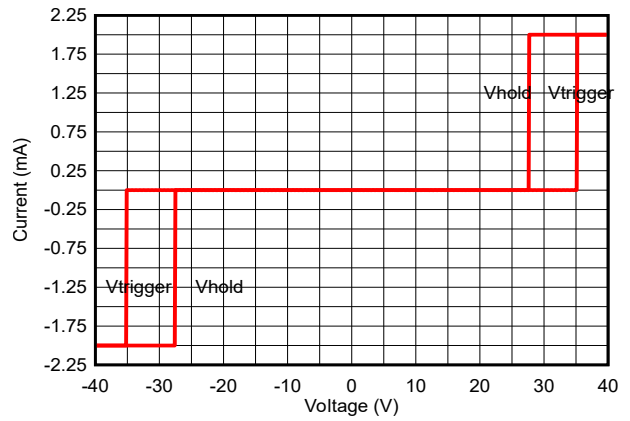


图 5-4. DC-IV Curve

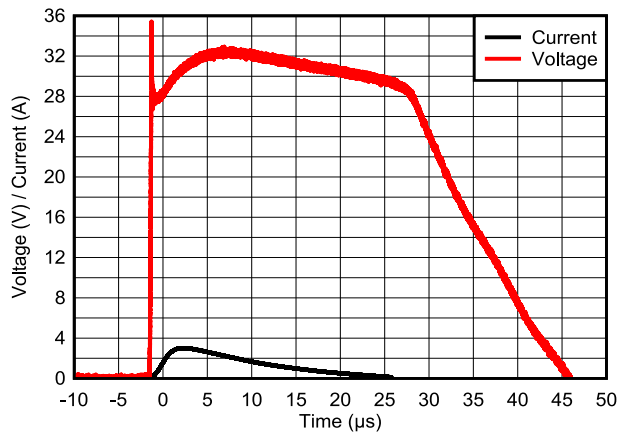


图 5-5. 8/20  $\mu$ s Surge Response

## 6 Device and Documentation Support

### 6.1 Documentation Support

#### 6.1.1 Related Documentation

For related documentation, see the following:

- Texas Instruments, [ESD Packaging and Layout Guide](#)
- Texas Instruments, [TI's IEC 61000-4-x Testing application note](#)
- Texas Instruments, [ESD Layout Guide user's guide](#)
- Texas Instruments, [ESD Protection Diodes EVM user's guide](#)
- Texas Instruments, [Generic ESD Evaluation Module user's guide](#)
- Texas Instruments, [Reading and Understanding an ESD Protection Data Sheet user's guide](#)

#### 6.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

#### 6.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

#### 6.4 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.  
すべての商標は、それぞれの所有者に帰属します。

#### 6.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

#### 6.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 7 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

## 8 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

## 9 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

## 10 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

## 11 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 12 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

DATE	REVISION	NOTES
November 2024	*	Initial Release

## 13 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.



## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

**PACKAGING INFORMATION**

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
ESD701DPYRQ1	ACTIVE	X1SON	DPY	2	10000	RoHS & Green	NIPDAUAG	Level-1-260C-UNLIM	-55 to 150	PS	Samples

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSELETE:** TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

**RoHS Exempt:** TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

**Green:** TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF ESD701-Q1 :**

- Catalog : [ESD701](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ESD701DPYRQ1	X1SON	DPY	2	10000	178.0	8.4	0.7	1.15	0.47	2.0	8.0	Q1

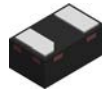
**TAPE AND REEL BOX DIMENSIONS**



\*All dimensions are nominal

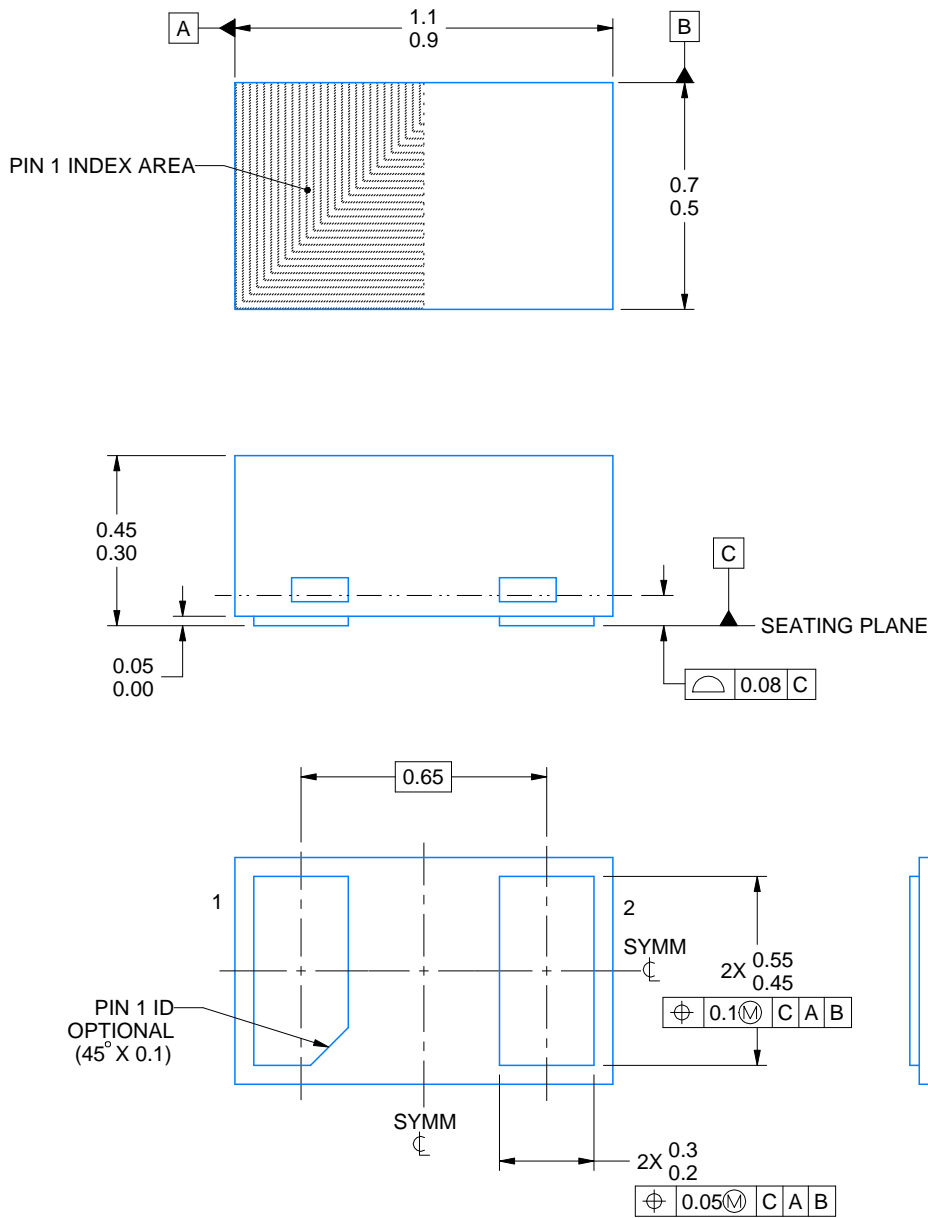
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ESD701DPYRQ1	X1SON	DPY	2	10000	205.0	200.0	33.0

DPY0002A



**PACKAGE OUTLINE**  
**X1SON - 0.45 mm max height**

PLASTIC SMALL OUTLINE - NO LEAD



4224561/C 07/2024

NOTES:

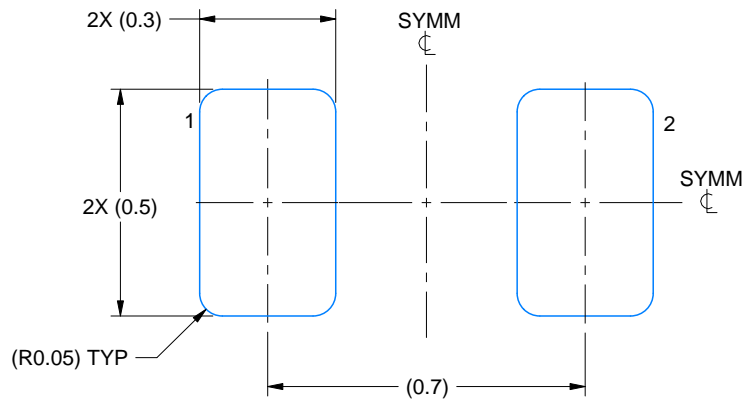
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M
2. This drawing is subject to change without notice.

# EXAMPLE BOARD LAYOUT

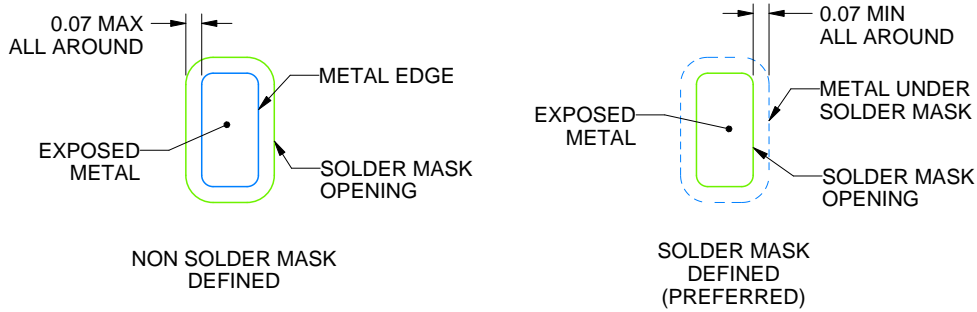
DPY0002A

X1SON - 0.45 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:60X



SOLDER MASK DETAILS

4224561/C 07/2024

NOTES: (continued)

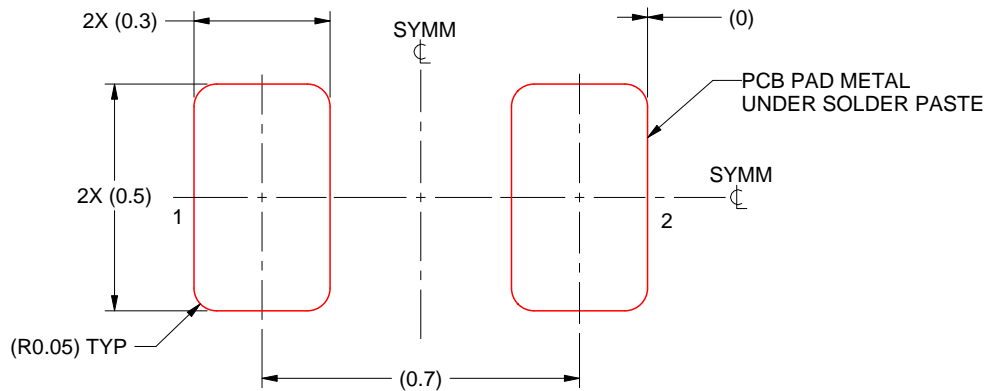
3. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slue271](http://www.ti.com/lit/slue271)).
4. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

# EXAMPLE STENCIL DESIGN

DPY0002A

X1SON - 0.45 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE  
BASED ON 0.1 mm THICK STENCIL  
SCALE:60X

4224561/C 07/2024

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.



## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024, Texas Instruments Incorporated