

INA241x-Q1 AEC-Q100、-5V~110V、双方向、超高精度電流センスアンプ、強化型 PWM 除去機能搭載

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
 - 温度グレード 1: -40°C~125°C、T_A
- 機能安全対応
 - 機能安全システムの設計に役立つ資料を利用可能
- スイッチング コモン モード電圧で動作するシステム向けに最適化された強化型 PWM 除去
 - 最大 125kHz のスイッチング周波数をサポート
- 広いコモン モード電圧範囲:
 - 動作電圧: -5V~110V
 - 残存電圧: -20V~120V
- 双方向動作
- 高い小信号帯域幅: 1.1MHz (すべてのゲイン)
- スルーレート: 8V/μs
- 1% までのステップ応答セトリング タイム: 1μs
- 非常に優れた CMRR
 - 166dB の DC-CMRR
 - 100kHz で 104dB の AC-CMRR
 - 1MHz で 89dB の AC-CMRR
- 精度:
 - ゲイン誤差 (最大値)
 - バージョン A: ±0.01%、±1ppm/°C のドリフト
 - バージョン B: ±0.1%、±5ppm/°C のドリフト
 - オフセット電圧 (最大値)
 - バージョン A: ±10μV、±0.1μV/°C のドリフト
 - バージョン B: ±150μV、±0.5μV/°C のドリフト
- 利用可能なゲイン:
 - INA241A1-Q1: 10 V/V
 - INA241A2-Q1: 20 V/V
 - INA241A3-Q1: 50 V/V
 - INA241A4-Q1: 100 V/V
 - INA241A5-Q1: 200 V/V
- パッケージ オプション: SOT23-8、VSSOP-8、SOIC-8、VSSOP-10

2 アプリケーション

- eTurbo / チャージャ
- 電動パワー ステアリング (EPS)
- スタータ / 発電機
- 回生ブレーキ
- ブレーキ システム

3 概要

INA241x-Q1 は、電源電圧に関係なく、-5V~110V の広いコモン モード電圧範囲にわたってシャント抵抗両端での電圧降下を測定できる超高精度の双方向電流センスアンプです。低いオフセット電圧 (最大値 ±10μV)、小さいゲイン誤差 (最大値 ±0.01%)、高い DC CMRR (代表値 166dB) の組み合わせにより、高精度の電流測定を実現します。INA241x-Q1 は、デバイスの入力で大きな同相電圧過渡が観測されるスイッチング システムにおける高電圧双方向測定向けに設計されています。INA241x-Q1 内部の強化された PWM 除去回路では、入力側におけるコモン モード電圧の遷移により発生する出力側での信号変動を最小限に抑えています。

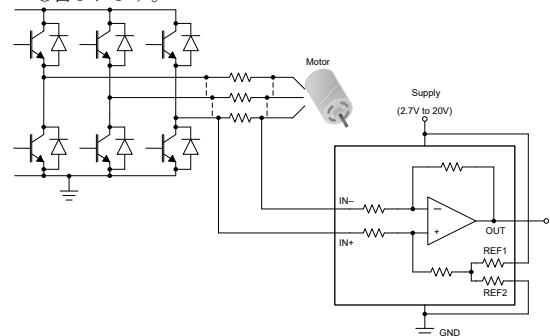
INA241x-Q1 は 2.7V~20V 単電源で動作し、消費電流は 2.5mA です。INA241x-Q1 には次の 5 種類のゲイン オプションが提供されています: 10V/V、20V/V、50V/V、100V/V、200V/V。複数のゲイン オプションにより、利用可能なシャント抵抗値と広い出力ダイナミック レンジ要件の間で最適化を行えます。

INA241x-Q1 は、-40°C~125°C の動作温度範囲で仕様が規定され、。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
INA241A-Q1 INA241B-Q1	DDF (SOT-23, 8)	2.9mm × 2.8mm
	DGK (VSSOP, 8)	3mm × 4.9mm
	D (SOIC, 8)	4.9mm × 6mm
	DGS (VSSOP, 10)	3mm × 4.9mm

- 利用可能なパッケージについては、データシートの末尾にあるパッケージ オプションについての付録を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



代表的なアプリケーション - インライン モーター制御



目次

1 特長.....	1	7.4 デバイスの機能モード.....	17
2 アプリケーション.....	1	8 アプリケーションと実装.....	22
3 概要.....	1	8.1 アプリケーション情報.....	22
4 デバイスの比較.....	2	8.2 代表的なアプリケーション.....	23
5 ピン構成および機能.....	2	8.3 電源に関する推奨事項.....	24
6 仕様.....	4	8.4 レイアウト.....	24
6.1 絶対最大定格.....	4	9 デバイスおよびドキュメントのサポート.....	26
6.2 ESD 定格.....	4	9.1 ドキュメントのサポート.....	26
6.3 推奨動作条件.....	4	9.2 ドキュメントの更新通知を受け取る方法.....	26
6.4 熱に関する情報.....	4	9.3 サポート・リソース.....	26
6.5 電気的特性.....	5	9.4 商標.....	26
6.6 代表的特性.....	8	9.5 静電気放電に関する注意事項.....	26
7 詳細説明.....	15	9.6 用語集.....	26
7.1 概要.....	15	10 改訂履歴.....	26
7.2 機能ブロック図.....	15	11 メカニカル、パッケージ、および注文情報.....	27
7.3 機能説明.....	15		

4 デバイスの比較

表 4-1. デバイスの比較

型番	ゲイン
INA241A1-Q1, INA241B1-Q1	10 V/V
INA241A2-Q1, INA241B2-Q1	20 V/V
INA241A3-Q1, INA241B3-Q1	50 V/V
INA241A4-Q1, INA241B4-Q1	100V/V
INA241A5-Q1, INA241B5-Q1	200V/V

5 ピン構成および機能

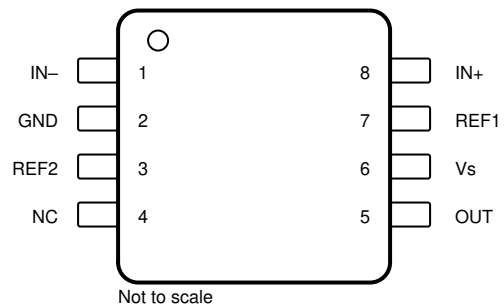
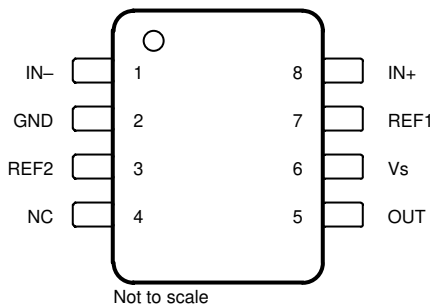


図 5-1. INA241x-Q1 : DDF パッケージ 8 ピン SOT-23 上面図

図 5-2. INA241x-Q1 : D および DGK パッケージ 8 ピン SOIC および 8 ピン VSSOP 上面図

表 5-1. ピンの機能 : D、DDF、DGK パッケージ

ピン		タイプ	説明
名称	番号		
GND	2	グラウンド	グラウンド。
IN+	8	入力	電流検出アンプの正入力。ハイサイドアプリケーションの場合、検出抵抗のバス電圧側に接続します。ローサイドアプリケーションの場合、検出抵抗の負荷側に接続します。

表 5-1. ピンの機能 : D、DDF、DGK パッケージ (続き)

ピン		タイプ	説明
名称	番号		
IN-	1	入力	電流検出アンプの負入力。ハイサイド アプリケーションの場合、検出抵抗の負荷側に接続します。ローサイド アプリケーションの場合、検出抵抗のグランド側に接続します。
NC	4	グランド	予約済み。グランドに接続します。
OUT	5	出力	出力電圧。
REF1	7	入力	基準 1 電圧。0V~V _S の電位に接続します。接続オプションについては、「リファレンス ピンによる出力の調整」を参照してください。
REF2	3	入力	基準 2 電圧。0V~V _S の電位に接続します。接続オプションについては、「リファレンス ピンによる出力の調整」を参照してください。
V _S	6	電源	電源、2.7V~20V

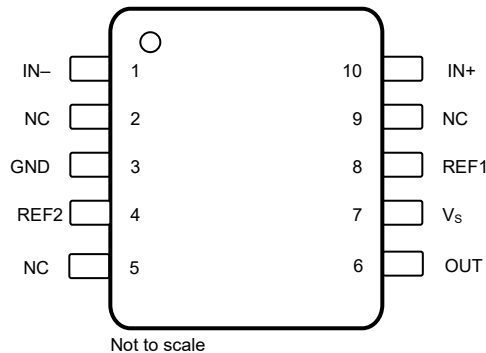


図 5-3. INA241x-Q1 : DGS パッケージ 10 ピン VSSOP 上面図

表 5-2. ピンの機能 : DGS パッケージ

ピン		タイプ	説明
名称	番号		
GND	3	グランド	グランド
IN+	10	入力	電流検出アンプの正入力。ハイサイド アプリケーションの場合、検出抵抗のバス電圧側に接続します。ローサイド アプリケーションの場合、検出抵抗の負荷側に接続します。
IN-	1	入力	電流検出アンプの負入力。ハイサイド アプリケーションの場合、検出抵抗の負荷側に接続します。ローサイド アプリケーションの場合、検出抵抗のグランド側に接続します。
NC	5	グランド	予約済み。グランドに接続します。
NC	2	-	未接続のままにします
NC	9	-	未接続のままにします
OUT	6	出力	出力電圧
REF1	8	入力	基準 1 電圧。0V~V _S の電位に接続します。接続オプションについては、「リファレンス ピンによる出力の調整」を参照してください。
REF2	4	入力	基準 2 電圧。0V~V _S の電位に接続します。接続オプションについては、「リファレンス ピンによる出力の調整」を参照してください。
V _S	7	電源	電源、2.7V~20V

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
電源電圧 (V_S)			22	V
アナログ入力、 V_{IN+} 、 V_{IN-} ⁽²⁾	差動 (V_{IN+}) - (V_{IN-})	-30	30	V
	同相	-20	120	V
REF1、REF2、NC 入力		GND - 0.3	$V_S + 0.3$	V
出力		GND - 0.3	$V_S + 0.3$	V
T_A	動作温度	-55	150	°C
T_J	接合部温度		150	°C
T_{stg}	保存温度	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても、「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

(2) V_{IN+} と V_{IN-} は、それぞれ $IN+$ ピンと $IN-$ ピンの電圧です。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 ⁽¹⁾ HBM ESD 分類レベル 2 準拠	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C6 準拠	±1000	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{CM}	同相入力範囲	-5	48	110	V
V_S	動作電源電圧範囲	2.7	5	20	V
T_A	周囲温度	-40		125	°C

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		INA241x-Q1				単位
		DDF (SOT23)	DGK (VSSOP)	D (SOIC)	DGS (VSSOP)	
		8 ピン	8 ピン	8 ピン	10 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	129.7	167.2	122.9	143.3	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	58	58.9	54.7	49.2	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	52.6	88.9	68.8	80	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	2.3	8.1	12.2	2.6	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	52.3	87.4	67.5	78.6	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

6.5 電気的特性

$T_A = 25^\circ\text{C}$ 、 $V_S = 5\text{V}$ 、 $V_{\text{SENSE}} = V_{\text{IN}+} - V_{\text{IN}-}$ 、 $V_{\text{CM}} = V_{\text{IN}-} = 48\text{V}$ 、 $V_{\text{REF1}} = V_{\text{REF2}} = V_S / 2$ の場合 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
入力						
V_{CM}	同相入力範囲 (1)	$V_{\text{IN}+}, V_{\text{IN}-} = -5\text{V} \sim 110\text{V}$ 、 $V_{\text{SENSE}} = 0\text{mV}$ $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$	-5		110	V
CMRR	同相除去比、入力換算	$V_{\text{IN}+}, V_{\text{IN}-} = -5\text{V} \sim 110\text{V}$ 、 $V_{\text{SENSE}} = 0\text{mV}$ $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$ 、INA241A-Q1	150	166		dB
		$V_{\text{IN}+}, V_{\text{IN}-} = -5\text{V} \sim 110\text{V}$ 、 $V_{\text{SENSE}} = 0\text{mV}$ $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$ 、INA241B-Q1	120	130		
		$f = 50\text{kHz}$		105		
V_{os}	オフセット電圧、入力換算	$V_{\text{SENSE}} = 0\text{mV}$ 、INA241A1-Q1		± 5	± 20	μV
		$V_{\text{SENSE}} = 0\text{mV}$ 、INA241A2-Q1		± 3	± 15	
		$V_{\text{SENSE}} = 0\text{mV}$ 、INA241A3-Q1、 INA241A4-Q1		± 3	± 10	
		$V_{\text{SENSE}} = 0\text{mV}$ 、INA241A5-Q1		± 2	± 8	
		$V_{\text{SENSE}} = 0\text{mV}$ 、INA241B-Q1		± 25	± 150	
dV_{os}/dT	オフセット電圧ドリフト、入力換算	$T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$ 、INA241A1-Q1		± 50	± 250	$\text{nV}/^\circ\text{C}$
		$T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$ 、INA241A2-Q1		± 30	± 150	
		$T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$ 、INA241A3-Q1、 INA241A4-Q1、INA241A5-Q1		± 20	± 100	
		$T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$ 、INA241B-Q1		± 100	± 500	
PSRR	電源除去比、入力換算	$V_S = 2.7\text{V} \sim 20\text{V}$ 、 $V_{\text{SENSE}} = 0\text{mV}$ 、 $V_{\text{REF1}} = V_{\text{REF2}} = 1\text{V}$ 、 $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$ 、INA241A1-Q1		± 0.2	± 1	$\mu\text{V}/\text{V}$
		$V_S = 2.7\text{V} \sim 20\text{V}$ 、 $V_{\text{SENSE}} = 0\text{mV}$ 、 $V_{\text{REF1}} = V_{\text{REF2}} = 1\text{V}$ 、 $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$ 、INA241A2-Q1		± 0.1	± 0.75	
		$V_S = 2.7\text{V} \sim 20\text{V}$ 、 $V_{\text{SENSE}} = 0\text{mV}$ 、 $V_{\text{REF1}} = V_{\text{REF2}} = 1\text{V}$ 、 $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$ 、INA241A3-Q1、 INA241A4-Q1、INA241A5-Q1		± 0.06	± 0.5	
		$V_S = 2.7\text{V} \sim 20\text{V}$ 、 $V_{\text{SENSE}} = 0\text{mV}$ 、 $V_{\text{REF1}} = V_{\text{REF2}} = 1\text{V}$ 、 $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$ 、INA241B-Q1		± 1	± 10	
I_B	入力バイアス電流	I_{B+} 、 I_{B-} 、 $V_{\text{SENSE}} = 0\text{mV}$	25	35	45	μA
	基準入力範囲		0		V_S	V
出力						
G	ゲイン	A1、B1 デバイス		10		V/V
		A2、B2 デバイス		20		V/V
		A3、B3 デバイス		50		V/V
		A4、B4 デバイス		100		V/V
		A5、B5 デバイス		200		V/V

INA241A-Q1, INA241B-Q1

JAJSPY0C – FEBRUARY 2023 – REVISED DECEMBER 2024

 $T_A = 25^\circ\text{C}$, $V_S = 5\text{V}$, $V_{\text{SENSE}} = V_{\text{IN}+} - V_{\text{IN}-}$, $V_{\text{CM}} = V_{\text{IN}-} = 48\text{V}$, $V_{\text{REF1}} = V_{\text{REF2}} = V_S / 2$ の場合 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
G _{ERR}	ゲイン誤差	(GND + 50mV) < V _{OUT} < (V _S - 200mV)、 INA241A1-Q1, INA241A2-Q1、 INA241A3-Q1		±0.002	±0.01	%
		(GND + 50mV) < V _{OUT} < (V _S - 200mV)、 INA241A4-Q1, INA241A5-Q1		±0.003	±0.015	
		(GND + 50mV) < V _{OUT} < (V _S - 200mV)、 INA241B-Q1		±0.02	±0.1	
	ゲイン誤差ドリフト	T _A = -40°C ~ +125°C、 INA241A1-Q1, INA241A2-Q1、 INA241A3-Q1		±0.05	±1	ppm/°C
		T _A = -40°C ~ +125°C、 INA241A4-Q1, INA241A5-Q1		±0.1	±2	
		T _A = -40°C ~ +125°C、 INA241B-Q1		±0.2	±5	
非直線性誤差			±0.001		%	
最大の容量性負荷	発振が持続しない、絶縁抵抗なし		1		nF	
電圧出力						
	V _S 電源レールまでスイング	R _L = 10kΩ (対 GND)、 T _A = -40°C ~ +125°C		V _S - 0.07	V _S - 0.2	V
	グランドまでスイング	R _L = 10kΩ (対 GND)、V _{SENSE} = 0mV、 V _{REF1} = V _{REF2} = 0V、 T _A = -40°C ~ +125°C		8	20	mV
基準電圧入力						
RVRR	基準電圧除去比、入力換算	V _{REF1} = V _{REF2} = 0.5V ~ 4.5V、 T _A = -40°C ~ +125°C, INA241A1-Q1		±1	±2.5	μV/V
		V _{REF1} = V _{REF2} = 0.5V ~ 4.5V、 T _A = -40°C ~ +125°C, INA241A2-Q1、 INA241A3-Q1, INA241A4-Q1、 INA241A5-Q1		±0.5	±1.5	
		V _{REF1} = V _{REF2} = 0.5V ~ 4.5V、 T _A = -40°C ~ +125°C, INA241B-Q1、		±10	±20	
リファレンス ディバイダの精度		V _{OUT} = (V _{REF1} + V _{REF2}) / 2, V _{SENSE} = 0mV、 V _{REF1} = V _S , V _{REF2} = GND V _{REF1} = GND, V _{REF2} = V _S T _A = -40°C ~ +125°C, INA241A1-Q1、 INA241A2-Q1		±0.002	±0.005	%
		V _{OUT} = (V _{REF1} + V _{REF2}) / 2, V _{SENSE} = 0mV、 V _{REF1} = V _S , V _{REF2} = GND V _{REF1} = GND, V _{REF2} = V _S T _A = -40°C ~ +125°C, INA241A3-Q1、 INA241A4-Q1, INA241A5-Q1		±0.002	±0.01	
		V _{OUT} = (V _{REF1} + V _{REF2}) / 2, V _{SENSE} = 0mV、 V _{REF1} = V _S , V _{REF2} = GND V _{REF1} = GND, V _{REF2} = V _S T _A = -40°C ~ +125°C, INA241B-Q1		±0.02	±0.15	
周波数応答						
BW	帯域幅	すべてのゲイン、-3dB 帯域幅		1.1		MHz

$T_A = 25^\circ\text{C}$ 、 $V_S = 5\text{V}$ 、 $V_{\text{SENSE}} = V_{\text{IN}+} - V_{\text{IN}-}$ 、 $V_{\text{CM}} = V_{\text{IN}-} = 48\text{V}$ 、 $V_{\text{REF1}} = V_{\text{REF2}} = V_S / 2$ の場合 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
セトリング時間		$V_{\text{IN}+}$ 、 $V_{\text{IN}-} = 48\text{V}$ 、 $V_{\text{OUT}} = 0.5\text{V} \sim 4.5\text{V}$ 、 出力が 0.5% までセトリング		1.5		μs
		$V_{\text{IN}+}$ 、 $V_{\text{IN}-} = 48\text{V}$ 、 $V_{\text{OUT}} = 0.5\text{V} \sim 4.5\text{V}$ 、 出力が 1% までセトリング		1		μs
		$V_{\text{IN}+}$ 、 $V_{\text{IN}-} = 48\text{V}$ 、 $V_{\text{OUT}} = 0.5\text{V} \sim 4.5\text{V}$ 、 出力が 5% までセトリング		0.5		μs
SR	スルー レート	立ち上がり		8		$\text{V}/\mu\text{s}$
ノイズ (入力換算)						
電圧ノイズ密度		A1、B1 デバイス		62		$\text{nV}/\sqrt{\text{Hz}}$
		A2、B2 デバイス		49		
		A3、B3 デバイス		39		
		A4、B4 デバイス		36		
		A5、B5 デバイス		28		
電源						
V_S	電源電圧		2.7		20	V
I_Q	静止時電流	$V_{\text{SENSE}} = 0\text{mV}$		2.5	3	mA
		$V_{\text{SENSE}} = 0\text{mV}$ 、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$			3.2	mA
温度						
T_A	仕様範囲		-40		125	$^\circ\text{C}$

(1) $V_{\text{IN}+}$ と $V_{\text{IN}-}$ の両方の同相電圧が、指定された同相入力範囲を超えないようにする必要があります。

6.6 代表的特性

$T_A = 25^\circ\text{C}$ 、 $V_S = 5\text{V}$ 、 $V_{\text{SENSE}} = V_{\text{IN}+} - V_{\text{IN}-}$ 、 $V_{\text{CM}} = V_{\text{IN-}} = 48\text{V}$ 、 $V_{\text{REF1}} = V_{\text{REF2}} = V_S / 2$ の場合 (特に記述のない限り)

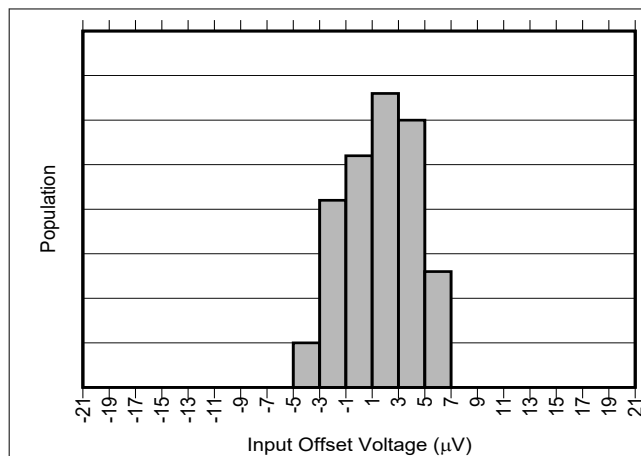


図 6-1. INA241A1-Q1 の入力オフセットの製造分布

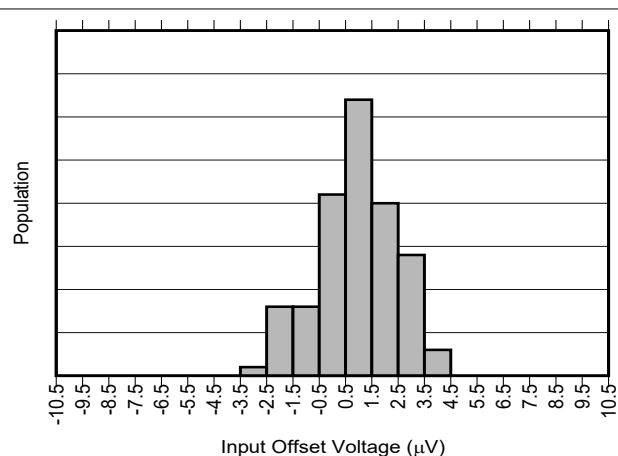


図 6-2. INA241A2-Q1 の入力オフセットの製造分布

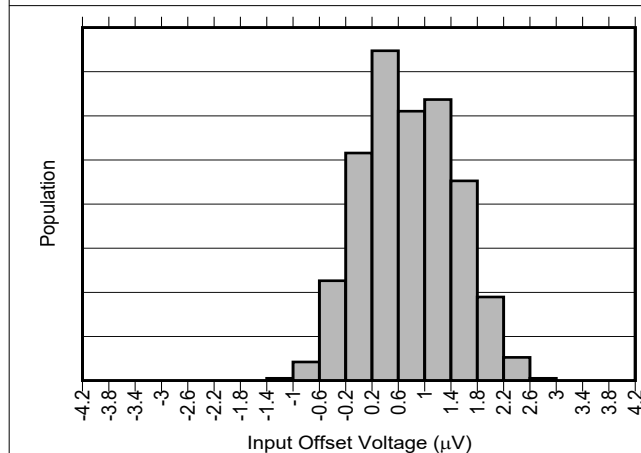


図 6-3. INA241A3-Q1 および INA241A4-Q1 の入力オフセットの製造分布

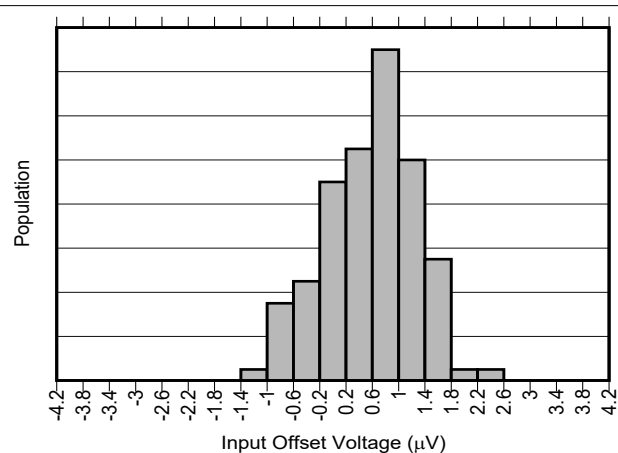


図 6-4. INA241A5-Q1 の入力オフセットの製造分布

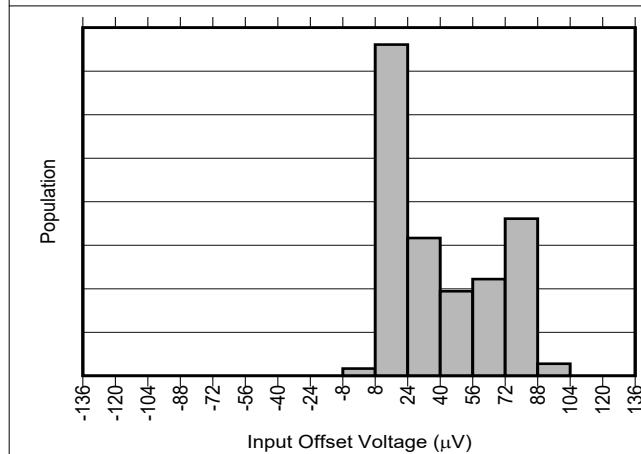


図 6-5. すべてのゲインの INA241B-Q1 の入力オフセットの製造分布

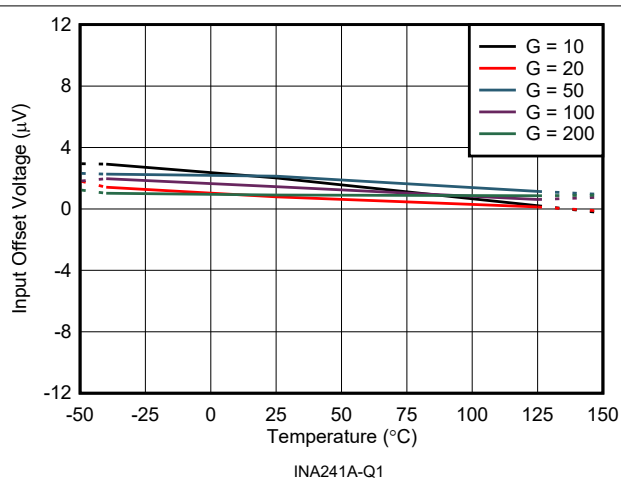


図 6-6. 入力オフセット電圧と温度との関係

6.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = 5\text{V}$ 、 $V_{\text{SENSE}} = V_{\text{IN}+} - V_{\text{IN}-}$ 、 $V_{\text{CM}} = V_{\text{IN}-} = 48\text{V}$ 、 $V_{\text{REF1}} = V_{\text{REF2}} = V_S / 2$ の場合 (特に記述のない限り)

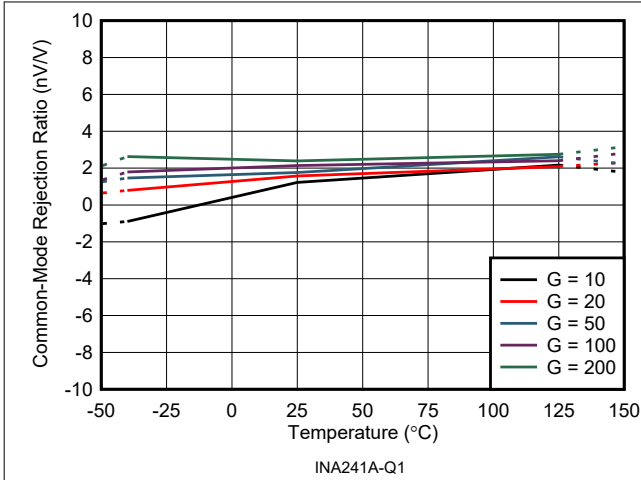


図 6-7. 同相除去比と温度との関係

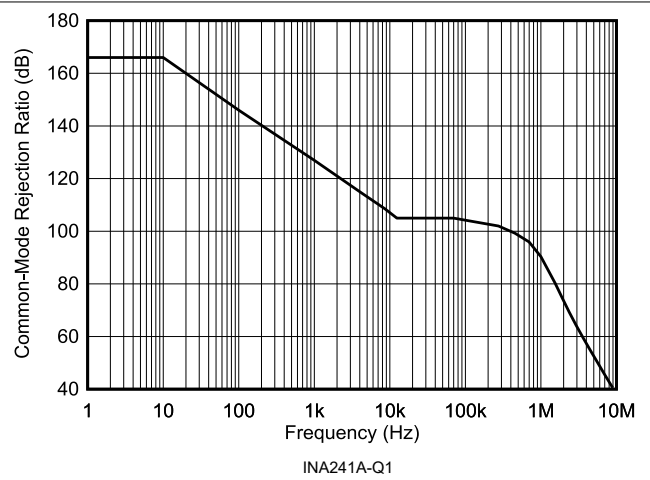


図 6-8. 同相除去比と周波数との関係

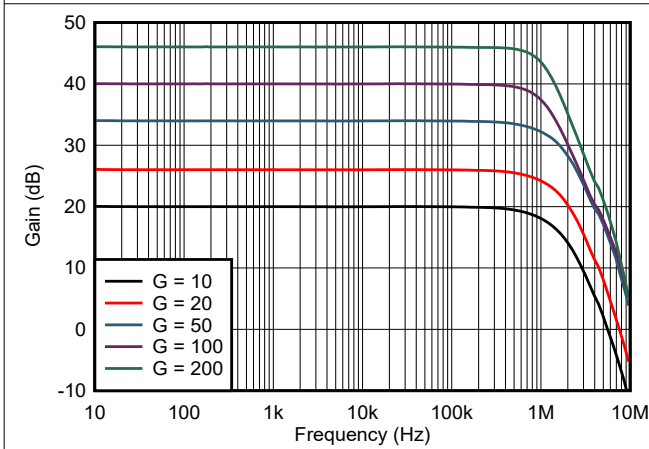


図 6-9. ゲインと周波数との関係

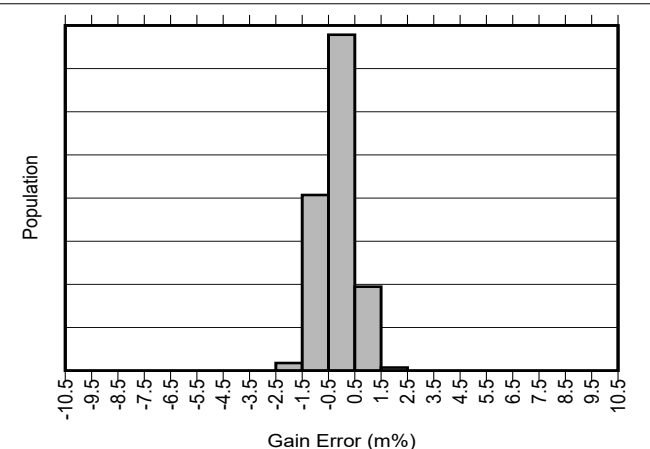


図 6-10. INA241A1-Q1、INA241A2-Q1、INA241A3-Q1 のゲイン誤差の製造分布

6.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = 5\text{V}$ 、 $V_{\text{SENSE}} = V_{\text{IN}+} - V_{\text{IN}-}$ 、 $V_{\text{CM}} = V_{\text{IN-}} = 48\text{V}$ 、 $V_{\text{REF1}} = V_{\text{REF2}} = V_S / 2$ の場合 (特に記述のない限り)

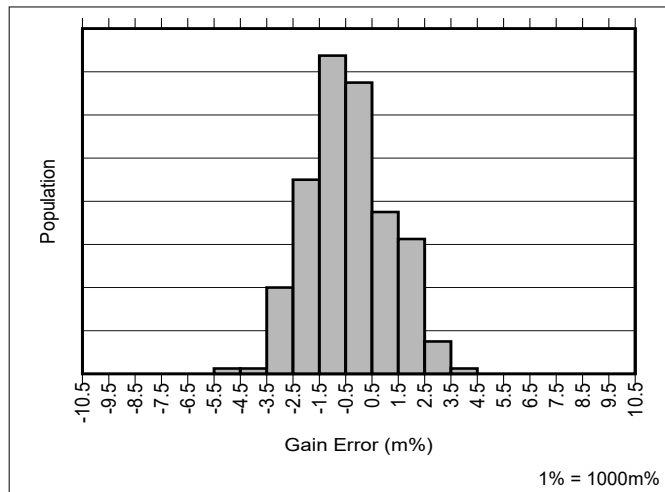


図 6-11. INA241A4-Q1 および INA241A5-Q1 のゲイン誤差の製造分布

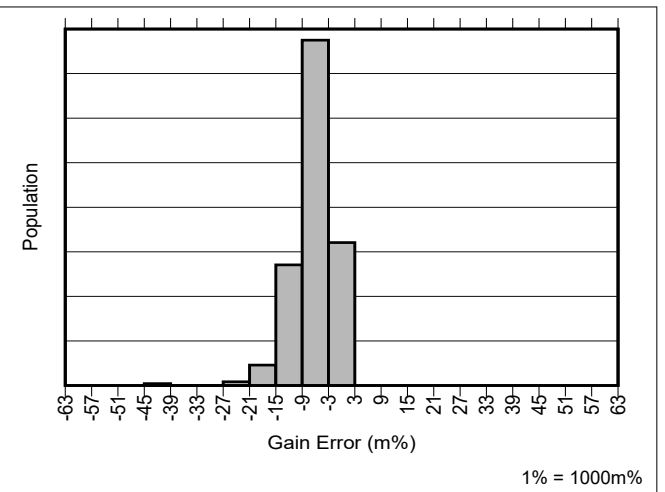


図 6-12. すべてのゲインの INA241B-Q1 のゲイン誤差の製造分布

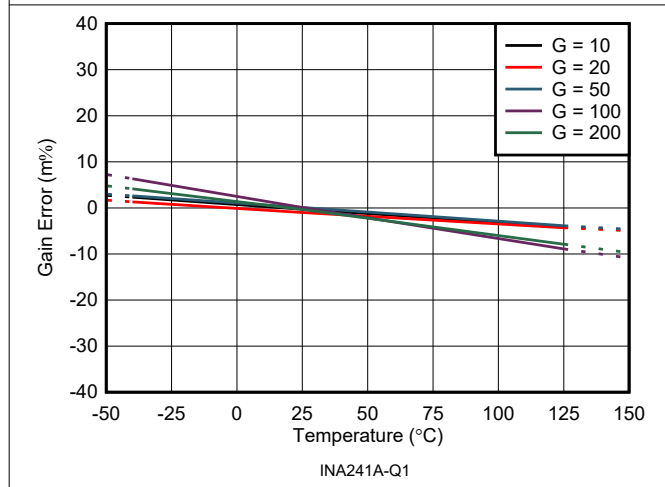


図 6-13. ゲイン誤差と温度との関係

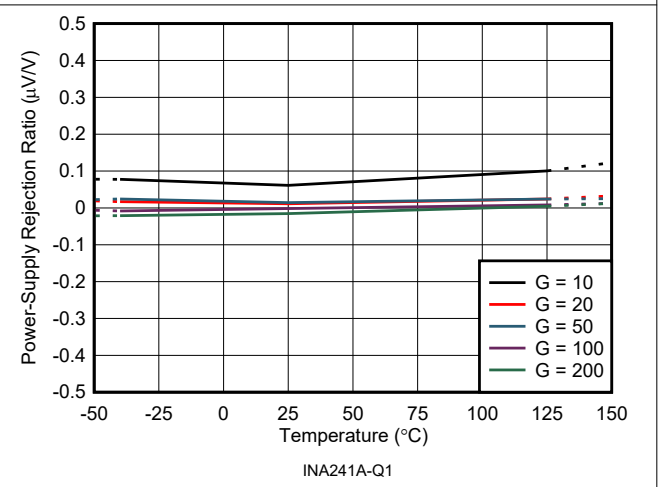


図 6-14. 電源除去比と温度との関係

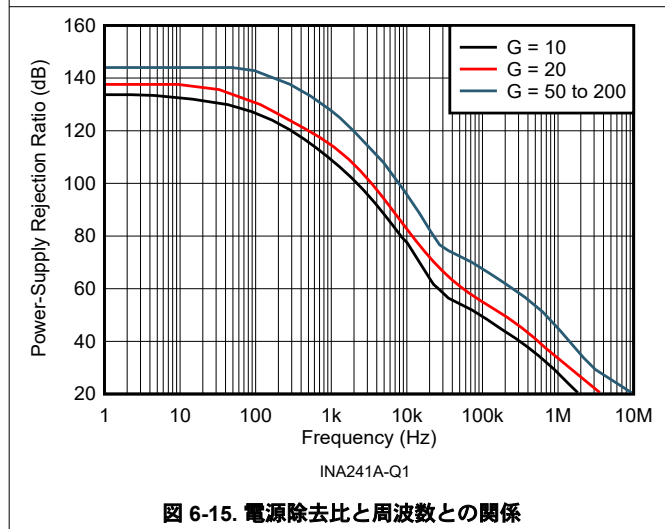


図 6-15. 電源除去比と周波数との関係

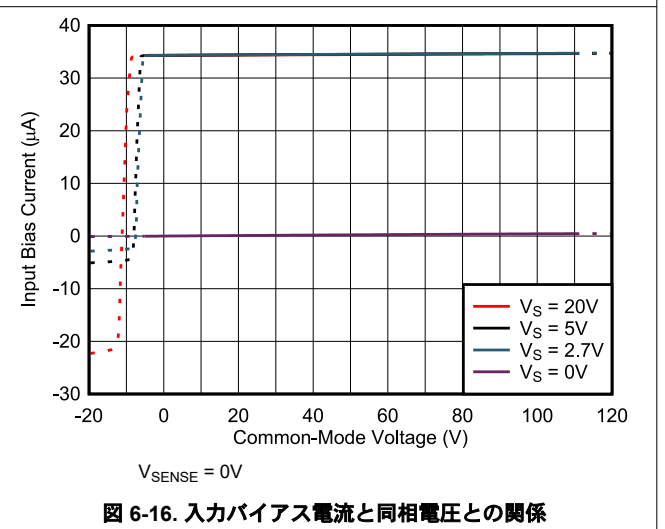


図 6-16. 入力バイアス電流と同相電圧との関係

6.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = 5\text{V}$ 、 $V_{\text{SENSE}} = V_{\text{IN}+} - V_{\text{IN}-}$ 、 $V_{\text{CM}} = V_{\text{IN}-} = 48\text{V}$ 、 $V_{\text{REF1}} = V_{\text{REF2}} = V_S / 2$ の場合 (特に記述のない限り)

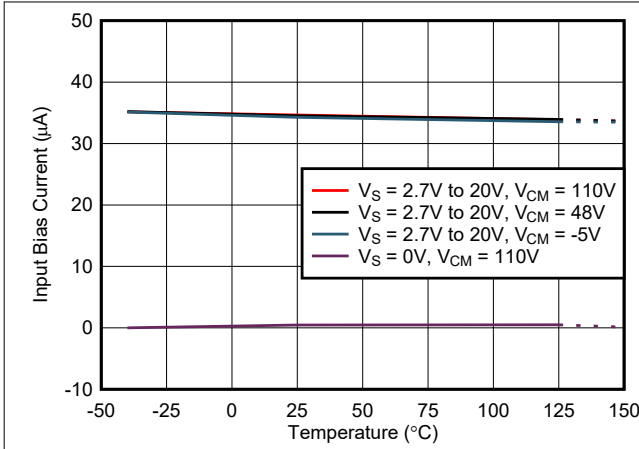


図 6-17. 入力バイアス電流と温度との関係

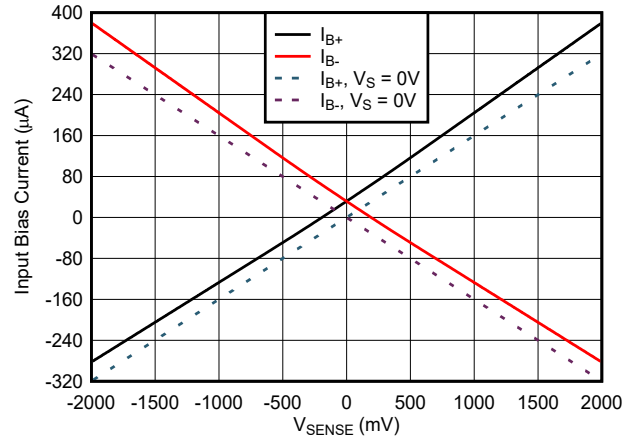


図 6-18. INA241x1-Q1 の入力バイアス電流と V_{SENSE} との関係

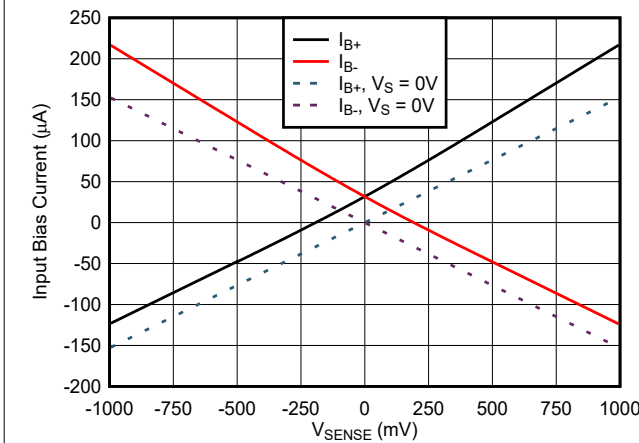


図 6-19. INA241x2-Q1 の入力バイアス電流と V_{SENSE} との関係

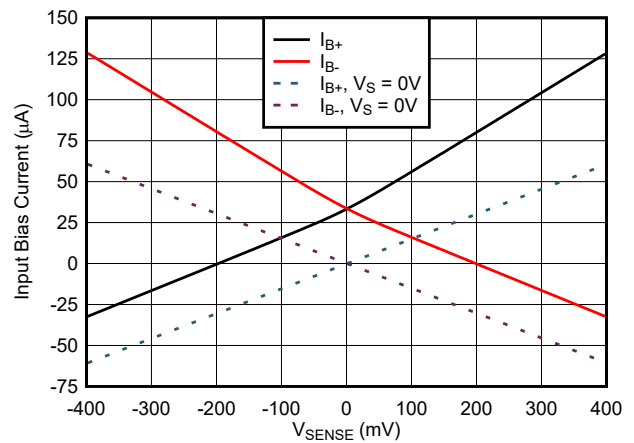


図 6-20. INA241x3-Q1 および INA241x4-Q1 の入力バイアス電流と V_{SENSE} との関係

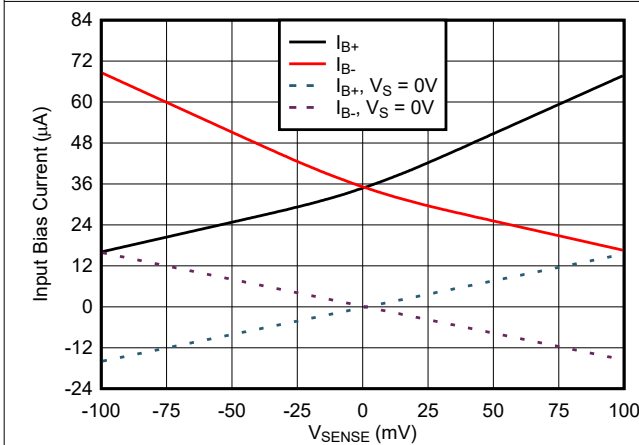


図 6-21. INA241x5-Q1 の入力バイアス電流と V_{SENSE} との関係

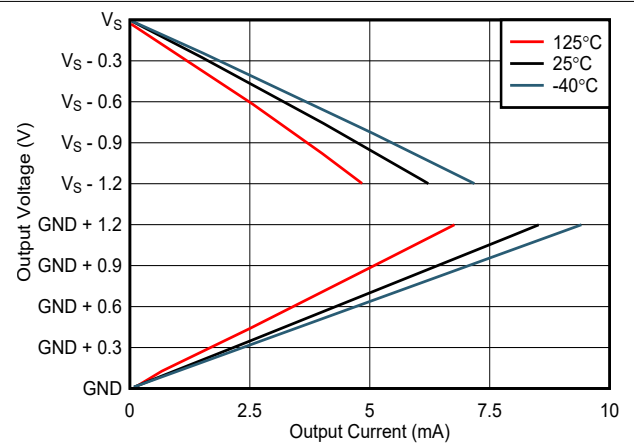


図 6-22. 出力電圧と出力電流との関係

6.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = 5\text{V}$ 、 $V_{\text{SENSE}} = V_{\text{IN}+} - V_{\text{IN}-}$ 、 $V_{\text{CM}} = V_{\text{IN}-} = 48\text{V}$ 、 $V_{\text{REF1}} = V_{\text{REF2}} = V_S / 2$ の場合 (特に記述のない限り)

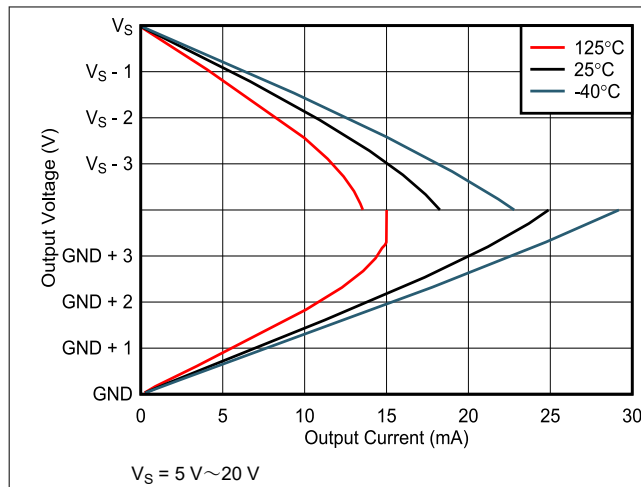


図 6-23. 出力電圧と出力電流との関係

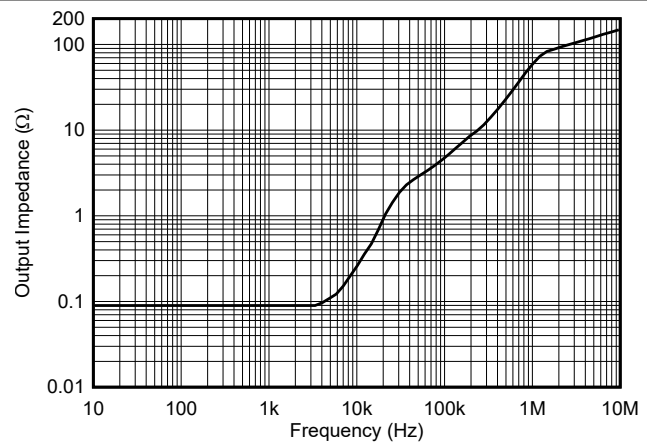


図 6-24. 出力インピーダンス 対 周波数

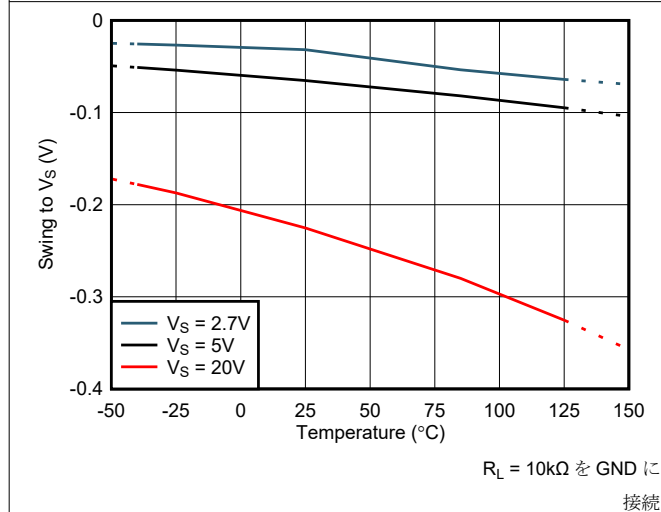


図 6-25. 電源電圧までのスイングと温度との関係

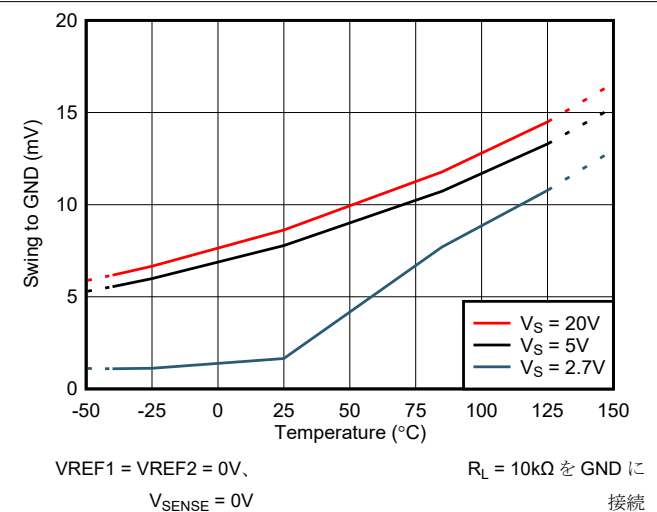


図 6-26. GND までのスイングと温度との関係

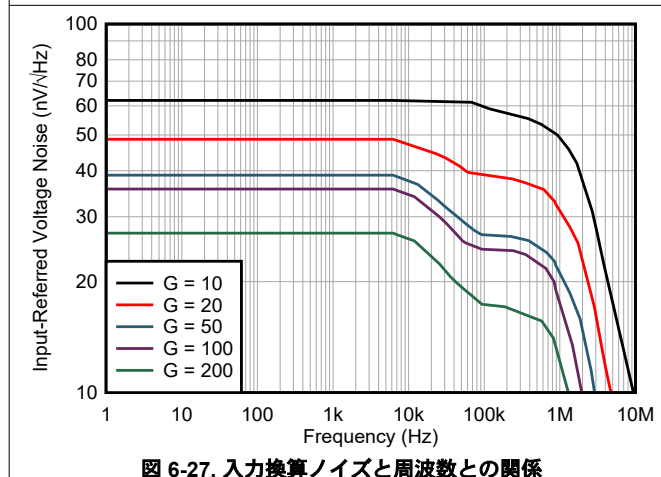


図 6-27. 入力換算ノイズと周波数との関係

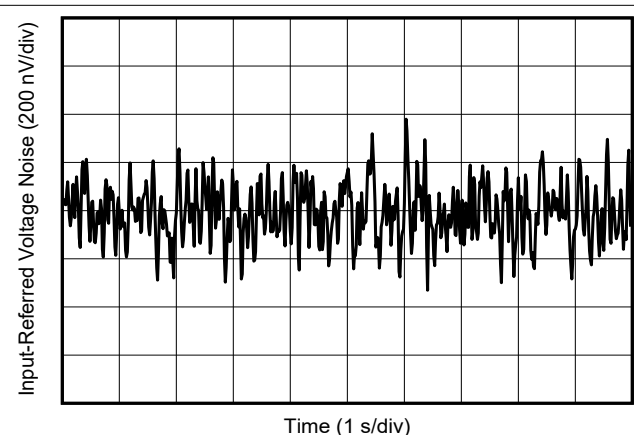


図 6-28. 0.1Hz~10Hz の電圧ノイズ

6.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = 5\text{V}$ 、 $V_{\text{SENSE}} = V_{\text{IN}+} - V_{\text{IN}-}$ 、 $V_{\text{CM}} = V_{\text{IN}-} = 48\text{V}$ 、 $V_{\text{REF1}} = V_{\text{REF2}} = V_S / 2$ の場合 (特に記述のない限り)

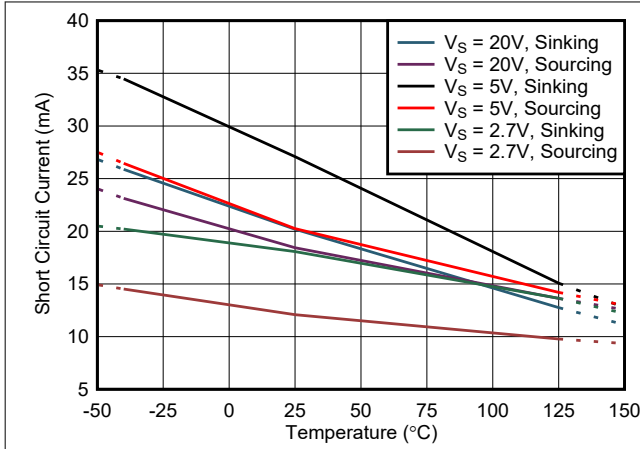


図 6-29. 短絡電流と温度との関係

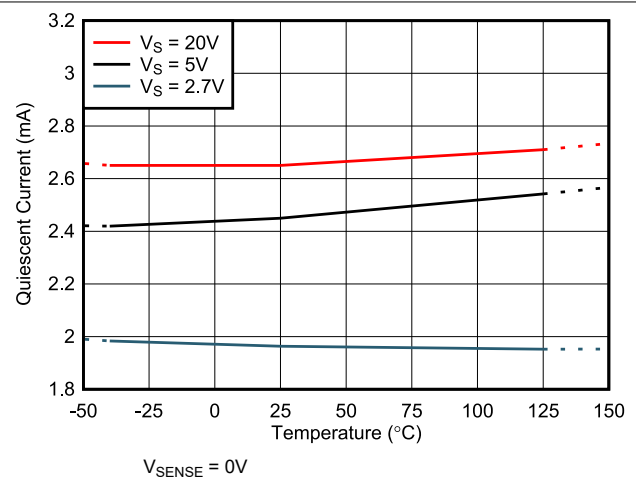
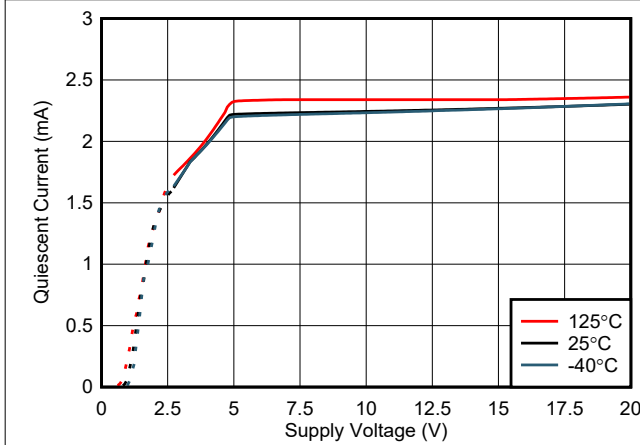


図 6-30. 静止電流と温度との関係



$V_{\text{REF1}} = V_{\text{REF2}} = 0\text{V}$ 、
 $V_{\text{SENSE}} = 0\text{V}$

図 6-31. 静止電流と電源電圧との関係

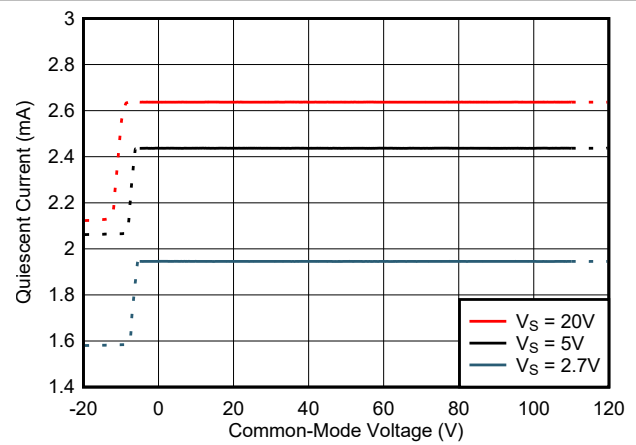
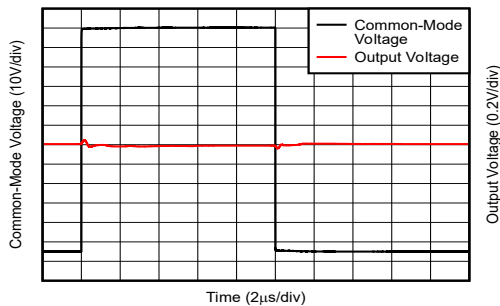
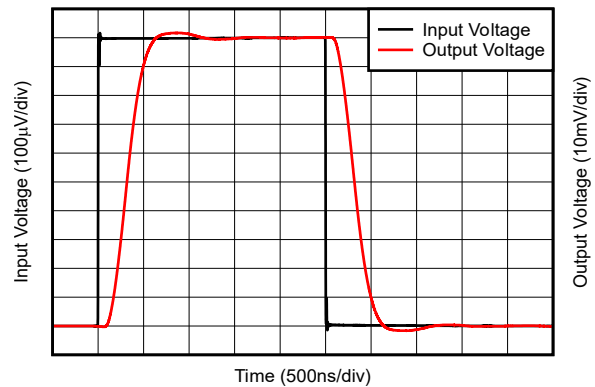


図 6-32. 静止電流と同相電圧との関係



$V_{\text{CM}} = -5\text{V} \sim 110\text{V}$ 、
 $V_{\text{CM}} = 0\text{V}$

図 6-33. 同相電圧の高速過渡パルス

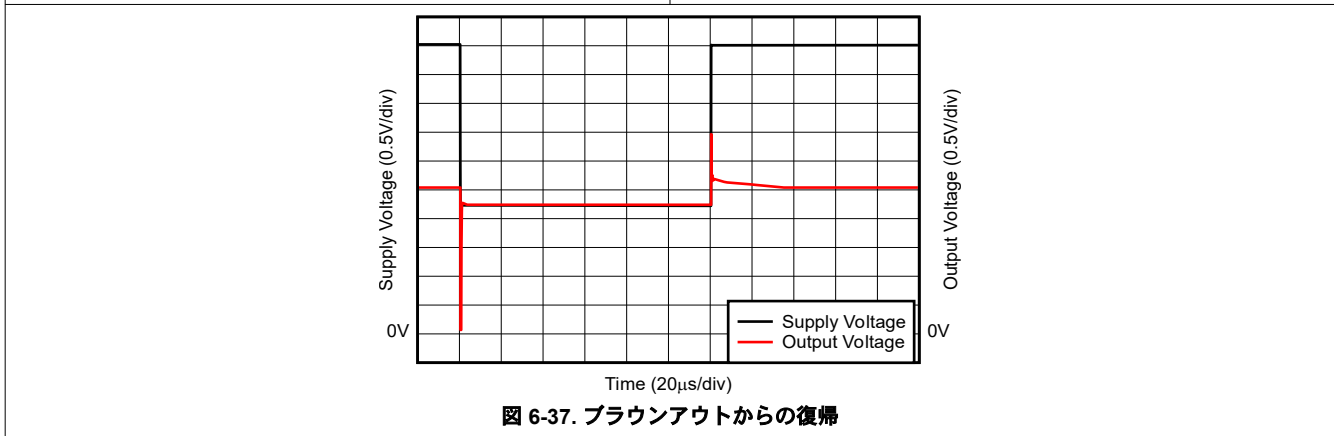
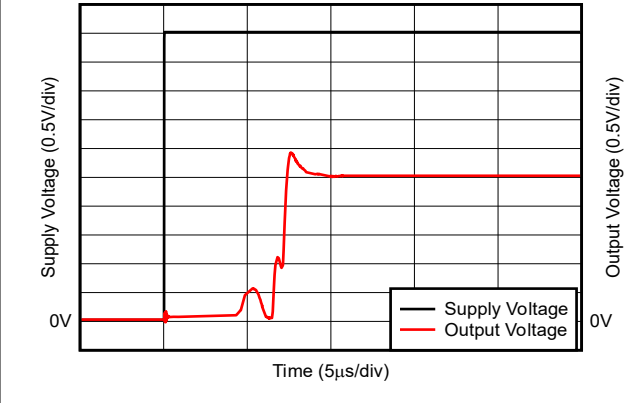
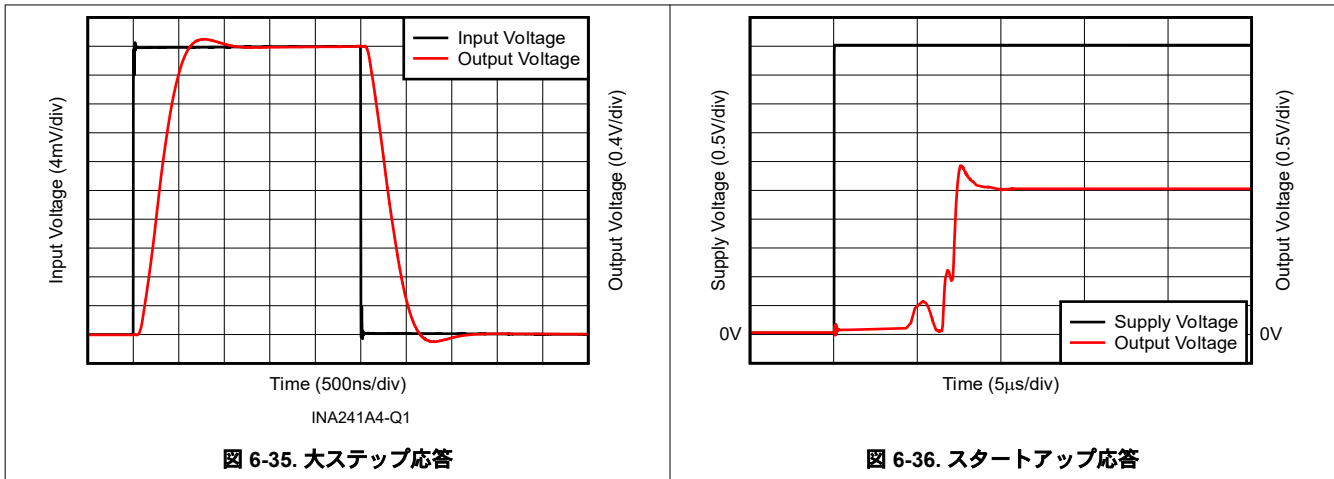


INA241A4-Q1

図 6-34. 小ステップ応答

6.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = 5\text{V}$ 、 $V_{\text{SENSE}} = V_{\text{IN}+} - V_{\text{IN}-}$ 、 $V_{\text{CM}} = V_{\text{IN}-} = 48\text{V}$ 、 $V_{\text{REF1}} = V_{\text{REF2}} = V_S / 2$ の場合 (特に記述のない限り)

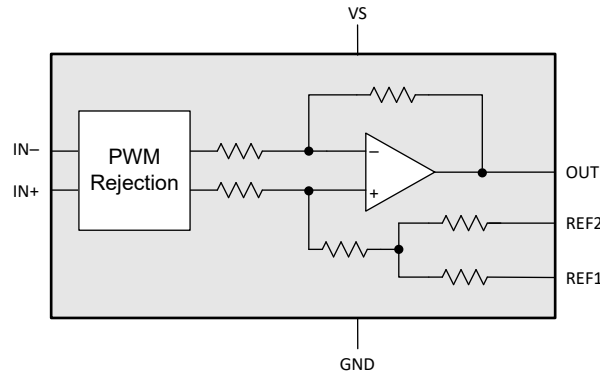


7 詳細説明

7.1 概要

INA241x-Q1 はハイサイド、インライン、ローサイドの双方向高速電流検出アンプで、広い同相範囲、高精度、ゼロドリフトトポロジ、優れた同相除去比 (CMRR) を実現し、デバイスの入力に拡張パルス幅変調 (PWM) 除去機能が搭載されています。拡張 PWM 除去機能により、PWM 入力信号に関連して発生する同相過渡が、出力信号に伝搬して影響を引き起こすことが低減されます。複数のゲイン バージョンが用意されており、アプリケーションで予測される目標の電流範囲に基づいて、目的のフルスケール出力電圧を最適化できます。

7.2 機能ブロック図



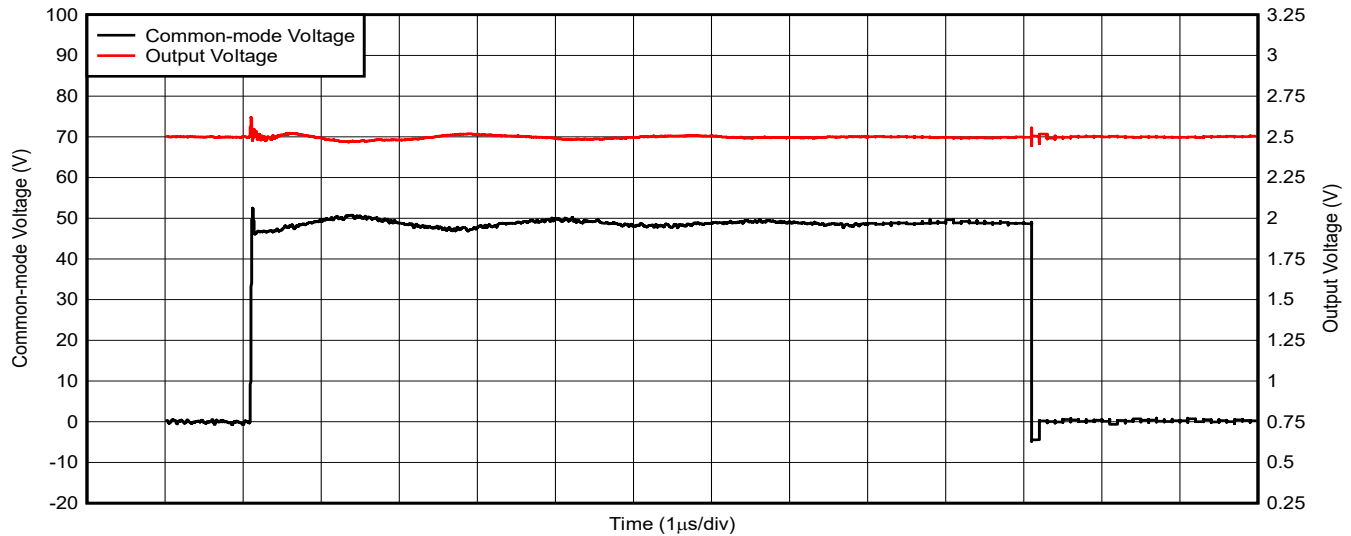
7.3 機能説明

7.3.1 アンプの入力同相信号

INA241x-Q1 は、-5V~110V で大きな入力同相電圧をサポートしています。INA241x-Q1 の内部トポロジにより、同相範囲が電源電圧 (V_S) を超えることができます。これにより、2.7V~20V の電源電圧範囲を超えるローサイド、インライン、ハイサイドの電流検出アプリケーションに INA241x-Q1 を使用できます。

7.3.1.1 強化された PWM 除去動作

INA241x-Q1 は PWM 除去機能が拡張され、大きな同相 $\Delta V/\Delta t$ 過渡の減衰が強化されています。PWM 信号に関連する大きな $\Delta V/\Delta t$ 同相過渡は、モーターやソレノイドドライブ、スイッチング電源などのアプリケーションで採用されています。同相過渡が原因となり、電流検出アンプの出力で揺動が発生することがあり、これによって測定の誤りが発生し、出力が有効な時期が制限されます。INA241x-Q1 は、高い同相を除去する技法を使用して設計されており、 $\Delta V/\Delta t$ の大きい過渡を低減して、システムへの影響を防ぎます。これによって、INA241x-Q1 を使用するシステムの設計が簡単になります。INA241x-Q1 は AC CMRR が高く、信号の帯域幅も高いため、従来の電流検出アンプと比べて、同相遷移時の出力の乱れとリンギングを最小限に抑えることができます。


図 7-1. PWM 除去性能の強化

INA241x-Q1 の PWM 拡張性能を、[図 7-1](#) に示します。INA241x-Q1 は、大きい $\Delta V/\Delta t$ の同相モード過渡を検出すると、 $1\mu\text{s}$ の間だけ出力を保持し、同相モードの変動が出力に伝播することを防止します。これに続く $3\mu\text{s}$ の間以内に別の同相モード過渡が発生した場合、INA241x-Q1 は高い帯域幅と AC CMMR によって同相モード過渡の影響を減らします。PWM 除去の強化が有効になるのは、PWM 周波数が最高 125kHz まで、または同相モード過渡のエッジが $3\mu\text{s}$ 以上に分離された場合です。

7.3.1.2 入力信号の帯域幅

INA241x-Q1 には、 10V/V 、 20V/V 、 50V/V 、 100V/V 、 200V/V という複数のゲイン オプションがあります。独自のマルチステージ設計により、このアンプはすべてのゲインで 1.1MHz の高帯域幅を実現します。この高帯域幅により、過電流イベントの迅速な検出と処理に必要なスループットと高速応答が可能になります。

7.3.1.3 低い入力バイアス電流

INA241x-Q1 の入力、最大 110V の同相電圧で入力ピンごとに $35\mu\text{A}$ (標準値) のバイアス電流を消費するため、電流リークが低いことが要求されるアプリケーションでも、高精度の電流検出を実現できます。入力バイアス電流が同相電圧に比例する多くの高電圧電流検出アンプとは異なり、INA241x-Q1 の入力バイアス電流は同相電圧範囲全体にわたって一定に保たれます。

7.3.1.4 低い V_{SENSE} での動作

INA241x-Q1 は、有効な V_{SENSE} 範囲の全体にわたって高い性能で動作します。INA241x-Q1 のゼロドリフト入力アーキテクチャは、 -40°C ~ $+125^\circ\text{C}$ の広い動作温度範囲の全体にわたって低い V_{SENSE} レベルを正確に測定するために必要な、低いオフセット電圧と低いオフセット・ドリフトを実現しています。シャントの両端での電力損失が大幅に低減されるため、低電流測定に低抵抗シャントを使用する場合は、低い V_{SENSE} での動作が特に役立ちます。

7.3.1.5 広い固定ゲイン出力

INA241x-Q1 の最大ゲイン誤差は室温で $\pm 0.01\%$ 、 -40°C ~ 125°C の温度範囲の全体で最大ドリフトは $\pm 1\text{ppm}/^\circ\text{C}$ です。INA241x-Q1 には、 10V/V 、 20V/V 、 50V/V 、 100V/V 、 200V/V の各ゲインのオプションがあります。システム設計者は、要求される信号対雑音比、ダイナミック電流範囲、フルスケール出力電圧目標などのシステム要件に基づいてゲインを選択する必要があります。

7.3.1.6 広い電源電圧範囲

INA241x-Q1 は、 2.7V ~ 20V と広い電源電圧範囲で動作します。INA241x-Q1 の入力同相電圧範囲は電源電圧に依存しませんが、出力電圧はデバイスに供給される電源電圧によって制限されます。出力電圧の範囲は、最小 20mV から、電源電圧の 200mV 下までです。

7.4 デバイスの機能モード

7.4.1 リファレンスピンによる出力の調整

リファレンス ディバイダ精度のテスト回路を、[図 7-2](#) に示します。INA241x-Q1 の出力は、単方向または双方向で動作するよう構成できます。

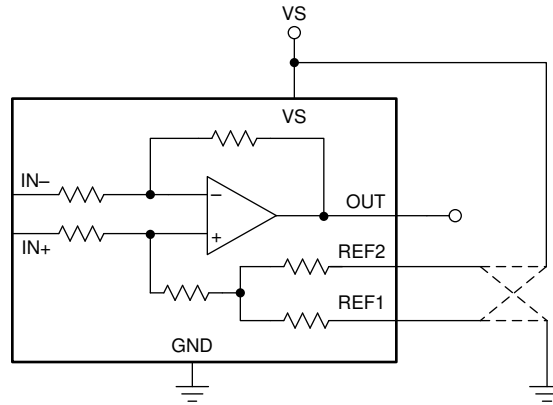


図 7-2. リファレンス ディバイダ精度のテスト回路

出力電圧は、リファレンス電圧入力である REF1 と REF2 に電圧を印加することで設定されます。リファレンス入力は内部ゲイン ネットワークに接続されています。2 つのリファレンスピンに動作上の違いはありません。2 つのリファレンスピンに接続された抵抗ネットワークは、非常に高い精度とマッチングを実現するように設計されています。[式 1](#) に示すように、電流検出の入力電圧が 0V のとき、出力はリファレンス電圧入力に印加される電圧の中間電圧に正確に設定されます。ほとんどの双方向アプリケーションでは、1 つのリファレンス入力を正の電源に接続し、もう 1 つのリファレンス入力を負の電源 (GND ピン) に接続して、出力電圧を中間電圧に設定します。

$$V_{OUT} = G \times (V_{IN+} - V_{IN-}) + \frac{V_{REF1} + V_{REF2}}{2} \quad (1)$$

7.4.2 単方向電流を測定するためのリファレンス・ピンの接続

単方向動作では、抵抗性シャントを使用して一方向への電流を測定できます。単方向で動作させるには、デバイスのリファレンス・ピンを互いに接続してから、負のレール ([「グランド基準の出力」](#)セクションを参照) または正のレール ([「VS 基準の出力」](#)セクションを参照) に接続します。必要な差動入力の極性は、リファレンス入力の設定によって異なります。アンプの出力は、外付けシャント抵抗を通過する電流に比例して、リファレンス・レールから離れます。アンプのリファレンス・ピンを正のレールに接続するときは、アンプの出力を (グランドに向かって) 下に移動させるため、入力の極性を負にする必要があります。アンプのリファレンス・ピンをグランドに接続するときは、アンプの出力を (電源に向かって) 上に移動させるため、入力の極性を正にする必要があります。

以下のセクションでは、単方向の動作用に出力を構成する方法について説明します。

7.4.2.1 グランド基準の出力

INA241x-Q1 をグランド基準出力の単方向モードで使用するときは、両方のリファレンス入力をグランドに接続します。この構成では、入力に 0V の差動が存在する場合、出力がグランドに接続されます ([「図 7-3」](#)を参照)。

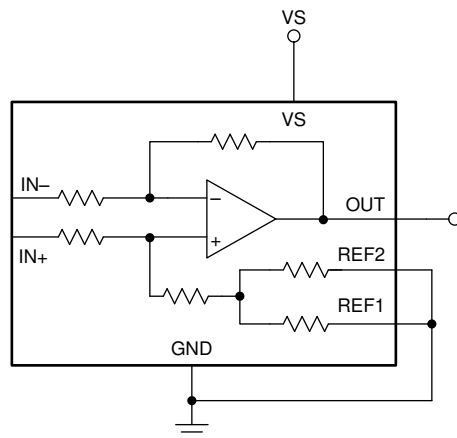


図 7-3. グランド基準の出力

7.4.2.2 VS 基準の出力

VS 基準の出力を持つ単方向モードは、両方のリファレンス・ピンを正の電源に接続することで構成されます。この構成は、負荷に電力を供給する前に、アンプの出力信号と他の制御回路のパワーアップと安定化を必要とする回路に使用します (図 7-4 を参照)。

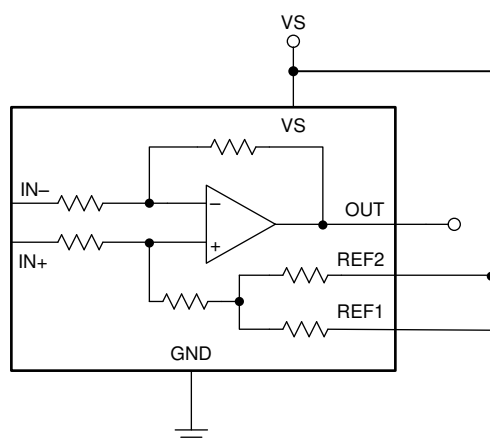


図 7-4. VS 基準の出力

7.4.3 双方向電流を測定するためのリファレンス ピンの接続

INA241x-Q1 は、一般に電流検出抵抗または電流シャント抵抗と呼ばれる抵抗を流れる電流によって発生する差動電圧を測定します。INA241x-Q1 は、リファレンス ピンに印加される電圧に基づいて、単方向または双方向モードで動作できます。

出力段の線形範囲は、出力電圧がグラウンドにどれだけ近づくことができるかと、「仕様」で説明されている電源電圧によって制限されます。電流検出抵抗、測定する電流範囲、ゲイン オプション、リファレンス ピンに印加される電圧は、INA241x-Q1 が常に線形領域内で動作するように選択する必要があります。

7.4.3.1 出力を外部のリファレンス電圧に設定する

両方のピンを互いに接続してからリファレンス電圧に接続すると、入力ピンの短絡または 0V 差動入力の場合、出力電圧はリファレンス電圧と等しくなります。この構成を、図 7-5 に示します。IN+ ピンが IN- ピンに対して負の場合、出力電圧はリファレンス電圧より低くなり、IN+ ピンが IN- ピンに対して正の場合には高くなります。この手法は、出力を高精度の電圧にバイアスする最も正確な方法です。

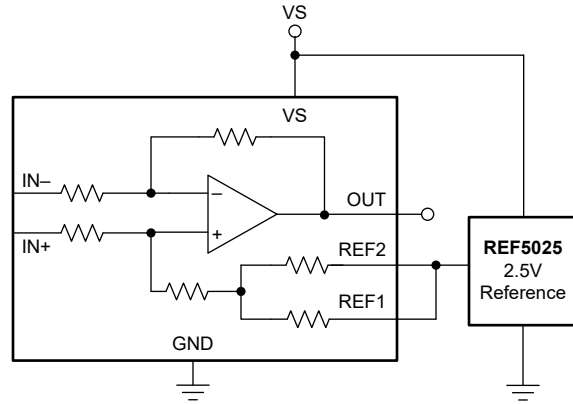


図 7-5. 外部リファレンス出力

7.4.3.2 出力を中間電源電圧に設定する

1つのリファレンスピンを VS に、もう1つを GND ピンに接続すると、差動入力が必要であれば、図 7-6 に示すように、出力は電源電圧の半分に設定されます。この方法では、電源電圧に対してレシオメトリックなオフセットが作成され、出力電圧は入力に印加された 0V について $VS/2$ のままになります。

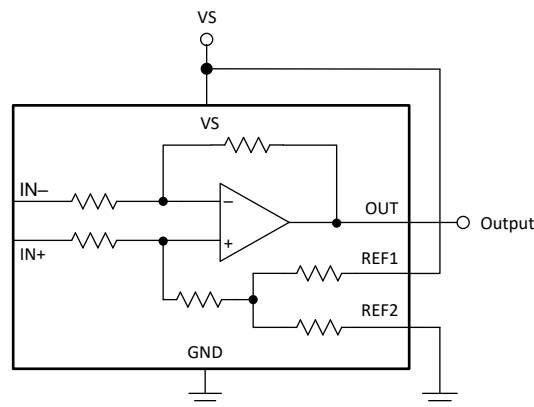


図 7-6. 中間電圧出力

7.4.3.3 出力を外部のリファレンス電圧の中間に設定する

1つの REF ピンをグラウンドに、もう1つの REF ピンをリファレンス電圧に接続することで、外部リファレンスを2つに分割する方法を、図 7-7 に示します。

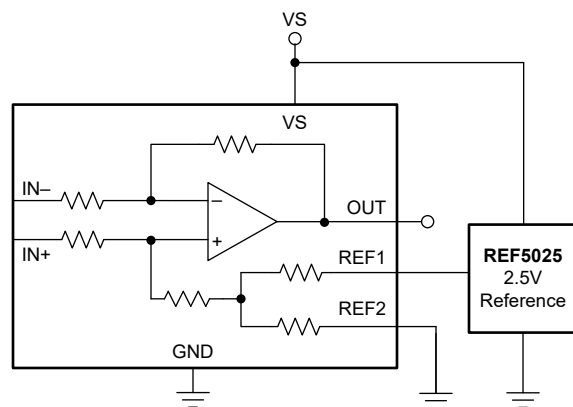


図 7-7. 外部リファレンス電圧の中間の出力

7.4.3.4 分割抵抗による出力の設定

INA241x-Q1 のリファレンスピンを使用して、出力電圧の中間点を調整し、A/D コンバータ (ADC) や他のアンプへのシステム回路接続を実現できます。リファレンスピンは、電源、グランド、または低インピーダンスのリファレンス電圧に直接接続するよう設計されています。リファレンスピンは、分割抵抗を使用して互いに接続し、バイアスすることで、カスタムの出力電圧を実現できます。この構成でアンプを使用するときは、[図 7-8](#) に示すように、分割抵抗の電圧を基準にする差動信号として出力を使用します。この構成では、アンプ出力をシングルエンド信号として使用することは推奨しません。内部インピーダンスの変化がデバイスの性能仕様に悪影響を及ぼす可能性があるためです。シングルエンド測定が必要な場合は、外付けオペアンプを使用して分割抵抗の電圧をバッファすることをお勧めします ([図 7-9](#) を参照)。

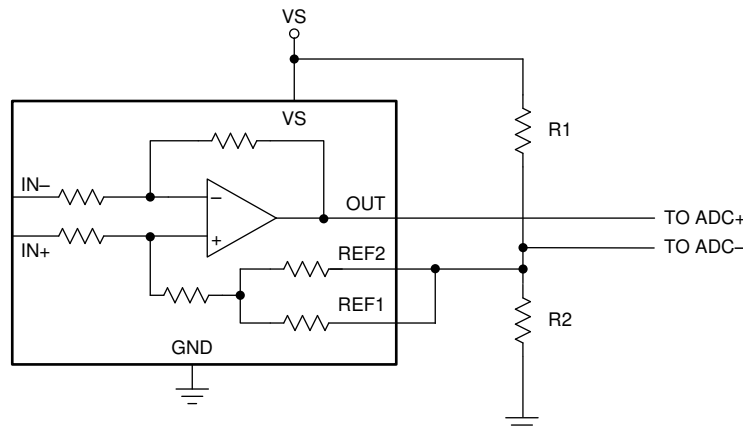


図 7-8. 分割抵抗によるリファレンス電圧の設定

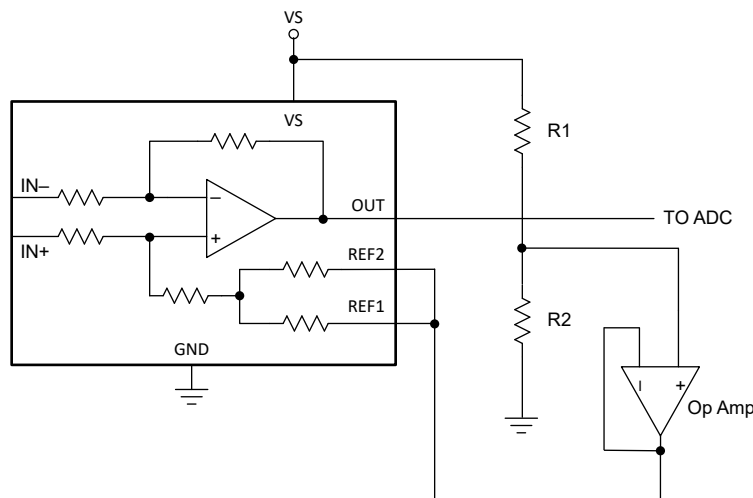


図 7-9. 抵抗デバイダとオペアンプバッファによるリファレンス電圧の設定

7.4.4 高い信号スループット

INA241x-Q1 は 1.1MHz の帯域幅、20V/V のゲイン、8V/ μ s のスルーレートを實現しており、高速な突入電流を検出してアプリケーションを保護するよう特別に設計されています。表 7-1 に示すように、INA241x-Q1 は 2m Ω シャントの 75A スレッショルドを測定するシステムにおいて、1 μ s 未満で応答します。

表 7-1. 応答時間

パラメータ		式	INA241x-Q1 を $V_S = 5V$ で使用
G	ゲイン		20 V/V
I_{MAX}	最大電流		100A

表 7-1. 応答時間 (続き)

パラメータ		式	INA241x-Q1 を $V_S = 5V$ で使用
$I_{\text{Threshold}}$	スレッショルド電流		75A
R_{SENSE}	電流検出抵抗の値		2m Ω
$V_{\text{OUT_MAX}}$	最大電流時の出力電圧	$V_{\text{OUT_MAX}} = I_{\text{MAX}} \times R_{\text{SENSE}} \times G$	4 V
$V_{\text{OUT_THR}}$	スレッショルド電流での出力電圧	$V_{\text{OUT_THR}} = I_{\text{THR}} \times R_{\text{SENSE}} \times G$	3 V
SR	スルー レート		8V/ μs
T_{response}	出力応答時間	$T_{\text{response}} = V_{\text{OUT_THR}} / \text{SR}$	1 μs 未満

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

INA241x-Q1 は、電流が抵抗を経由して負荷に流れるとき、電流検出抵抗の両端に発生する電圧を増幅します。INA241x-Q1 は入力同相電圧範囲が広く、同相除去率が高いため、高精度の電流測定を維持しながら、広い範囲の電圧レールで使用できます。

8.1.1 R_{SENSE} とデバイスのゲインの選択

電流検出アンプの精度を最大にするには、できるだけ大きな値の電流検出抵抗を選択します。検出抵抗の値が大きいと、与えられた電流に対して差動入力信号が最大化され、オフセット電圧の誤差寄与が低減されます。ただし、パッケージの物理的な寸法、パッケージの構造、最大消費電力によって、特定のアプリケーションで電流検出抵抗の値をどれだけ大きくできるかには実用的な制限があります。特定の消費電力予算について、電流検出抵抗の最大値は **式 2** で与えられます。

$$R_{SENSE} < \frac{PD_{MAX}}{I_{MAX}^2} \quad (2)$$

ここで

- PD_{MAX} は、 R_{SENSE} で許容される最大消費電力です。
- I_{MAX} は、 R_{SENSE} を流れる最大電流です。

電流検出抵抗とデバイスのゲインの大きさは、電源電圧、 V_S 、およびデバイスのスイング ツー レール制限によっても制限されます。電流検出信号が出力に正しく渡されるよう、正と負の両方の出力スイングについて制限を調べる必要があります。デバイスが正のスイング制限を超えないための R_{SENSE} とゲインの最大値は、**式 3** で示されます。

$$I_{MAX} \times R_{SENSE} \times GAIN < V_{SP} \quad (3)$$

ここで

- I_{MAX} は、 R_{SENSE} を流れる最大電流です。
- $GAIN$ は電流検出アンプのゲインです。
- V_{SP} は、「仕様」に規定されているデバイスの正の出力スイングです。

R_{SENSE} の値を選択するとき正の出力スイング制限を回避するため、検出抵抗の値とデバイスのゲインとの間には常にトレードオフが存在します。最大消費電力に対して選択した検出抵抗が大きすぎる場合は、正のスイング制限を回避するため、ゲインの低いデバイスを選択できます。

負のスイング制限は、特定のアプリケーションで検出抵抗の値をどれだけ小さくできるかを制限します。検出抵抗の最小値の制限は、**式 4** で示されます。

$$I_{MIN} \times R_{SENSE} \times GAIN > V_{SN} \quad (4)$$

ここで

- I_{MIN} は、 R_{SENSE} を流れる最小電流です。
- $GAIN$ は電流検出アンプのゲインです。
- V_{SN} は、「仕様」に規定されているデバイスの負の出力スイングです。

INA241x-Q1 の 5 種類の異なるゲインのバージョンを使用した場合のさまざまな結果の例を、表 8-1 に示します。表のデータから、最もゲインの大きなデバイスでは、電流シャント抵抗を小さくでき、素子の消費電力も減らすことができます。

表 8-1. R_{SENSE} の選択と消費電力 (1)

パラメータ		式	$V_s = 5V$ での結果				
			A1, B1 デバイス	A2, B2 デバイス	A3, B3 デバイス	A4, B4 デバイス	A5, B5 デバイス
G	ゲイン		10 V/V	20 V/V	50 V/V	100 V/V	200 V/V
V_{SENSE}	理想的な差動入力電圧	$V_{SENSE} = V_{OUT} / G$	500 mV	250 mV	100 mV	50 mV	25 mV
R_{SENSE}	電流検出抵抗の値	$R_{SENSE} = V_{SENSE} / I_{MAX}$	50mΩ	25mΩ	10mΩ	5mΩ	2.5mΩ
P_{SENSE}	電流検出抵抗の消費電力	$R_{SENSE} \times I_{MAX}^2$	5 W	2.5 W	1 W	0.5 W	0.25 W

(1) 10A フルスケール電流で、最大出力電圧が 5V に設定された設計例。

8.2 代表的なアプリケーション

INA241x-Q1 は双方向の電流検出アンプで、-5V~+110V の同相電圧で抵抗性シャントを通過する電流を測定できます。

8.2.1 インライン・モーターの電流検出アプリケーション

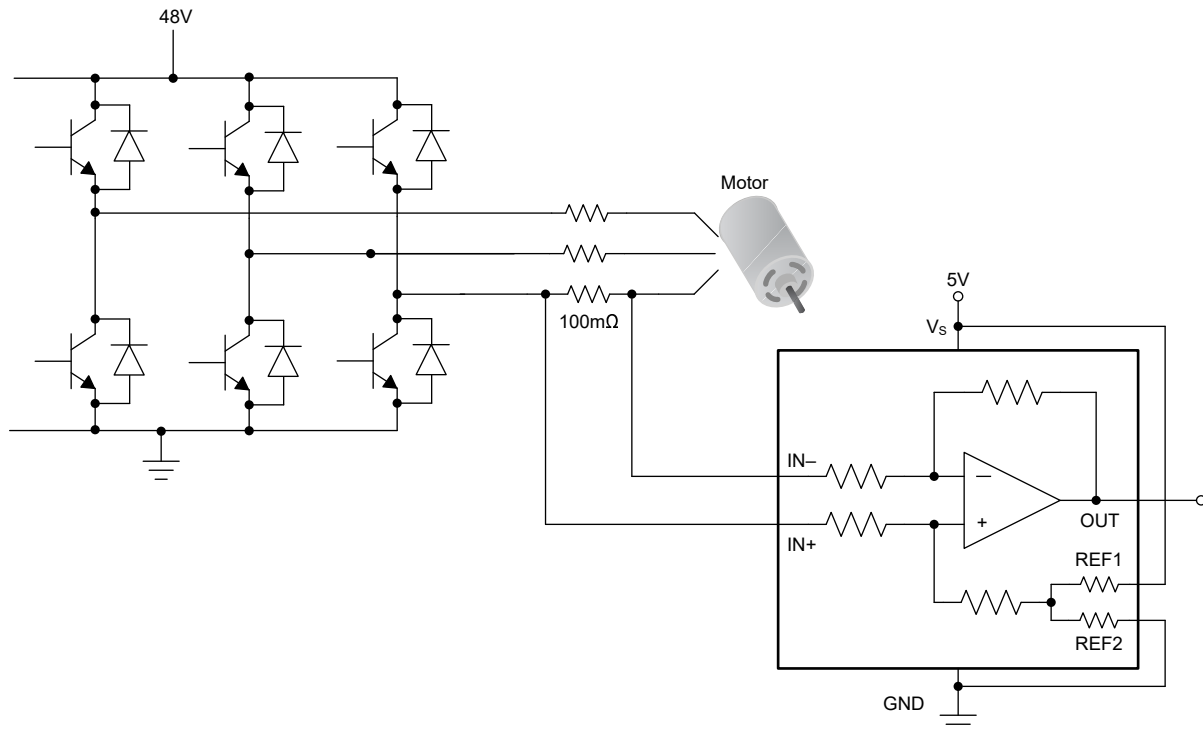


図 8-1. インライン・モーター・アプリケーションの回路

8.2.1.1 設計要件

インライン電流センシングには、モーター制御においてトルクリップルの低減からリアルタイムのモーター状態監視まで多くの利点があります。ただし、電流を正確に測定するには、インライン電流測定用のフルスケール PWM 電圧の要件が課題になることがあります。50kHz~100kHz の範囲のスイッチング周波数では、 $\Delta V/\Delta t$ の大きい信号遷移が発生します。正確なインライン電流測定を行うには、この遷移に対処する必要があります。

INA241x-Q1 は、優れた同相除去能力、高精度、同相の高い仕様により、幅広い同相電圧で性能を発揮します。

8.2.1.2 詳細な設計手順

このアプリケーションの INA241x-Q1 は、48V、4000RPM のモーターの駆動回路の電流を測定します。

デバイスの性能を示すため、この設計ではゲイン 20V/V の INA241A2-Q1 を選択し、5V 電源から電力を供給しました。

セクション 7.4.3.2 の情報を使用し、電源に接続された REF1 とグランドに接続された REF2 によって電源を分割することで、リファレンス ポイントを中間電圧に設定します。この構成により、バイポーラ電流測定が可能になります。または、リファレンス ピンを互いに接続し、外部の高精度リファレンスで駆動することもできます。

電流検出抵抗のサイズは、INA241x-Q1 の出力が飽和しないように設定します。アナログ入力をデバイスの制限内に維持するため、100mΩ の値が選択されています。

8.2.1.3 アプリケーション曲線

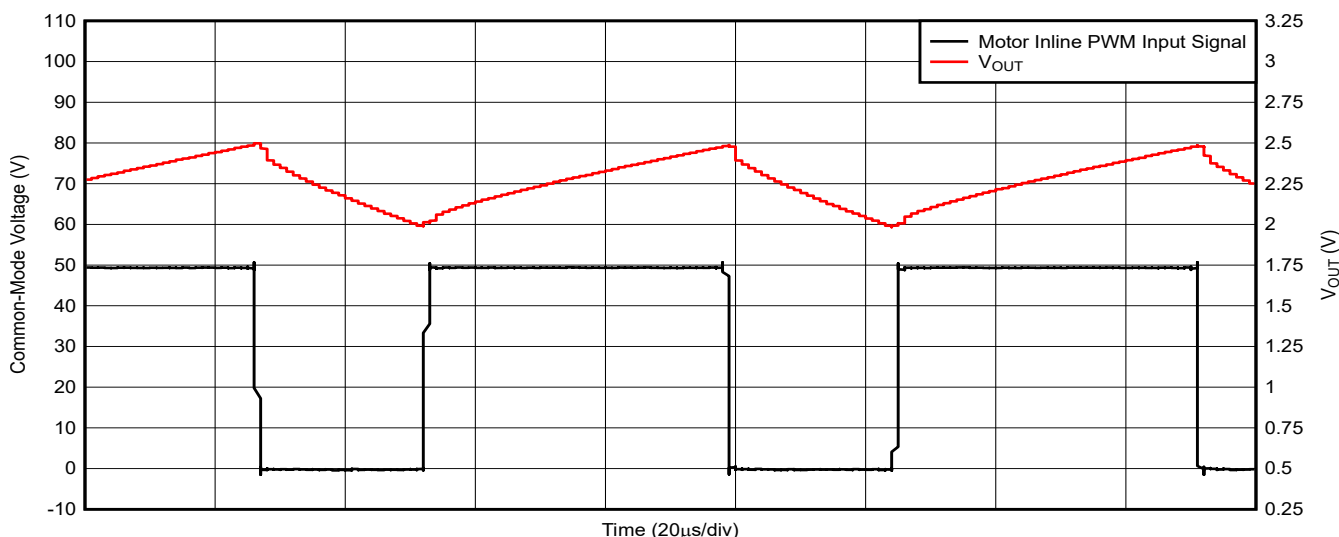


図 8-2. INA241A2-Q1 のインライン・モーター電流検出の入力および出力信号

8.3 電源に関する推奨事項

INA241x-Q1 は、接続されている電源電圧 (V_S) を超えて高精度の測定を行います。これは、入力 (IN+ および IN-) が V_S と独立に -5V~110V の範囲で動作できるためです。たとえば、 V_S 電源が 5V のとき、同相電圧が 110V までのシャントを測定できます。

8.3.1 電源のデカップリング

電源バイパス コンデンサは、電源とグランドのピンのできるだけ近くに配置します。バイパス コンデンサの推奨値は 0.1µF です。ノイズが多い、またはインピーダンスが高い電源を補償するため、デカップリング容量を増やすこともできます。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

優れたレイアウト手法に対して、常に関心を持つことをお勧めします。

- 入力ピンと検出抵抗との接続には、ケルビン接続や 4 線接続を使用します。この接続技術により、入力ピン間の電流検出抵抗のインピーダンスだけを検出できます。一般に、電流検出抵抗の配線に不備があると、入力ピン間の抵抗が増加します。電流検出抵抗の値が非常に低い場合、大電流が流れるインピーダンスを追加すると、測定値に大きな誤差が生じます。
- 電源バイパス コンデンサは、デバイスの電源ピンとグランドピンのできるだけ近くに配置します。このバイパス コンデンサの推奨値は 0.1µF です。ノイズが多い、またはインピーダンスが高い電源を補償するため、デカップリング容量を増やすこともできます。

8.4.2 レイアウト例

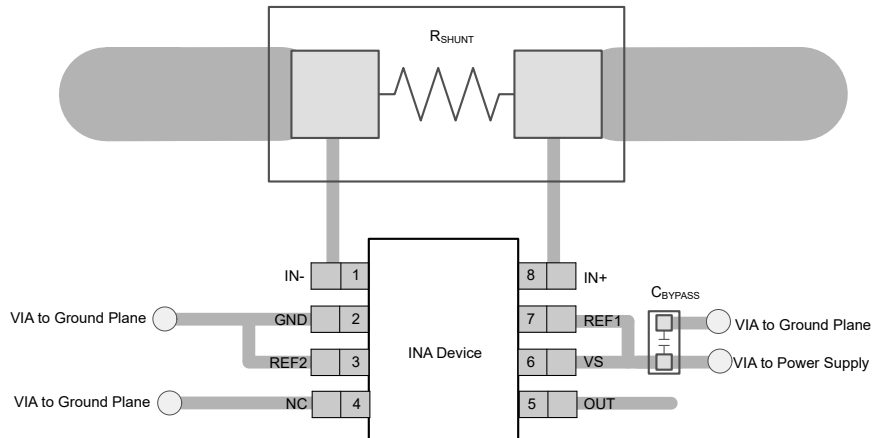


図 8-3. INA241x-Q1 SOT-23 (DDF)、SOIC (D)、および VSSOP (DGK) パッケージの推奨レイアウト

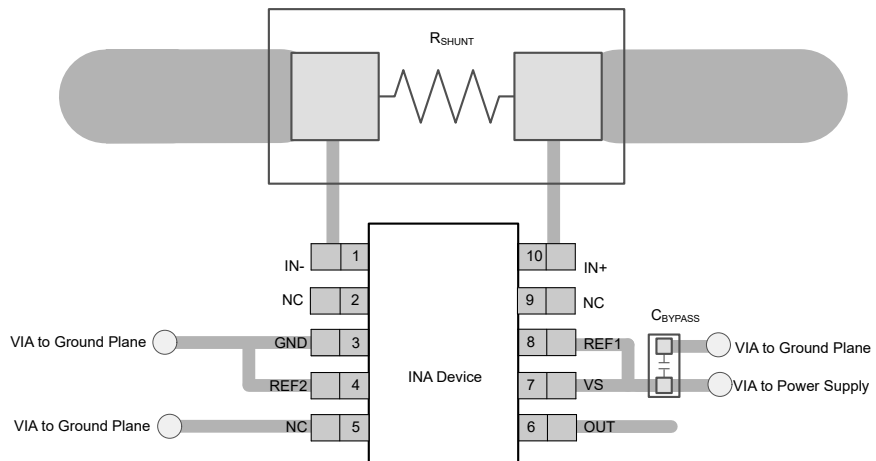


図 8-4. INA241x-Q1 10 ピン VSSOP (DGS) パッケージの推奨レイアウト

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。テキサス・インスツルメンツ、『[INA296EVM](#)』EVM ユーザー ガイド

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[ti.com](#) のデバイス製品フォルダを開いてください。右上の隅にある「通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (March 2024) to Revision C (December 2024)	Page
ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
パッケージ情報の表およびデータシート全体から DGS パッケージのプレビュー版の注を削除	1

Changes from Revision A (August 2023) to Revision B (March 2024)	Page
ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
データシート全体にわたってパッケージ情報の表から D パッケージのプレビューの注を削除.....	1
D パッケージ情報に関するプレビューの注を削除.....	2

Changes from Revision * (February 2023) to Revision A (August 2023)	Page
• データシートに DGS パッケージを追加.....	1
• パッケージ情報を本体サイズからパッケージ サイズに変更.....	1
• パッケージ情報の表から DGK パッケージのプレビューの注を削除.....	1
• DGS パッケージのピン構成を追加.....	2
• 推奨レイアウトの例に DGS パッケージを追加.....	25

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更され、本ドキュメントの改訂に従って修正される場合があります。本データシートのブラウザ版を使用している場合は、画面左側のナビゲーションをご覧ください。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
INA241A1QDDFRQ1	ACTIVE	SOT-23-THIN	DDF	8	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2ZN3	Samples
INA241A1QDGRQ1	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	39VB	Samples
INA241A1QDGRQ1	ACTIVE	VSSOP	DGS	10	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3FJB	Samples
INA241A1QDRQ1	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	241A1Q	Samples
INA241A2QDDFRQ1	ACTIVE	SOT-23-THIN	DDF	8	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2ZO3	Samples
INA241A2QDGRQ1	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	39WB	Samples
INA241A2QDGRQ1	ACTIVE	VSSOP	DGS	10	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3FKB	Samples
INA241A2QDRQ1	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	241A2Q	Samples
INA241A3QDDFRQ1	ACTIVE	SOT-23-THIN	DDF	8	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2ZP3	Samples
INA241A3QDGRQ1	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	39XB	Samples
INA241A3QDGRQ1	ACTIVE	VSSOP	DGS	10	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3FLB	Samples
INA241A3QDRQ1	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	241A3Q	Samples
INA241A4QDDFRQ1	ACTIVE	SOT-23-THIN	DDF	8	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2ZQ3	Samples
INA241A4QDGRQ1	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	39ZB	Samples
INA241A4QDGRQ1	ACTIVE	VSSOP	DGS	10	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3FMB	Samples
INA241A4QDRQ1	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	241A4Q	Samples
INA241A5QDDFRQ1	ACTIVE	SOT-23-THIN	DDF	8	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2ZR3	Samples
INA241A5QDGRQ1	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	3A1B	Samples
INA241A5QDGRQ1	ACTIVE	VSSOP	DGS	10	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3FNB	Samples
INA241A5QDRQ1	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	241A5Q	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
INA241B1QDDFRQ1	ACTIVE	SOT-23-THIN	DDF	8	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2ZS3	Samples
INA241B1QDGRQ1	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	3A2B	Samples
INA241B1QDGSRQ1	ACTIVE	VSSOP	DGS	10	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3FOB	Samples
INA241B1QDRQ1	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	241B1Q	Samples
INA241B2QDDFRQ1	ACTIVE	SOT-23-THIN	DDF	8	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2ZT3	Samples
INA241B2QDGRQ1	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	3A3B	Samples
INA241B2QDGSRQ1	ACTIVE	VSSOP	DGS	10	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3FPB	Samples
INA241B2QDRQ1	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	241B2Q	Samples
INA241B3QDDFRQ1	ACTIVE	SOT-23-THIN	DDF	8	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2ZU3	Samples
INA241B3QDGRQ1	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	3A3B	Samples
INA241B3QDGSRQ1	ACTIVE	VSSOP	DGS	10	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3FQB	Samples
INA241B3QDRQ1	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	241B3Q	Samples
INA241B4QDDFRQ1	ACTIVE	SOT-23-THIN	DDF	8	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2ZV3	Samples
INA241B4QDGRQ1	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	3A5B	Samples
INA241B4QDGSRQ1	ACTIVE	VSSOP	DGS	10	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3FRB	Samples
INA241B4QDRQ1	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	241B4Q	Samples
INA241B5QDDFRQ1	ACTIVE	SOT-23-THIN	DDF	8	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2ZW3	Samples
INA241B5QDGRQ1	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	3A6B	Samples
INA241B5QDGSRQ1	ACTIVE	VSSOP	DGS	10	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3FSB	Samples
INA241B5QDRQ1	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	241B5Q	Samples

⁽¹⁾ The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

⁽²⁾ **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

⁽³⁾ MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

⁽⁴⁾ There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

⁽⁵⁾ Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

⁽⁶⁾ Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF INA241A-Q1, INA241B-Q1 :

- Catalog : [INA241A](#), [INA241B](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
INA241A1QDDFRQ1	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
INA241A1QDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
INA241A1QDGSRQ1	VSSOP	DGS	10	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
INA241A1QDRQ1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA241A2QDDFRQ1	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.15	3.1	1.55	4.0	8.0	Q3
INA241A2QDDFRQ1	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
INA241A2QDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
INA241A2QDGSRQ1	VSSOP	DGS	10	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
INA241A2QDRQ1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA241A3QDDFRQ1	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.15	3.1	1.55	4.0	8.0	Q3
INA241A3QDDFRQ1	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
INA241A3QDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
INA241A3QDGSRQ1	VSSOP	DGS	10	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
INA241A3QDRQ1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA241A4QDDFRQ1	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
INA241A4QDDFRQ1	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.15	3.1	1.55	4.0	8.0	Q3
INA241A4QDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
INA241A4QDGSRQ1	VSSOP	DGS	10	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
INA241A4QDRQ1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA241A5QDDFRQ1	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
INA241A5QDDFRQ1	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.15	3.1	1.55	4.0	8.0	Q3
INA241A5QDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
INA241A5QDGSRQ1	VSSOP	DGS	10	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
INA241A5QDRQ1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA241B1QDDFRQ1	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
INA241B1QDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
INA241B1QDGSRQ1	VSSOP	DGS	10	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
INA241B1QDRQ1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA241B2QDDFRQ1	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
INA241B2QDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
INA241B2QDGSRQ1	VSSOP	DGS	10	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
INA241B2QDRQ1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA241B3QDDFRQ1	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
INA241B3QDDFRQ1	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.15	3.1	1.55	4.0	8.0	Q3
INA241B3QDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
INA241B3QDGSRQ1	VSSOP	DGS	10	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
INA241B3QDRQ1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA241B4QDDFRQ1	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.15	3.1	1.55	4.0	8.0	Q3
INA241B4QDDFRQ1	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
INA241B4QDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
INA241B4QDGSRQ1	VSSOP	DGS	10	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
INA241B4QDRQ1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA241B5QDDFRQ1	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
INA241B5QDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
INA241B5QDGSRQ1	VSSOP	DGS	10	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
INA241B5QDRQ1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
INA241A1QDDFRQ1	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
INA241A1QDGKRQ1	VSSOP	DGK	8	2500	356.0	356.0	35.0
INA241A1QDGSRQ1	VSSOP	DGS	10	2500	356.0	356.0	35.0
INA241A1QDRQ1	SOIC	D	8	2500	353.0	353.0	32.0
INA241A2QDDFRQ1	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
INA241A2QDDFRQ1	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
INA241A2QDGKRQ1	VSSOP	DGK	8	2500	356.0	356.0	35.0
INA241A2QDGSRQ1	VSSOP	DGS	10	2500	356.0	356.0	35.0
INA241A2QDRQ1	SOIC	D	8	2500	340.5	336.1	25.0
INA241A3QDDFRQ1	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
INA241A3QDDFRQ1	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
INA241A3QDGKRQ1	VSSOP	DGK	8	2500	356.0	356.0	35.0
INA241A3QDGSRQ1	VSSOP	DGS	10	2500	356.0	356.0	35.0
INA241A3QDRQ1	SOIC	D	8	2500	340.5	336.1	25.0
INA241A4QDDFRQ1	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
INA241A4QDDFRQ1	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
INA241A4QDGKRQ1	VSSOP	DGK	8	2500	356.0	356.0	35.0
INA241A4QDGSRQ1	VSSOP	DGS	10	2500	356.0	356.0	35.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
INA241A4QDRQ1	SOIC	D	8	2500	340.5	336.1	25.0
INA241A5QDDFRQ1	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
INA241A5QDDFRQ1	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
INA241A5QDGKRQ1	VSSOP	DGK	8	2500	356.0	356.0	35.0
INA241A5QDGSRQ1	VSSOP	DGS	10	2500	356.0	356.0	35.0
INA241A5QDRQ1	SOIC	D	8	2500	340.5	336.1	25.0
INA241B1QDDFRQ1	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
INA241B1QDGKRQ1	VSSOP	DGK	8	2500	356.0	356.0	35.0
INA241B1QDGSRQ1	VSSOP	DGS	10	2500	356.0	356.0	35.0
INA241B1QDRQ1	SOIC	D	8	2500	353.0	353.0	32.0
INA241B2QDDFRQ1	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
INA241B2QDGKRQ1	VSSOP	DGK	8	2500	356.0	356.0	35.0
INA241B2QDGSRQ1	VSSOP	DGS	10	2500	356.0	356.0	35.0
INA241B2QDRQ1	SOIC	D	8	2500	340.5	336.1	25.0
INA241B3QDDFRQ1	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
INA241B3QDDFRQ1	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
INA241B3QDGKRQ1	VSSOP	DGK	8	2500	356.0	356.0	35.0
INA241B3QDGSRQ1	VSSOP	DGS	10	2500	356.0	356.0	35.0
INA241B3QDRQ1	SOIC	D	8	2500	340.5	336.1	25.0
INA241B4QDDFRQ1	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
INA241B4QDDFRQ1	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
INA241B4QDGKRQ1	VSSOP	DGK	8	2500	356.0	356.0	35.0
INA241B4QDGSRQ1	VSSOP	DGS	10	2500	356.0	356.0	35.0
INA241B4QDRQ1	SOIC	D	8	2500	340.5	336.1	25.0
INA241B5QDDFRQ1	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
INA241B5QDGKRQ1	VSSOP	DGK	8	2500	356.0	356.0	35.0
INA241B5QDGSRQ1	VSSOP	DGS	10	2500	356.0	356.0	35.0
INA241B5QDRQ1	SOIC	D	8	2500	340.5	336.1	25.0

DGS0010A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187, variation BA.

EXAMPLE BOARD LAYOUT

DGS0010A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS
NOT TO SCALE

4221984/A 05/2015

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DGS0010A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221984/A 05/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

DDF0008A



PACKAGE OUTLINE

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



4222047/E 07/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.

EXAMPLE BOARD LAYOUT

DDF0008A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4222047/E 07/2024

NOTES: (continued)

- 4. Publication IPC-7351 may have alternate designs.
- 5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DDF0008A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4222047/E 07/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.



D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

- Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
- This dimension does not include interlead flash.
- Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
 EXPOSED METAL SHOWN
 SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

DGK0008A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES:

PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated