

ISO1050 絶縁型 CAN トランシーバ

1 特長

- ISO11898-2 の要件に適合
- 5000V_{RMS} 絶縁 (ISO1050DW)
- 2500V_{RMS} 絶縁 (ISO1050DUB)
- フェイルセーフ出力
- Low ループ遅延: 150ns (標準)、210ns (最大)
- 50kV/μs の標準過渡耐性
- -27V~40V のバス障害保護
- ドライバ (TXD) ドミナント・タイムアウト機能
- 3.3V と 5V のマイクロプロセッサをサポートする I/O 電圧範囲
- 安全関連認証
 - DIN EN IEC 60747-17 (VDE 0884-17) に準拠した VDE 認定
 - UL 1577 認定
 - IEC 61010-1、IEC 60601-1 の CSA 認定済み
 - EN/UL/CSA 62368-1 の TUV 強化絶縁認定 (ISO1050DW のみ)
 - GB4943.1 準拠の CQC 強化絶縁 (ISO1050DW のみ)
 - 定格動作電圧で 25 年の標準寿命 (アプリケーション・レポート [SLLA197](#) および「平均寿命と動作電圧との関係」を参照)

2 アプリケーション

- 産業オートメーション、制御、センサ、駆動システム
- ビルディングおよび空調制御 (HVAC)
- セキュリティ・システム
- 交通システム
- 医療
- テレコム
- CANopen、DeviceNet、NMEA2000、ARINC825、ISO11783、CAN Kingdom、CANaerospace などの CAN バス規格

3 概要

ISO1050 は、ISO11898-2 規格の仕様を満たすガルバニック絶縁型 CAN トランシーバです。このデバイスには、酸化シリコン (SiO₂) 絶縁バリアで分離されたロジック入力および出力バッファがあり、ISO1050DW では最大 5000V_{RMS}、ISO1050DUB では最大 2500V_{RMS} のガルバニック絶縁を提供します。絶縁型電源と組み合わせた場合に、データ・バスや他の回路上のノイズ電流がローカル GND に入り込み、ノイズに敏感な回路に干渉したり、損傷を与えるのを防止できます。

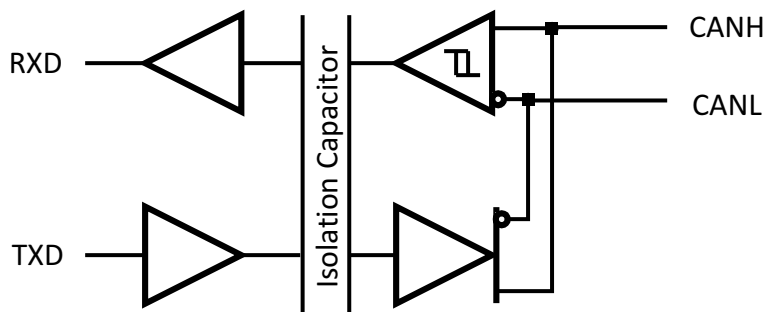
CAN トランシーバとして、バスへの差動送信機能と CAN コントローラの差動受信機能を、最大 1 メガビット/秒 (Mbps) の信号レートで実現します。このデバイスは、特に過酷な環境で動作するように設計されており、-27V~40V でのクロスワイヤ、過電圧、およびグランド損失に対する保護、過熱シャットダウン、および -12V~12V の同相電圧範囲を備えています。

ISO1050 は、-55°C~105°C の周囲温度範囲で動作することが特徴です。

製品情報⁽¹⁾

部品番号	パッケージ	パッケージ サイズ ⁽²⁾
ISO1050	SOP (8)	9.5mm × 10.4mm
	SOIC (16)	10.3mm × 10.3mm

- (1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。
- (2) パッケージ・サイズ (長さ×幅) は公称値であり、該当する場合はピッチも含まれます。



概略回路図



目次

1 特長.....	1	8.2 機能ブロック図.....	19
2 アプリケーション.....	1	8.3 機能説明.....	19
3 概要.....	1	8.4 デバイスの機能モード.....	22
4 Revision History.....	2	9 アプリケーションと実装.....	25
5 ピン構成および機能.....	5	9.1 アプリケーション情報.....	25
6 仕様.....	6	9.2 代表的なアプリケーション.....	25
6.1 絶対最大定格.....	6	10 電源に関する推奨事項.....	28
6.2 ESD 定格.....	6	10.1 一般的な推奨事項.....	28
6.3 推奨動作条件.....	6	10.2 電源の放電.....	28
6.4 熱に関する情報.....	7	11 レイアウト.....	29
6.5 電力定格.....	7	11.1 レイアウトのガイドライン.....	29
6.6 絶縁仕様.....	8	11.2 レイアウト例.....	29
6.7 安全関連認証.....	9	12 デバイスおよびドキュメントのサポート.....	30
6.8 安全限界値.....	9	12.1 ドキュメントのサポート.....	30
6.9 電気的特性 - DC 仕様.....	10	12.2 ドキュメントの更新通知を受け取る方法.....	30
6.10 スイッチング特性.....	12	12.3 サポート・リソース.....	30
6.11 絶縁特性曲線.....	12	12.4 商標.....	30
6.12 標準的特性.....	13	12.5 静電気放電に関する注意事項.....	30
7 パラメータ測定情報.....	14	12.6 用語集.....	30
8 詳細説明.....	19	13 メカニカル、パッケージ、および注文情報.....	30
8.1 概要.....	19		

4 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision K (August 2023) to Revision L (October 2023) Page

• 「安全関連認証」セクションを更新.....	6
• 複数の「仕様」セクションを更新.....	6

Changes from Revision J (September 2019) to Revision K (August 2023) Page

• VDE 規格名を「DIN EN IEC 60747-17 (VDE 0884-17)」に変更、CSA 規格を「CSA 62368-1」および「IEC 62368-1」に更新.....	1
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1

Changes from Revision I (September 2014) to Revision J (September 2019) Page

• 「セクション 1」で、VDE 規格名称を「DIN V VDE V 0884-10 (VDE V 0884-10):2006-12」から「DIN VDE V 0884-11:2017-01」に変更.....	1
• セクション 1 で、CSA の箇条書き項目から「部品受領通知 5A」を削除.....	1
• 反転出力のラベルを CANH から CANL に 図 7-10 で変更.....	14
• 「絶縁特性」表で、VDE 規格名称を「DIN V VDE V 0884-10 (VDE V 0884-10):2006-12」から「DIN VDE V 0884-11:2017-01」に変更.....	19
• 「絶縁特性」表で、V _{ISO} パラメータの説明を「ISO1050DUB - 二重保護」から「ISO1050DUB - シングル保護」に変更.....	19
• 「規制情報」表の「規制情報」を更新.....	19
• 「規制情報」表で、ISO1050DUB の UL 1577 定格を「2500V _{RMS} 二重保護」から「2500V _{RMS} シングル保護」に変更.....	19
• 「規制情報」表で、ISO1050DW について 3500V _{RMS} の UL 1577 「二重保護」定格を削除.....	19
• セクション 10.2 セクションと SN6505 への参照を セクション 10 に追加.....	28

- **セクション 12.1** セクションの「絶縁電源用のトランス・ドライバ」に SN6505x データシートのリンクを追加..... 30

Changes from Revision H (June 2013) to Revision I (September 2014) Page

- 「ピン構成および機能」セクション、「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加 1

Changes from Revision G (March 2013) to Revision H (June 2013) Page

- タイトルを「平均寿命と動作電圧との関係 (ISO1050DW)から「平均寿命と動作電圧との関係 (ISO1050DUB)」に変更 22

Changes from Revision F (January 2013) to Revision G (March 2013) Page

- 「アイソレータの特性」で、空間距離と浴面距離の測定方法を明確化..... 19
- 「絶縁特性」で、電圧定格のテスト方法を明確化..... 19
- 「規制情報」セクションで、「UL シングル保護認定待ち」を「シングル保護」に変更 (認定を利用可能)..... 19

Changes from Revision E (December 2011) to Revision F (January 2013) Page

- ISO1050L デバイスを削除..... 1
- 「特長」の一覧から ISO1050LDW を削除..... 1
- 「概要」の最初のパラグラフで ISO1050LDW を削除..... 1
- 「ピンの機能」セクションを追加..... 5
- DIN EN IEC 60747-17 (VDE 0884-17) に準拠して最大インパルス電圧 (V_{IMP}) 仕様を追加 8
- 「絶縁特性」から ISO1050LDW を削除..... 19
- 「規制情報」から ISO1050LDW を削除..... 19
- 「機能説明」セクションを追加..... 19
- 「平均寿命と動作電圧との関係」から ISO1050LDW を削除..... 22
- 「等価 I/O 回路図」の CANH および CANL 入力図および出力図から 40V を削除..... 22
- 「アプリケーション情報」セクションを変更..... 25
- 「バスの負荷、長さ、ノード数」セクションを変更..... 25
- 「CAN の終端」セクションを追加..... 26

Changes from Revision D (June 2011) to Revision E (November 2011) Page

- デバイス ISO1050L を追加..... 1
- 「特長」の一覧で、(DW パッケージ) を (ISO1050DW) に変更..... 1
- 「特長」の一覧で、(DUB パッケージ) を (ISO1050DUB および ISO1050LDW) に変更..... 1
- 「CSA 認定機能」の箇条書き項目から「IEC 60950-1」を削除..... 1
- 以下のように変更:「IEC 60601-1 (医療用)、CSA 認定待ち」から「IEC 60601-1 (医療用)、CSA 認定済み」..... 1
- 「特長」に「5 KVRMS 強化 ...」を追加..... 1
- 「概要」の最初の段落で、DW パッケージを ISO1050DW に、DUB パッケージを ISO1050DUB および ISO1050LDW に変更..... 1
- 「絶縁特性」表に注 1 を追加..... 19
- V_{IORM} を 8-DUB パッケージから ISO1050DUB および ISO1050LDW に変更..... 19
- V_{IORM} を 16-DW から ISO1050DW に変更..... 19
- 「絶縁特性」表の「UL 準拠の V_{ISO} 絶縁電圧」セクションを変更..... 19
- 「IEC 60664-1 定格」表を変更..... 19
- 「規制情報」表を変更..... 19
- 以下のように変更:「ファイル番号:220991 (承認待ち)」から「ファイル番号:220991」に..... 19
- 注 (1) で、3000 を 2500 に、6000 を 5000 に変更..... 19
- 「平均寿命と動作電圧との関係 (8DUB パッケージ)を「寿命.....(ISO1050DW および ISO1050LDW)」に変更.... 22

Changes from Revision C (July 2010) to Revision D (June 2011)		Page
• 「規制情報」表を変更.....		19
Changes from Revision B (June 2010) to Revision C (July 2010)		Page
• 「IEC 60747-5-2 の特長」の箇条書き項目で、「DW パッケージの認定待ち」から「DUB と DW の両方のパッケージで VDE 認定済み」に変更.....		1
• 「アイソレータの特性」表で、最小内部ギャップの値を 0.008 から 0.014 に変更.....		19
• V_{IORM} の仕様を VDE 認証に準拠して 1300 から 1200 に変更.....		19
• V_{PR} の仕様を 2438 から 2250 に変更.....		19
• 「アプリケーション情報」セクションにバスの負荷の段落を追加.....		25
Changes from Revision A (Sept 2009) to Revision B (June 2010)		Page
• IEC 60747-5-2 および IEC61010-1 が認定済みという情報を追加.....		1
• DW パッケージをプレビューから量産データに変更.....		5
• 「絶縁特性」表と「IEC 60664-1 定格」表を追加.....		19
• IEC ファイル番号を追加.....		19
Changes from Revision * (June 2009) to Revision A (Sept 2009)		Page
• 「特長」に「定格動作電圧で 25 年の標準寿命」を追加.....		1
• 「平均寿命と動作電圧との関係」セクションを追加.....		22

5 ピン構成および機能

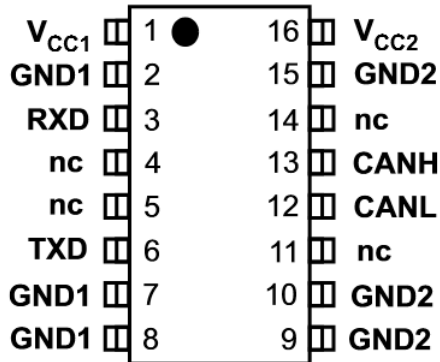


図 5-1. 16 ピン DW パッケージ 上面図

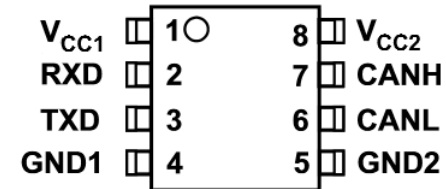


図 5-2. 8 ピン DUB パッケージ 上面図

表 5-1. ピンの機能

名称	ピン		種類	説明
	DW	DUB		
V _{CC1}	1	1	電源	デジタル側電源電圧 (3~5.5V)
GND1	2	—	グラウンド	デジタル側グラウンド接続
RXD	3	2	O	CAN 受信データ出力 (ドミナント・バス状態の場合は Low、リセッシブ・バス状態の場合は High)
NC	4	—	NC	無接続
NC	5	—	NC	無接続
TXD	6	3	I	CAN 送信データ入力 (ドミナント・バス状態の場合は Low、リセッシブ・バス状態の場合は High)
GND1	7	4	グラウンド	デジタル側グラウンド接続
GND1	8	—	グラウンド	デジタル側グラウンド接続
GND2	9	5	グラウンド	トランシーバ側グラウンド接続
GND2	10	—	グラウンド	トランシーバ側グラウンド接続
NC	11	—	NC	無接続
CANL	12	6	I/O	Low レベル CAN バス・ライン
CANH	13	7	I/O	High レベル CAN バス・ライン
NC	14	—	NC	無接続
GND2	15	—	グラウンド	トランシーバ側グラウンド接続
V _{CC2}	16	8	電源	トランシーバ側電源電圧 (5V)

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)^{(1) (2)}

		最小値	最大値	単位
V _{CC1}	電源電圧、サイド 1	-0.5	6	V
V _{CC2}	電源電圧、サイド 2	-0.5	6	V
V _{IO}	ロジック入力電圧範囲 (TXD)	-0.5	V _{CC1} + 0.5 ⁽³⁾	V
V _{BUS}	バス・ピン (CANH, CANL) の電圧	-27	40	V
I _O	RXD ピンの出力電流	-15	15	mA
T _J	接合部温度	-55	150	°C
T _{STG}	保管温度	-65	150	°C

- (1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示しており、このような条件や、「推奨動作条件」に記載されている条件を超える条件でデバイスが機能するという意味ではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 差動 I/O バス電圧を除くすべての電圧値は、ローカル・グランド端子 (GND1 または GND2) を基準としており、ピーク電圧値です。
- (3) 最大電圧は 6V 以下である必要があります

6.2 ESD 定格

			値	単位
V _(ESD)	静電気放電 人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠	すべてのピン ⁽¹⁾	±4000	V
V _(ESD)	静電気放電 デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠	すべてのピン ⁽²⁾	±1500	V
V _(ESD)	静電気放電 帯電マシン・モデル、ANSI/ESDS5.2-1996	すべてのピン ⁽²⁾	±200	V

- (1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

		最小値	標準値	最大値	単位
V _{CC1}	電源電圧、サイド 1	3		5.5	V
V _{CC2}	電源電圧、サイド 2	4.75		5.25	V
V _I または V _{IC}	バス・ピンでの電圧 (個別または同相モード)	-12		12	V
V _{IH}	High レベル入力電圧 (TXD)	2		5.25	V
V _{IL}	Low レベル入力電圧 (TXD)	0		0.8	V
V _{ID}	差動入力電圧	-7		7	V
I _{OH}	High レベル出力電流、ドライバ	-70			mA
I _{OH}	High レベル出力電流、レシーバ	-4			mA
I _{OL}	Low レベル出力電流、ドライバ			70	mA
I _{OL}	Low レベル出力電流、レシーバ			4	mA
T _A	動作時周囲温度	-55		105	°C
T _J	接合部温度	-55		125	°C
T _{Jshut down}	サーマル・シャットダウン温度		190		°C

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		ISO1050		単位
		DW	DUB	
		16ピン	8ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	76.4	84.3	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	41	63.2	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	47.7	43	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	17.2	27.4	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	38.2	42.7	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション・レポートを参照してください。

6.5 電力定格

パラメータ		テスト条件	最小値	標準値	最大値	単位
P_D	最大消費電力 (両サイド)	$V_{CC1} = V_{CC2} = 5.25V$, $T_J = 150^\circ C$, $R_L = 60\Omega$ TXD で 5V、500kHz 50% デューティの方形波			200	mW
P_{D1}	最大消費電力 (サイド 1)	$V_{CC1} = V_{CC2} = 5.25V$, $T_J = 150^\circ C$, $R_L = 60\Omega$, TXD で 5V、500kHz 50% デューティの方形波			25	mW
P_{D2}	最大消費電力 (サイド 2)	$V_{CC1} = V_{CC2} = 5.25V$, $T_J = 150^\circ C$, $R_L = 60\Omega$ TXD で 5V、500kHz 50% デューティの方形波			175	mW

6.6 絶縁仕様

パラメータ		テスト条件	仕様		単位
			DUB-8	DW-16	
IEC 60664-1					
CLR	外部空間距離 ⁽¹⁾	空気を通したサイド 1 とサイド 2 の距離	>6.1	>8	mm
CPG	沿面距離 ⁽¹⁾	パッケージ表面上でのサイド 1 とサイド 2 の距離	>6.8	>8	mm
DTI	絶縁物を介した距離	最小内部ギャップ (内部空間距離)	13.5 超	13.5 超	μm
CTI	比較トラッキング指数	IEC 60112、UL 746A	>600	>600	V
	材料グループ	IEC 60664-1 に準拠	I	I	
	過電圧カテゴリ	定格商用電源 V_{RMS} が 150V 以下	I-IV	I-IV	
		定格商用電源 V_{RMS} が 300V 以下	I-III	I-III	
		定格商用電源 V_{RMS} が 600V 以下	該当なし	I-II	
		定格商用電源 V_{RMS} が 848V 以下	該当なし	I	
DIN V VDE V 0884-11:2017-01⁽²⁾					
V_{IORM}	最大反復ピーク絶縁電圧	AC 電圧 (バイポーラ)	560	1200	V_{PK}
V_{IOWM}	最大絶縁動作電圧	AC 電圧 (正弦波)、絶縁膜経時破壊 (TDDB) テスト	395	848	V_{RMS}
		DC 電圧	560	1200	V_{DC}
V_{IOTM}	最大過渡絶縁電圧	$V_{TEST} = V_{IOTM}$, $t = 60s$ (認定時テスト)、 $V_{TEST} = 1.2 \times V_{IOTM}$, $t = 1s$ (100% 出荷時テスト)	4000	4000	V_{PK}
V_{IOSM}	最大サージ絶縁電圧 ⁽³⁾	IEC 62368-1 に準拠した試験方法、1.2/50μs 波形、 $V_{TEST} = 1.6 \times V_{IOSM} = 6.4kV_{PK}$ (認定)	4000	4000	V_{PK}
q_{pd}	見掛けの電荷 ⁽⁴⁾	メソッド a: I/O 安全テスト・サブグループ 2/3 の後、 $V_{ini} = V_{IOTM}$, $t_{ini} = 60s$, $V_{pd(m)} = 1.2 \times V_{IORM}$, $t_m = 10s$	≤ 5	≤ 5	pC
		メソッド a: 環境テスト・サブグループ 1 の後、 $V_{ini} = V_{IOTM}$, $t_{ini} = 60s$, $V_{pd(m)} = 1.3 \times V_{IORM}$, $t_m = 10s$	≤ 5	≤ 5	
		メソッド b: ルーチン・テスト (100% 出荷時) の場合、 $V_{ini} = 1.2 \times V_{IOTM}$, $t_{ini} = 1s$, $V_{pd(m)} = 1.5 \times V_{IORM}$, $t_m = 1s$	≤ 5	≤ 5	
C_{IO}	絶縁バリア容量、入力から出力へ ⁽⁵⁾	$V_{IO} = 0.4 \times \sin(2\pi ft)$, $f = 1MHz$	1	1	pF
R_{IO}	絶縁抵抗、入力から出力へ ⁽⁵⁾	$V_{IO} = 500V$, $T_A = 25^\circ C$	$> 10^{12}$	$> 10^{12}$	Ω
		$V_{IO} = 500V$ ($100^\circ C \leq T_A \leq 150^\circ C$ 時)	$> 10^{11}$	$> 10^{11}$	
		$V_{IO} = 500V$ ($T_S = 150^\circ C$ 時)	$> 10^9$	$> 10^9$	
	汚染度		2	2	
	耐候性カテゴリ		40/125/21	40/125/21	
UL 1577					
V_{ISO}	絶縁耐圧	$V_{TEST} = V_{ISO}$, $t = 60s$ (認定時テスト)、 $V_{TEST} = 1.2 \times V_{ISO}$, $t = 1s$ (100% 出荷時テスト)	2500	4243	V_{RMS}

- (1) 沿面距離および空間距離の要件は、アプリケーション個別の機器絶縁規格に従って適用する必要があります。沿面距離および空間距離を維持するために、プリント基板上でインセラタの取り付けパッドによってこの距離が短くならないように注意して基板を設計する必要があります。場合によっては、プリント基板上の沿面距離と空間距離が等しくなります。プリント基板上に溝やリブを設けるという技法を使用して、これらの仕様値を大きくすることができます。
- (2) ISO1044 は、安全定格内の基本的な電気的絶縁のみに適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。
- (3) テストは、絶縁バリアの固有サージ耐性を判定するため、気中または油中で実行されます。
- (4) 見掛けの放電電荷とは、部分放電 (pd) により発生する静電放電です。

(5) 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2つの端子を持つデバイスを構成します。

6.7 安全関連認証

VDE	CSA	UL	CQC	TUV
DIN EN IEC 60747-17 (VDE 0884-17) による認証	IEC 60950-1 および IEC 62368-1 による認証	UL 1577 部品認定プログラムによる認証	GB4943.1-2011 による認証	EN 61010-1 および EN 62368-1 による認証
基本絶縁 過渡過電圧、 4000V _{PK} のサージ電圧、4000V _{PK} の最大動作 電圧、1200V _{PK} (ISO1050DW) および 560V _{PK} (ISO1050DUB)	ISO1050DW: 5000V _{RMS} の強化絶縁 IEC 60950-1 第 2 版 +A1+A2、および IEC 62368-1:2014 に準拠 した 380V _{RMS} の動作電圧 IEC 61010-1 第 3 版に準 拠した 300V _{RMS} の動作電圧 ISO1050DUB: 2500V _{RMS} の基本絶縁 IEC 60950-1 第 2 版 +A1+A2 に準拠した 700V _{RMS} の動作電圧 IEC 61010-1 第 3 版、お よび IEC 62368-1:2014 に準拠した 600V _{RMS} の動作電圧	ISO1050DUB: 2500V _{RMS} 単一保護 ISO1050DW: 4243V _{RMS} 単一保護	ISO1050DW: 強化絶縁、 高度 ≤ 5000m、熱帯 気候、250V _{RMS} の 最大動作電圧	ISO1050DW: 5000V _{RMS} の強化絶縁、 400V _{RMS} の最大動作 電圧 5000V _{RMS} の基本絶縁、 600V _{RMS} の最大動作 電圧 ISO1050DUB: 2500V _{RMS} の強化絶縁、 400V _{RMS} の最大動作 電圧 2500V _{RMS} の基本絶縁、 600V _{RMS} の最大動作 電圧
認証番号: 40047657	顧客 ID 番号: 77311	マスタ契約書番号: 220991	ファイル番号: E181974	認証番号: CQC14001109541

6.8 安全限界値

安全限界値⁽¹⁾の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。

パラメータ		テスト条件	最小値	標準値	最大値	単位
DUB-8 パッケージ						
I _S	安全入力、出力、または電源電流	R _{θJA} = 84.3°C/W, V _I = 5.5V, T _J = 150°C、 T _A = 25°C。図 6-1 を参照			269	mA
I _S	安全入力、出力、または電源電流	R _{θJA} = 84.3°C/W, V _I = 3.6V, T _J = 150°C、 T _A = 25°C。図 6-1			411	mA
T _S	最高安全温度				150	°C
DW-16 パッケージ						
I _S	安全入力、出力、または電源電流	R _{θJA} = 76.4°C/W, V _I = 5.5V, T _J = 150°C、 T _A = 25°C。図 6-2			297	mA
I _S	安全入力、出力、または電源電流	R _{θJA} = 76.4°C/W, V _I = 3.6V, T _J = 150°C、 T _A = 25°C。図 6-2			454	mA
T _S	最高安全温度				150	°C

- (1) 最高安全温度 T_S は、本デバイスに規定された最大接合部温度 T_J と同じ値です。I_S および P_S パラメータはそれぞれ安全電流と安全電力を表します。I_S および P_S の最大限界値を超過してはなりません。これらの限界値は、周囲温度 T_A によって異なります。表にある接合部から空気への熱抵抗 R_{θJA} は、リード付き表面実装パッケージ向けの High-K テスト基板に実装されたデバイスの数値です。これらの式を使って各パラメータの値を計算します。
 $T_J = T_A + R_{\theta JA} \times P$ 、ここで P は本デバイスで消費される電力です。
 $T_{J(max)} = T_S = T_A + R_{\theta JA} \times P_S$ 、ここで T_{J(max)} は最大許容接合部温度です。
 $P_S = I_S \times V_I$ 、ここで V_I は最大入力電圧です。

6.9 電気的特性 - DC 仕様

標準仕様は、 $V_{CC1} = 3.3V$ 、 $V_{CC2} = 5V$ での値であり、最小値 / 最大値は、推奨動作条件範囲内の値です (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源の特性						
I_{CC1}	サイド 1 電源電流	$V_I = 0V$ または V_{CC1} 、 $V_{CC1} = 3.3V$		1.8	3.6	mA
I_{CC1}	サイド 1 電源電流	$V_I = 0V$ または V_{CC1} 、 $V_{CC1} = 5.0V$		2.3	3.6	mA
I_{CC2}	サイド 2 電源電流	$V_I = 0V$ 、バス・ドミナント、 $R_L = 60\Omega$		52	73	mA
I_{CC2}	サイド 2 電源電流	$V_I = V_{CC1}$		8	12	mA
ドライバの電気的特性						
$V_{O(DOM)}$	バス出力電圧 (ドミナント)、CANH	図 7-1 および 図 7-2 を参照、 $V_I = 0V$ 、 $R_L = 60\Omega$	2.9	3.5	4.5	V
	バス出力電圧 (ドミナント)、CANL	図 7-1 および 図 7-2 を参照、 $V_I = 0V$ 、 $R_L = 60\Omega$	0.8	1.2	1.78	V
$V_{O(REC)}$	バス出力電圧 (リセッシブ)、CANH、CANL	図 7-1 および 図 7-2 を参照、 $V_I = 2V$ 、 $R_L = 60\Omega$	2.0	2.3	3.0	V
$V_{OD(DOM)}$	差動出力電圧 (ドミナント)	図 7-1 および 図 7-2 を参照、 $V_I = 0V$ 、 $R_L = 60\Omega$	1.5		3.0	V
		図 7-1 および 図 7-2 を参照、 $V_I = 0V$ 、 $R_L = 45\Omega$ 、 $V_{CC} > 4.8V$	1.4		3.0	V
$V_{OD(REC)}$	差動出力電圧 (リセッシブ)	図 7-1 および 図 7-2 を参照、 $V_I = 3V$ 、 $R_L = 60\Omega$	-120.0		12.0	mV
		$V_I = 3V$ 、無負荷	-500.0		50.0	mV
$V_{OC(DOM)}$	同相出力電圧 (ドミナント)	図 7-8 をご覧ください	2	2.3	3.0	V
$V_{OC(pp)}$	ピーク・ツー・ピークの同相出力電圧	図 7-8 をご覧ください		0.3		V
I_{IH}	High レベル入力リーク電流	$V_I = 2V$			5	μA
I_{IL}	Low レベル入力リーク電流	$V_I = 0.8V$	-5			μA
$I_{O(off)}$	パワーオフ TXD リーク電流	0V での V_{CC1} 、 V_{CC2} 、TXD = 5V			10	μA
$I_{OS(ss)}$	短絡電流定常状態出力電流、ドミナント	図 7-11 を参照、CANH = -12V、CANL オープン	-105	-72		mA
		図 7-11 を参照、VCANH = 12V、CANL オープン		0.36	6.2	mA
		図 7-11 を参照、VCANL = -12V、CANH オープン	-1	-0.5		mA
		図 7-11 を参照、VCANL = 12V、CANH オープン		71	105	mA
CMTI	同相過渡耐性	図 7-13 を参照、 $V_I = V_{CC}$ または 0V	25	50		kV/us
レシーバの電気的特性						
V_{IT+}	正方向のバス入力スレッショルド電圧	表 1 を参照してください		750	900.0	mV
V_{IT-}	負方向のバス入力スレッショルド電圧		500.0	650	mV	
V_{HYS}	差動入力スレッショルドのヒステリシス電圧			150		mV
V_{OH}	High レベル出力電圧、 $V_{CC} = 5V$	$I_O = -4mA$ 、図 7-6 を参照	$V_{CC} - 0.8$	4.6		V
		$I_O = -20\mu A$ 、図 7-6 を参照	$V_{CC} - 0.1$	5		V
V_{OH}	High レベル出力電圧、 $V_{CC1} = 3.3V$	$I_O = 4mA$ 、図 7-6 を参照	$V_{CC} - 0.8$	3.1		V
		$I_O = 20\mu A$ 、図 7-6 を参照	$V_{CC} - 0.1$	3.3		V
V_{OL}	Low レベル出力電圧	$I_O = 4mA$ 、図 7-6 を参照		0.2	0.4	V
		$I_O = 20\mu A$ 、図 7-6 を参照		0	0.1	V
C_i	グラウンドに対する入力容量 (CANH または CANL)	TXD = 3V、 $V_I = 0.4 \sin(4e6\pi t) + 2.5V$		12		pF

標準仕様は、 $V_{CC1} = 3.3V$ 、 $V_{CC2} = 5V$ での値であり、最小値 / 最大値は、推奨動作条件範囲内の値です (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
C_{ID}	差動入力容量	TXD = 3V、 $V_I = 0.4 \sin(4e6\pi * t)$		8		pF
R_{ID}	差動入力抵抗	TXD = 3V	40		90	k Ω
R_{IN}	入力抵抗 (CANH または CANL)	TXD = 3V	20		45	k Ω
$R_{IN(M)}$	入力抵抗マッチング: $(1 - R_{IN(CANH)} / R_{IN(CANL)}) \times 100\%$	$V_{CANH} = V_{CANL}$	-3		3	%
CMTI	同相過渡耐性	図 7-13 を参照、 $V_I = V_{CC}$ または 0V	25	50		kV/us

6.10 スイッチング特性

標準仕様は、 $V_{CC1} = 3.3V$ 、 $V_{CC2} = 5V$ の値であり、最小値 / 最大値は、推奨動作条件範囲内での値です (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
デバイスのスイッチング特性						
$t_{PROP(LOO P1)}$	合計ループ遅延、ドライバ入力 TXD からレシーバ RXD まで、リセッブからドミナントまで	図 7-9 をご覧ください	100	150	210	ns
$t_{PROP(LOO P2)}$	合計ループ遅延、ドライバ入力 TXD からレシーバ RXD まで、ドミナントからリセッブまで	図 7-9 をご覧ください	112	150	210	ns
ドライバのスイッチング特性						
t_{PLH}	伝搬遅延時間、リセッブからドミナントまでの出力	図 7-4 をご覧ください		74	110	ns
t_{PHL}	伝搬遅延時間、ドミナントからリセッブまでの出力		82	110		
t_R	差動出力信号の立ち上がり時間		20	50		
t_F	差動出力信号の立ち下がり時間		52	63		
t_{TXD_DTO}	ドミナント・タイムアウト	$C_L = 100pF$ 、図 7-10 をご覧ください	1.2		4	ms
レシーバのスイッチング特性						
t_{PLH}	伝搬遅延時間、出力立ち上がり	3V での TXD、図 7-6 をご覧ください	66	90	130	ns
t_{PHL}	伝搬遅延時間、出力立ち下がり		51	80	105	ns
t_R	出力信号の立ち上がり時間 (RXD)		3	6	ns	
t_F	出力信号の立ち下がり時間 (RXD)		3	6	ns	
t_{fs}	バス側電源損失からフェイルセーフ出力までの遅延時間	5V での V_{CC1} 、図 7-12 をご覧ください		6		μs

6.11 絶縁特性曲線

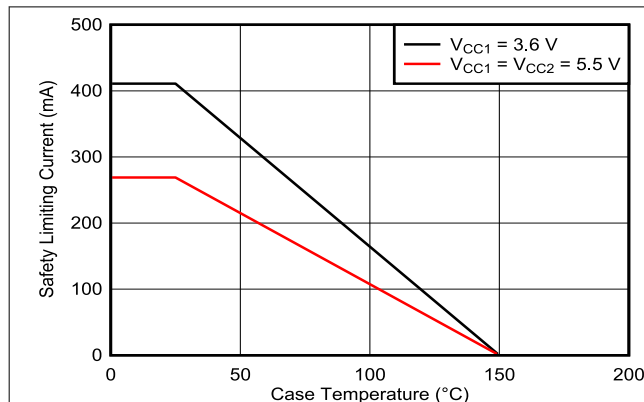


図 6-1. VDE に準拠する DUB-8 の熱軽減曲線

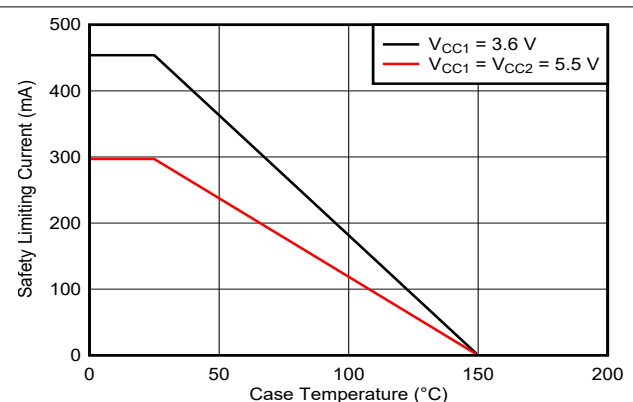


図 6-2. VDE に準拠する DW-16 の熱軽減曲線

6.12 標準的特性

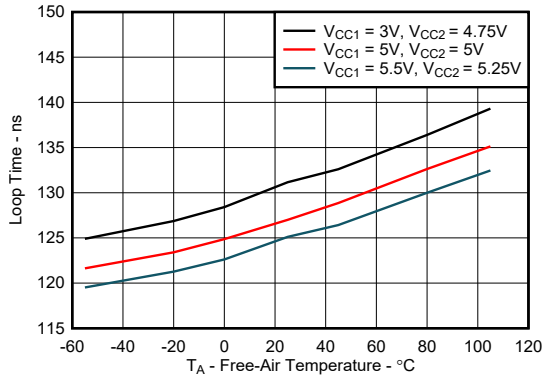


図 6-3. リセッシブからドミナントへのループ時間と自由気流温度との関係 (Vcc 間)

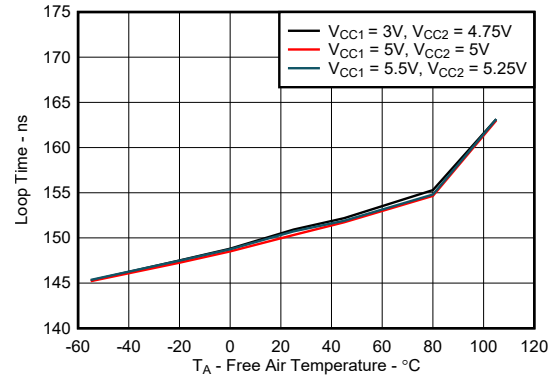


図 6-4. ドミナントからリセッシブへのループ時間と自由気流温度との関係 (Vcc 間)

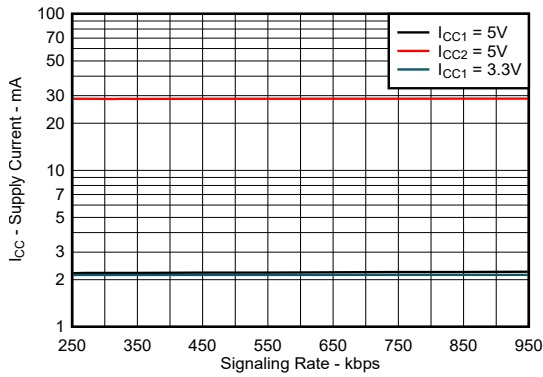


図 6-5. 消費電流 (RMS) と信号速度 (kbps) との関係

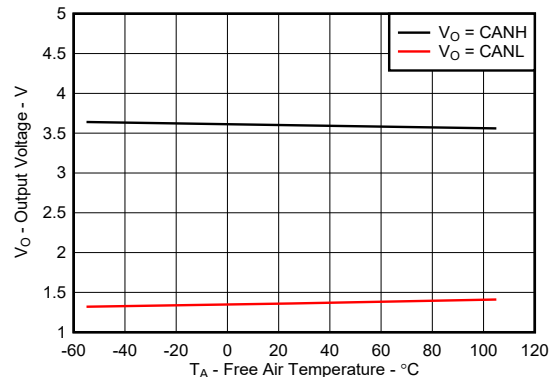


図 6-6. ドライバ出力電圧と自由気流温度との関係

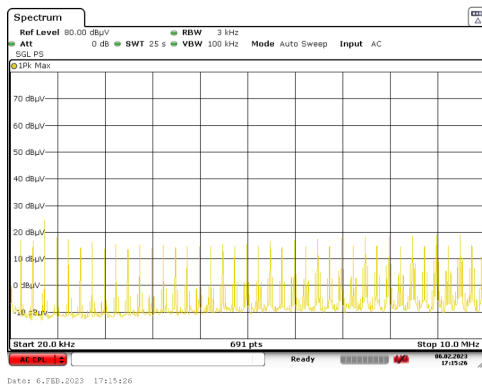


図 6-7. 10MHz までの放射スペクトル

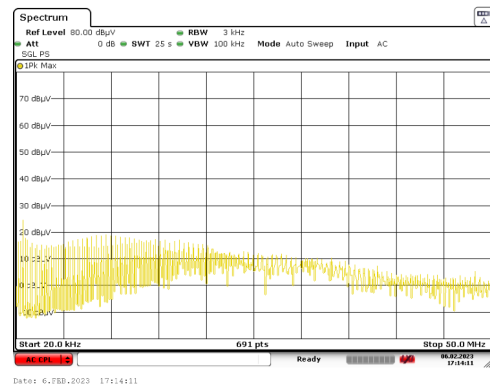


図 6-8. 50MHz までの放射スペクトル

7 パラメータ測定情報

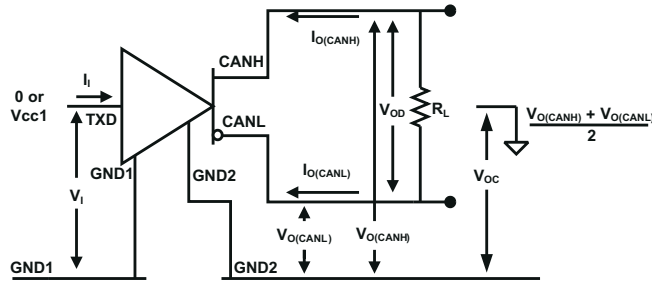


図 7-1. ドライバの電圧、電流、テストの定義

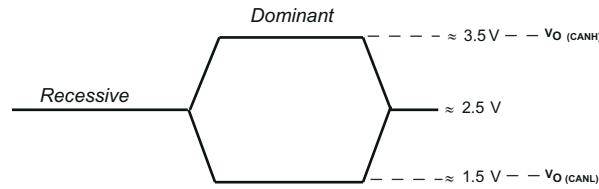


図 7-2. バス・ロジック状態の電圧の定義

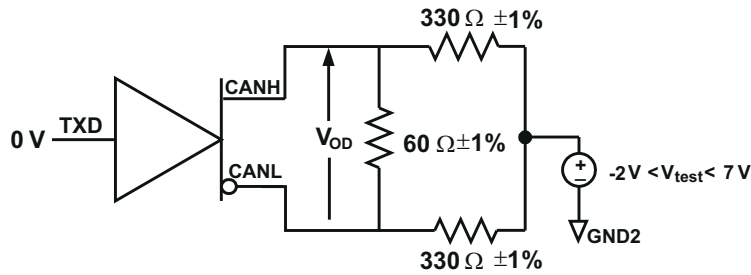
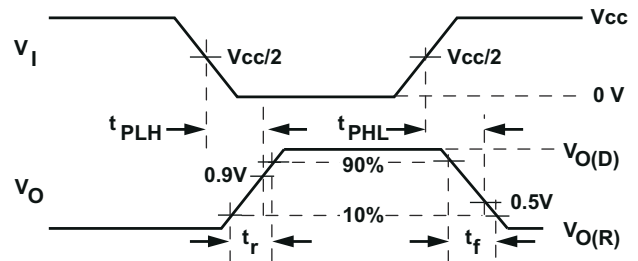
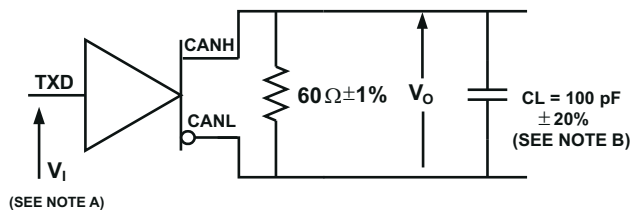


図 7-3. 同相負荷テスト回路を備えたドライバ V_{OD}



- A. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR ≤ 125kHz、50% デューティ・サイクル、 $t_r \leq 6\text{ns}$ 、 $t_f \leq 6\text{ns}$ 、 $Z_O = 50\Omega$ 。
- B. C_L には、±20% 以内の計測器および治具の容量が含まれています。

図 7-4. ドライバテスト回路と電圧波形

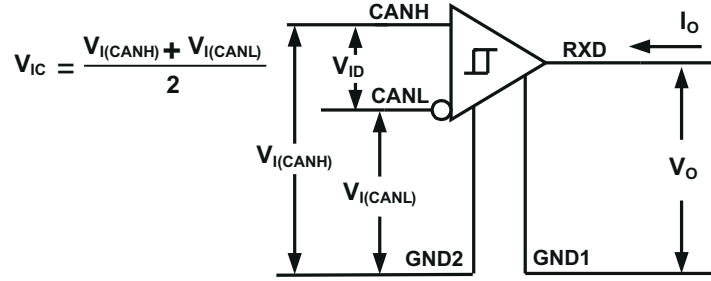
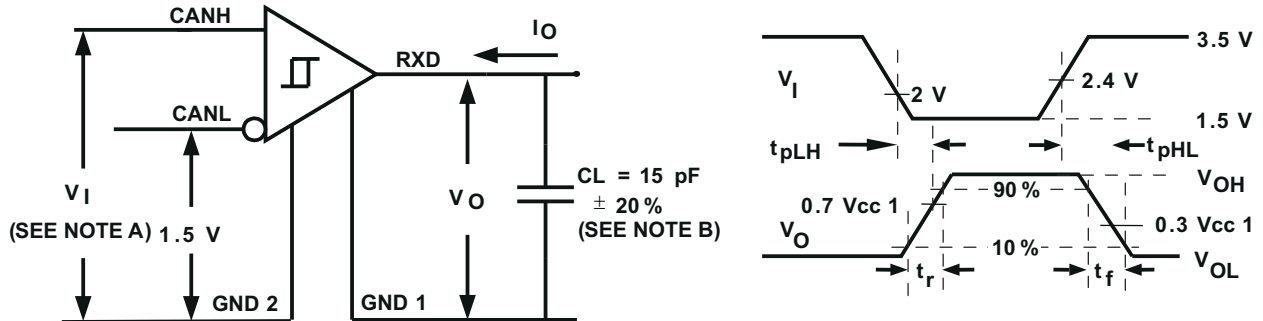


図 7-5. レシーバの電圧および電流の定義

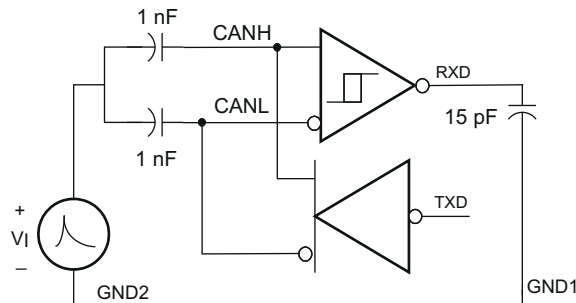


- A. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR ≤ 125kHz、50% デューティ・サイクル、 $t_r \leq 6\text{ns}$ 、 $t_f \leq 6\text{ns}$ 、 $Z_o = 50\Omega$ 。
B. C_L には、±20% 以内の計測器および治具の容量が含まれています。

図 7-6. レシーバテスト回路と電圧波形

表 7-1. 差動入力電圧スレッシュホールド・テスト

入力			出力	
V_{CANH}	V_{CANL}	$ V_{ID} $	R	
-11.1V	-12V	900mV	L	V_{OL}
12V	11.1V	900mV	L	
-6V	-12V	6V	L	
12V	6V	6V	L	
-11.5V	-12V	500mV	H	V_{OH}
12V	11.5V	500mV	H	
-12V	-6V	-6V	H	
6V	12V	-6V	H	
オープン	オープン	X	H	



The waveforms of the applied transients are in accordance with ISO 7637 part 1, test pulses 1, 2, 3a, and 3b.

図 7-7. 過渡過電圧テスト回路

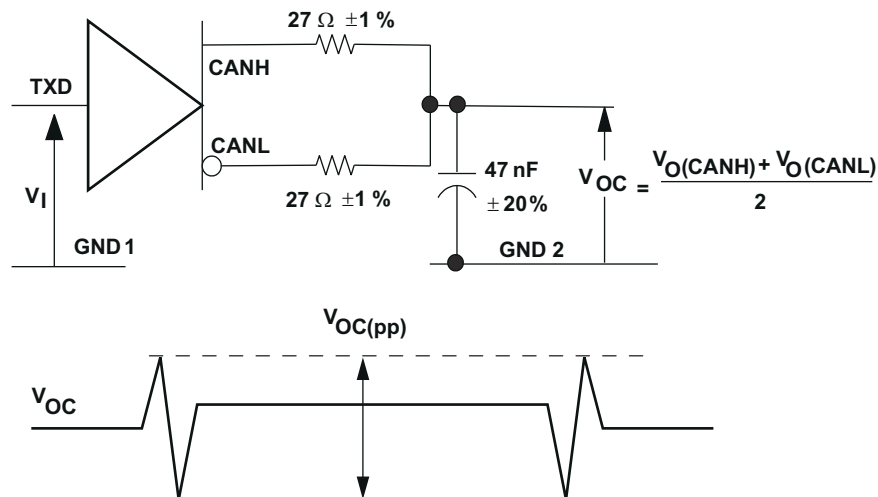


図 7-8. ピーク・ツー・ピークの出電圧テスト回路と波形

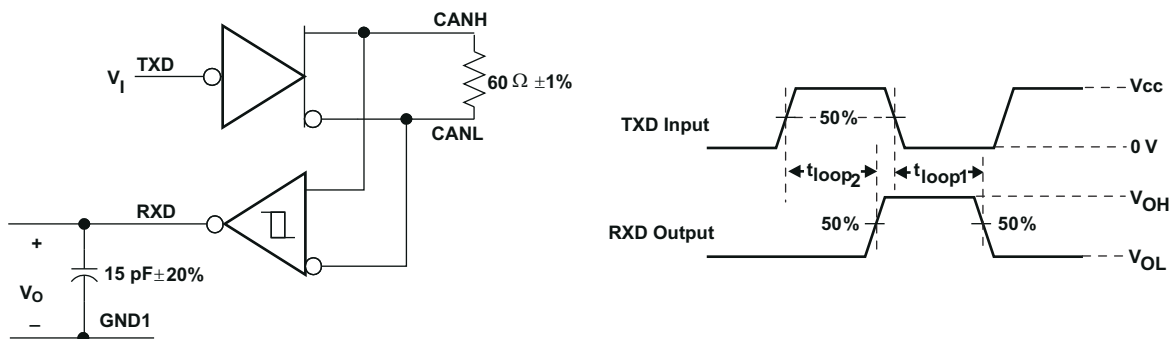
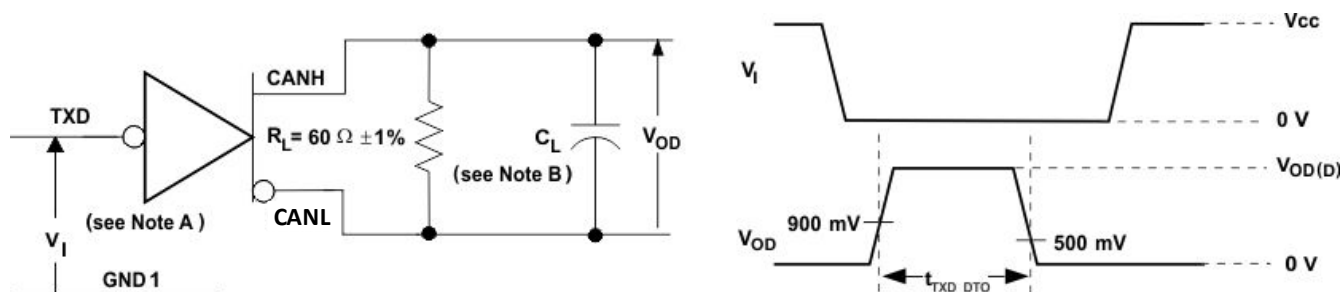


図 7-9. t_{LOOP} テスト回路と電圧波形



- A. 入力パルスは、以下の特性を持つジェネレータから供給されます。t_r ≤ 6ns、t_f ≤ 6ns、Z_O = 50Ω。
- B. C_L には、±20% 以内の計測器および治具の容量が含まれています。

図 7-10. ドミナント・タイムアウト・テスト回路と電圧波形

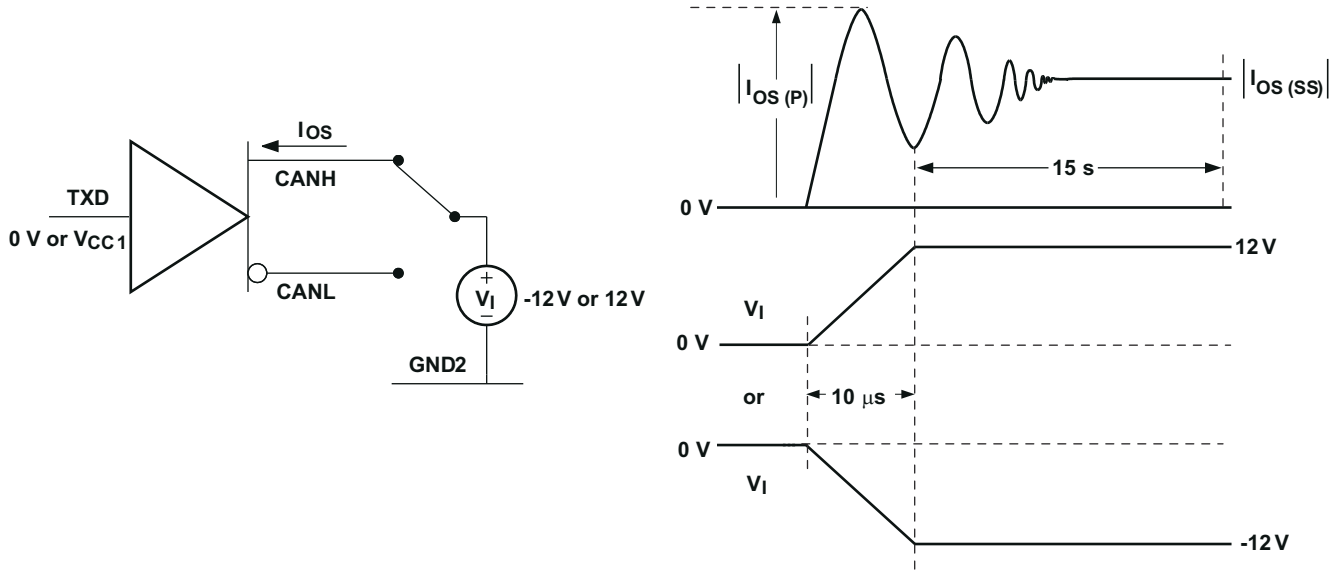


図 7-11. ドライバ短絡電流テスト回路と波形

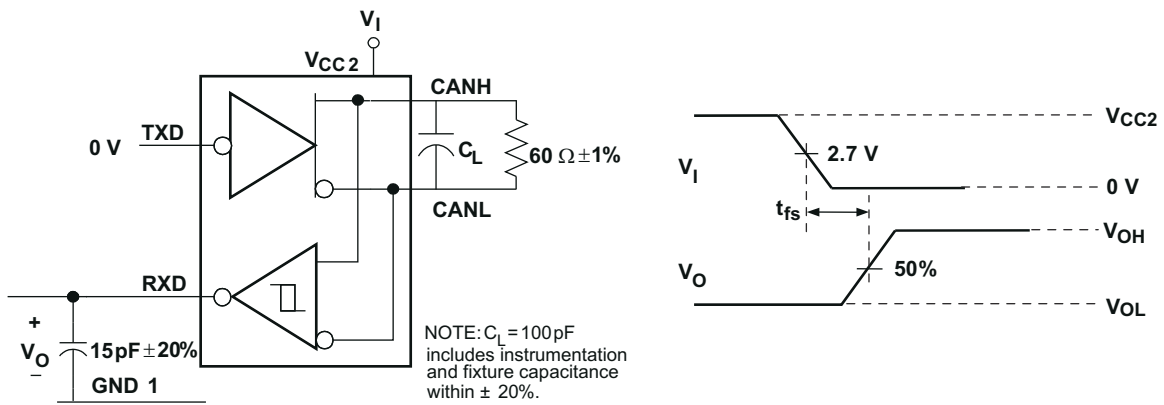


図 7-12. フェイルセーフ遅延時間テスト回路と電圧波形

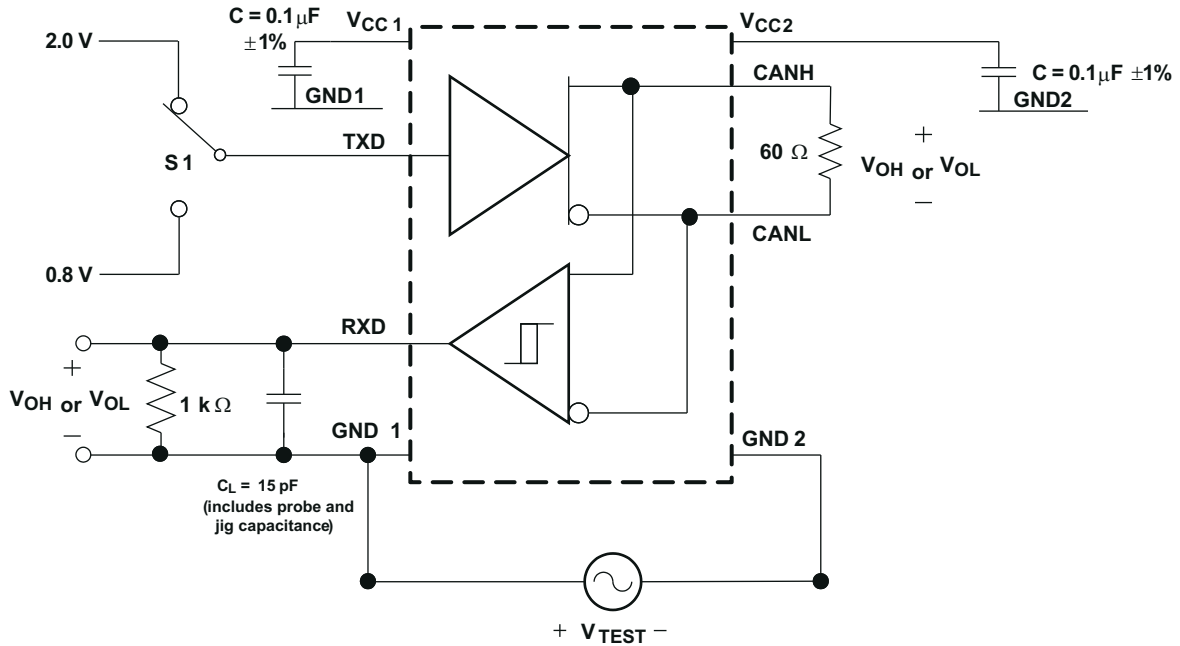


図 7-13. 同相過渡電圧耐性試験回路

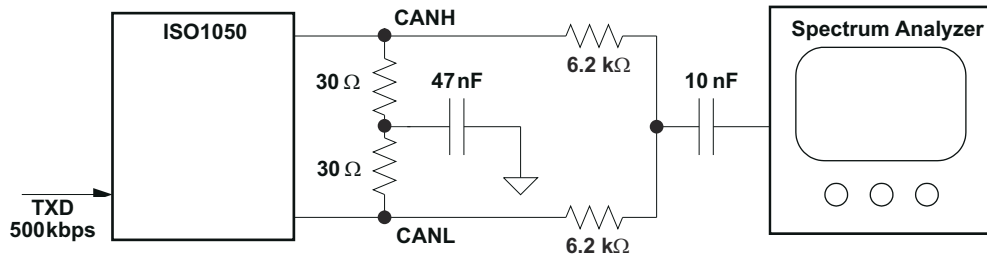


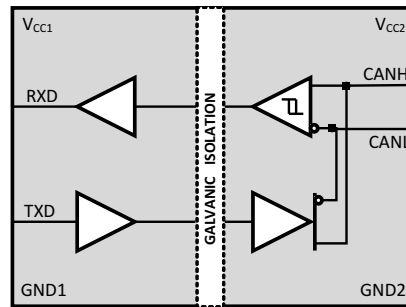
図 7-14. 電磁放射測定の設定アップ

8 詳細説明

8.1 概要

ISO1050 は、過渡耐性の標準値が $50\text{kV}/\mu\text{s}$ のデジタル絶縁型 CAN トランシーバです。このデバイスは、サイド 1 が 3.3V 電源、サイド 2 が 5V 電源で動作できます。これは、サイド 1 の 3.3V により省電力のために低電圧のマイコンへの接続が可能になり、サイド 2 の 5V によりバス信号の高い信号対雑音比が維持されるため、過酷な産業環境で動作するアプリケーションにとって特に有利です。

8.2 機能ブロック図



8.3 機能説明

8.3.1 CAN バスの状態

CAN バスには、動作中に「ドミナント」と「リセッシブ」の 2 つの状態があります。ロジック Low に相当するドミナント・バス状態は、ドライバによってバスが差動駆動される場合です。リセッシブ・バス状態は、バスがレシーバの高抵抗の内部入力抵抗を介して $V_{CC}/2$ のコモン・モードにバイアスされる場合であり、ロジック High に相当します。CAN ノードのホスト・マイクロプロセッサは、TXD ピンを使用してバスを駆動し、RXD ピンでバスからデータを受信します。図 8-1 および 図 8-2 を参照してください。

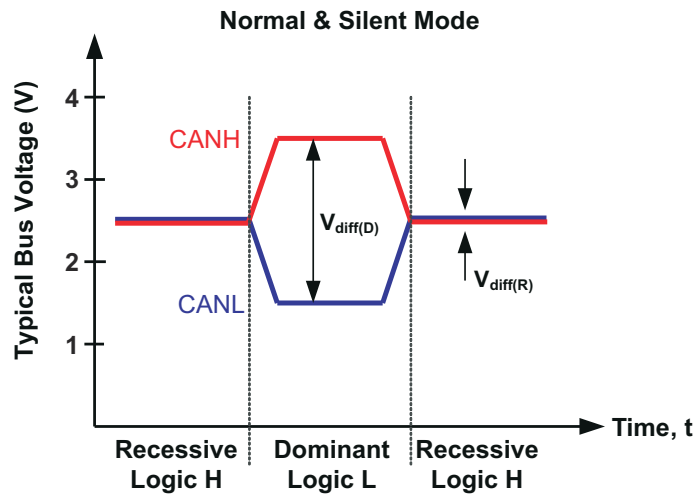


図 8-1. バスの状態 (物理的ビット表現)

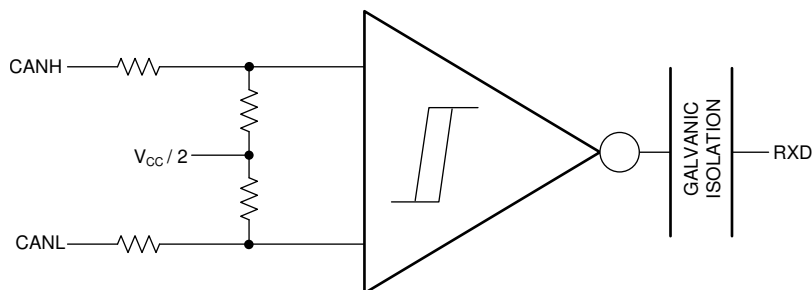


図 8-2. リセッピ同相バイアスとレシーバの概略図

8.3.2 デジタル入力および出力

TXD (入力) および RXD (出力):

デバイスの絶縁されたデジタル入力および出力側の V_{CC1} は、3.3V または 5V 電源から供給されることがあるため、デジタル入力および出力は 3.3V および 5V と互換性があります。

注

TXD は内部で非常に弱く V_{CC1} にプルアップされています。マイクロプロセッサがピンを制御せず、TXD がフローティングになった場合、バスでの問題を回避するため、外部プルアップ抵抗を使用して TXD が確かにリセッピ (High) レベルにバイアスされるようにする必要があります。TXD のプルアップ強度と CAN のビット・タイミングは、デバイスをマイクロプロセッサの CAN コントローラのオープン・ドレイン TXD 出力とともに使用する場、特に考慮する必要があります。マイクロプロセッサの TXD 出力がトランシーバの入力に対して適切なビット・タイミング入力を維持するように、適切な外部プルアップ抵抗を使用する必要があります。

8.3.3 保護機能

8.3.3.1 TXD ドミナント・タイムアウト (DTO)

TXD DTO 回路は、TXD がタイムアウト期間 t_{TXD_DTO} よりも長くドミナントに保持されるハードウェアまたはソフトウェアの障害が発生した場合に、ローカル・ノードがネットワーク通信をブロックすることを防ぎます。TXD DTO 回路のタイマは、TXD の立ち下がりエッジで開始します。タイムアウト期間が経過する前に立ち上がりエッジが確認されない場合、TXD DTO 回路は CAN バス・ドライバをディセーブルにします。これにより、ネットワーク上の他のノード間の通信のためにバスが解放されます。TXD ピンにリセッピ信号が検出されると、CAN ドライバが再度アクティブになり、TXD DTO 状態がクリアされます。レシーバと RXD ピンは引き続き CAN バスを反映し、TXD ドミナント・タイムアウトの間、バス・ピンはリセッピ・レベルにバイアスされます。

注

TXD DTO 回路で許容される最小ドミナント TXD タイムにより、デバイスの可能な最小送信データ・レートが制限されます。CAN プロトコルでは、最悪の場合、(TXD 上で) 最大 11 個の連続したドミナント・ビットを許容しています。この場合、5 個の連続したドミナント・ビットの直後にエラー・フレームが発生します。これは、 t_{TXD_DTO} の最小値とともに、最小データ・レートを制限します。最小送信データ・レートは次のように計算します。最小データ・レート = $11 / t_{TXD_DTO}$ 。

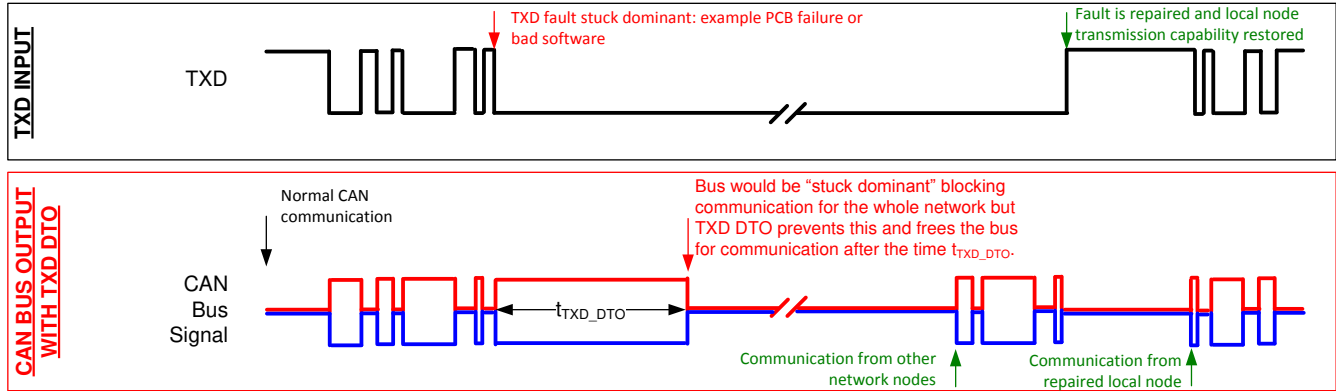


図 8-3. TXD DTO を備えたデバイスのタイミング図の例

8.3.3.2 サーマル・シャットダウン

デバイスの接合部温度がサーマル・シャットダウンのスレッシュホールドを超えると、デバイスは CAN ドライバ回路をオフにし、TXD からバスへの伝送パスをブロックします。シャットダウン状態は、接合部温度がデバイスのサーマル・シャットダウン温度を下回ると解除されます。フォルト状態が依然として存在する場合、温度が再び上昇し、デバイスが再びサーマル・シャットダウンに移行する可能性があります。サーマル・シャットダウン状態での長時間の動作は、デバイスの信頼性に影響を与える可能性があります。

注

サーマル・シャットダウン中は、CAN バス・ドライバがオフになるため、TXD からバスへの送信はできません。CAN バス・ピンは、サーマル・シャットダウン中、リセッピブ・レベルにバイアスされ、レシーバから RXD へのパスは動作し続けます。

8.3.3.3 低電圧誤動作防止

電源ピンには低電圧検出機能があり、デバイスを保護モードまたはフェイルセーフ・モードにできます。これにより、 V_{CC1} または V_{CC2} 電源ピンの低電圧イベント時にバスが保護されます。バス側電源 V_{CC2} が約 4V より低い場合、ISO1050 の電源シャットダウン回路はトランシーバをディセーブルにし、不安定な電源による誤送信を防ぎます。これが発生したときに V_{CC1} がまだアクティブである場合、レシーバ出力 (RXD) は約 6 マイクロ秒以内にフェイルセーフ High (リセッピブ) 値になります。

表 8-1. 低電圧誤動作防止

V_{CC1}	V_{CC2}	デバイスの状態	バス出力	RXD
良好	良好	機能	デバイスの状態および TXD あたり	ミラー・バス
不満	良好	保護	リセッピブ	高インピーダンス (3 ステート)
良好	不満	保護	高インピーダンス	リセッピブ (フェイルセーフ High)

注

低電圧状態が解消され、電源が有効なレベルに戻った後、デバイスは通常 300 μ s 以内に通常動作を再開します

8.3.3.4 フローティング・ピン

重要なピンがフローティングの場合、そのピンにはプルアップおよびプルダウンを使用し、デバイスを既知の状態にする必要があります。TXD ピンへのマイクロプロセッサの出力がフローティングの場合、TXD ピンを抵抗を介して V_{CC1} にプルアップして、強制的にリセット入力レベルにする必要があります。

8.3.3.5 CAN バスの短絡電流制限

このデバイスには、CAN バス・ラインが短絡したときに短絡電流を制限するいくつかの保護機能があります。これには、ドライバの電流制限 (ドミナントとリセッシブ) が含まれます。このデバイスには TXD ドミナント状態のタイムアウトがあり、システム障害時にドミナント状態の短絡電流が永続的に大きくなるのを防ぎます。CAN 通信中、バスはデータ・ビットおよび制御フィールド・ビットをによってドミナント状態とリセッシブ状態の間で切り替わるため、短絡電流は各バス状態における瞬間電流または DC 平均電流と見なすことができます。終端抵抗と同相チョーク定格において、システム電流 (電源) と電力を考慮する場合、平均短絡電流を使用します。ドミナント・ビットとリセッシブ・ビットの比率は、CAN フレーム内のデータと、特定の時点にリセッシブまたはドミナントのいずれかを強制するプロトコルおよび PHY の以下の要因によって決定されます。

- 設定ビットを持つ制御フィールド
- ビットスタッフィング
- フレーム間のスペース
- TXD ドミナント・タイムアウト (フォルト・ケースの制限)

これにより、データ・フィールドに高い割合のドミナント・ビットが含まれていても、バス上で最小限のリセッシブ時間が確保されます。

注

バスの短絡電流は、リセッシブ・ビットとドミナント・ビットの比率と、それぞれの短絡電流に依存します。平均短絡電流は、次の式で計算できます。

$$I_{OS(AVG)} = \%Transmit \times [(\%REC_Bits \times I_{OS(SS)_REC}) + (\%DOM_Bits \times I_{OS(SS)_DOM})] + [\%Receive \times I_{OS(SS)_REC}]$$

ここで

- $I_{OS(AVG)}$ は平均短絡電流です。
- $\%Transmit$ は、ノードが CAN メッセージを送信している割合です。
- $\%Receive$ は、ノードが CAN メッセージを受信している割合です。
- $\%REC_Bits$ は、送信された CAN メッセージ内のリセッシブ・ビットの割合です。
- $\%DOM_Bits$ は、送信された CAN メッセージ内のドミナント・ビットの割合です。
- $I_{OS(SS)_REC}$ は、リセッシブ定常状態の短絡電流です。
- $I_{OS(SS)_DOM}$ は、ドミナント定常状態の短絡電流です。

注

終端抵抗やその他のネットワーク・コンポーネントの電力定格の大きさを決定するときは、短絡電流やネットワークで起こりうるフォルト・ケースを考慮してください。

8.4 デバイスの機能モード

表 8-2. ドライバ機能表

入力	出力		駆動されているバスの状態
	CANH ⁽¹⁾	CANL ⁽¹⁾	
TXD ⁽¹⁾			
L	H	L	ドミナント

表 8-2. ドライバ機能表 (続き)

入力 TXD ⁽¹⁾	出力 CANH ⁽¹⁾ CANL ⁽¹⁾		駆動されているバスの状態
	H	Z	

(1) H = High レベル、L = Low レベル、Z = $V_{CC}/2$ への同相 (リセッピブ) バイアス。バスの状態と同相バイアスの情報については、[図 8-1](#) および [図 8-2](#) を参照してください。

表 8-3. レシーバ機能表

デバイスのモード	CAN 差動入力 $V_{ID} = V_{CANH} - V_{CANL}$	バスの状態	RXD ピン ⁽¹⁾
通常またはサイレント	$V_{ID} \geq 0.9V$	ドミナント	L
	$0.5V < V_{ID} < 0.9V$?	?
	$V_{ID} \leq 0.5V$	リセッピブ	H
	オープン ($V_{ID} \approx 0V$)	オープン	H

(1) H = High レベル、L = Low レベル、? = 不定。

表 8-4. 機能表

ドライバ			レシーバ			
入力 TXD	出力 CANH CANL		バスの状態	差動入力 $V_{ID} = CANH - CANL$	出力 RXD	バスの状態
L ⁽¹⁾	H	L				
H	Z	Z	リセッピブ	$0.5V < V_{ID} < 0.9V$?	?
オープン	Z	Z	リセッピブ	$V_{ID} \leq 0.5V$	H	リセッピブ
X	Z	Z	リセッピブ	オープン	H	リセッピブ

(1) ドミナント・タイムアウトを防ぐためのロジック Low パルス。

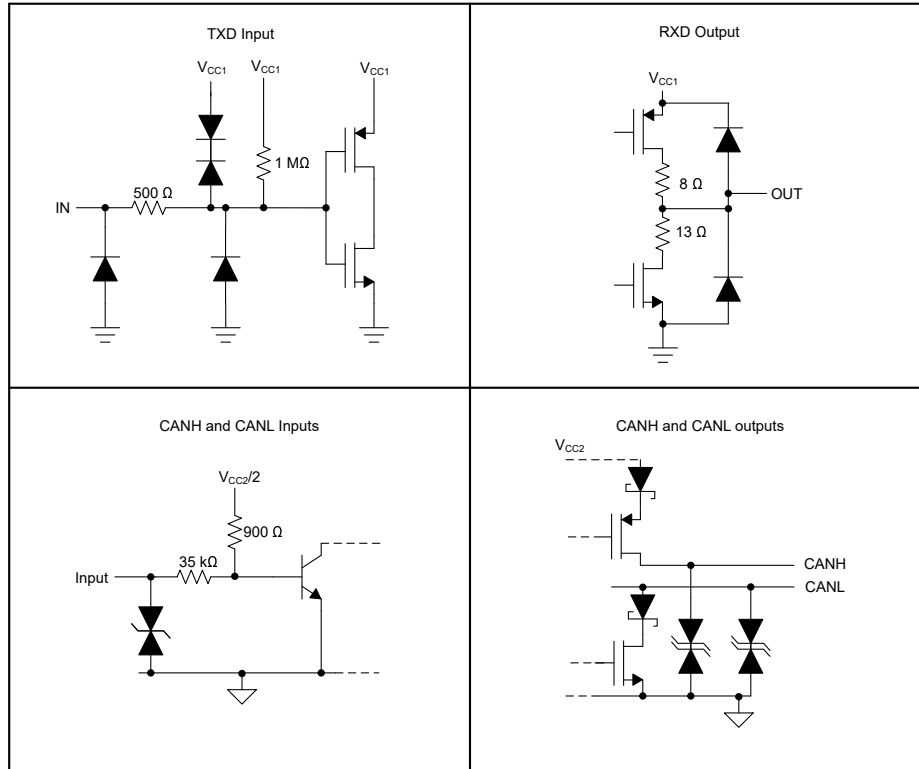


图 8-4. 等価 I/O 回路図

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

ISO1050 は、マイクロコントローラ、トランス・ドライバ、リニア電圧レギュレータなど、テキサス・インスツルメンツの他のコンポーネントと組み合わせて使用することで、完全に絶縁された CAN インターフェイスを形成できます。

9.2 代表的なアプリケーション

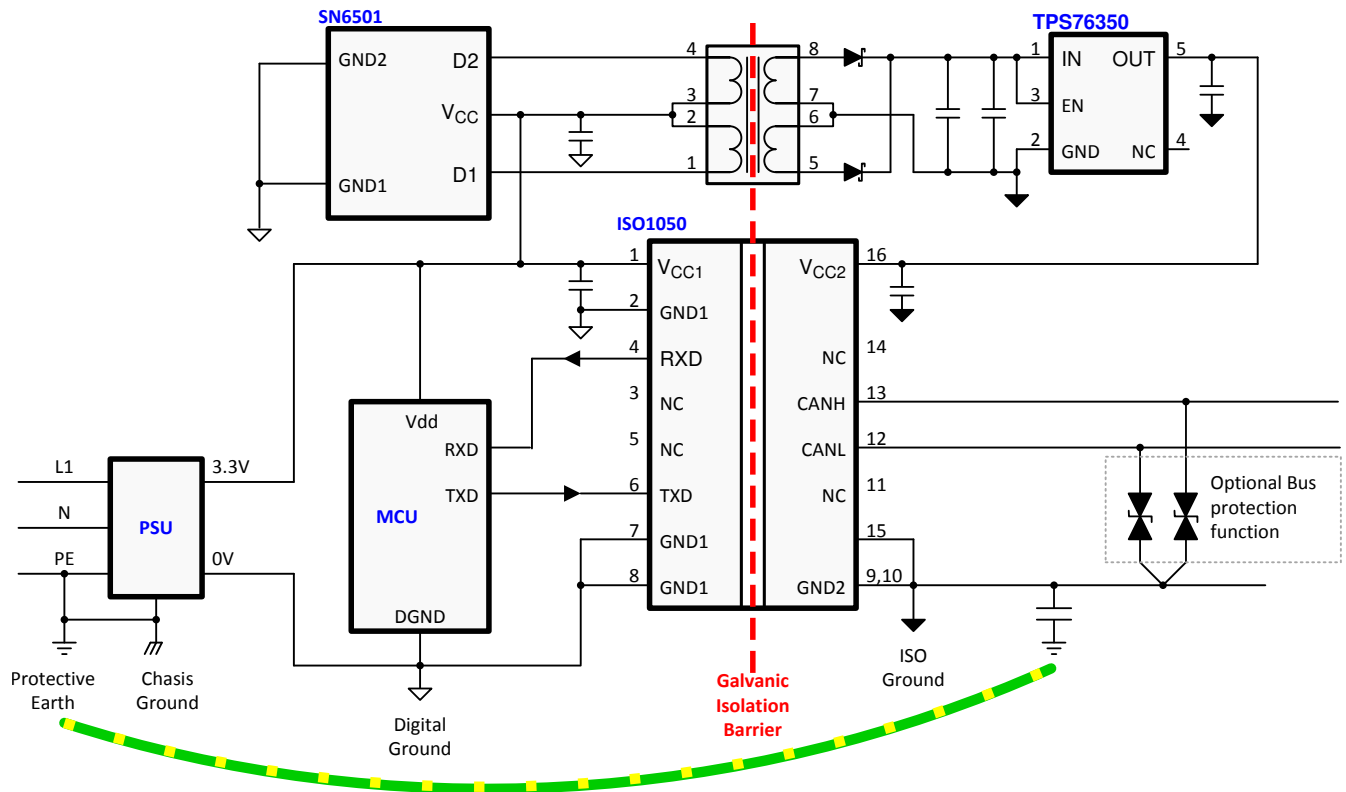


図 9-1. アプリケーション回路

9.2.1 設計要件

性能の向上、バイアスの供給、電流の制限のためにいくつかの外付け部品が必要なフォトカプラ・ベースのソリューションとは異なり、ISO1050 の動作には 2 つの外付けバイパス・コンデンサのみが必要です。

9.2.2 詳細な設計手順

9.2.2.1 バスの負荷、長さ、ノード数

ISO11898 規格では、最大バス長 40m、最大スタブ長 0.3m、最大ノード数 30 と規定されています。ただし、注意深く設計すれば、より長いケーブル、より長いスタブ長、より多くのノードをバスに接続することができます。ノード数が多い場合は、ISO1050 のような高入力インピーダンスのトランシーバが必要になります。

多くの CAN の組織および規格は、元の ISO11898 規格外のアプリケーションへと CAN の使用を拡大してきました。この場合、データ・レート、ケーブル長、バスの寄生負荷にシステム・レベルのトレードオフが生じています。これらの仕様の例としては、ARINC825、CANopen、CAN Kingdom、DeviceNet、NMEA200 などがあります。

CAN ネットワークの設計には一連のトレードオフが伴いますが、これらのデバイスは $-12V \sim 12V$ の広い同相電圧範囲で動作します。ISO11898-2 では、ドライバの差動出力は 60Ω 負荷（並列の 2 つの 120Ω 終端抵抗）で規定されており、差動出力は $1.5V$ を上回る必要があります。ISO1050 は、 60Ω 負荷で $1.5V$ の要件を満たすように規定されており、さらに 45Ω 負荷に対して $1.4V$ の差動出力が規定されています。ISO1050 の差動入力抵抗は最小で $30k\Omega$ です。167 個の ISO1050 トランシーバがバス上で並列に接続されている場合、これは 180Ω の差動負荷に相当します。 180Ω のトランシーバ負荷を 60Ω と並列にすると、合計 45Ω になります。したがって、ISO1050 は理論的には、各ノードで最小差動入力として $1.2V$ までのマージンを備えた単一のバス・セグメント上で、167 個を超えるトランシーバをサポートします。ただし、CAN ネットワークの設計では、システムおよびケーブル配線全体での信号損失、寄生負荷、ネットワークの不均衡、グラウンド・オフセット、および信号の完全性に対してマージンを与える必要があるため、実際の最大ノード数は通常、はるかに少なくなります。また、バス長は、慎重なシステム設計およびデータ・レートとのトレードオフにより、元の ISO11898 規格の $40m$ を超えて延長することもできます。たとえば、CAN オープン・ネットワーク設計ガイドラインによると、終端抵抗やケーブル配線を変更し、64 ノード未満にし、データ・レートを大幅に低下させてもいい場合、ネットワークを最大 $1km$ にすることができます。

CAN ネットワーク設計におけるこの柔軟性は、元の ISO11898 CAN 規格に基づいて構築されたさまざまな拡張規格および追加規格の重要な強みの 1 つです。この柔軟性を利用するには、適切なネットワーク設計を行う責任が伴います。

9.2.2.2 CAN の終端

ISO11898 規格では、相互接続は 120Ω の特性インピーダンス (Z_0) を持つシングル・ツイストペア・ケーブル（シールド付きまたはシールドなし）と規定されています。信号の反射を防ぐため、ラインの特性インピーダンスと等しい抵抗を使用してケーブルの両端を終端する必要があります。ノードをバスに接続する終端されていないドロップ・ライン（スタブ）は、信号の反射を最小限に抑えるために、できるだけ短くする必要があります。終端はノード内にあっても構いませんが、ノードがバスから取り除かれる可能性がある場合、終端がバスから取り除かれないように注意深く配置する必要があります。

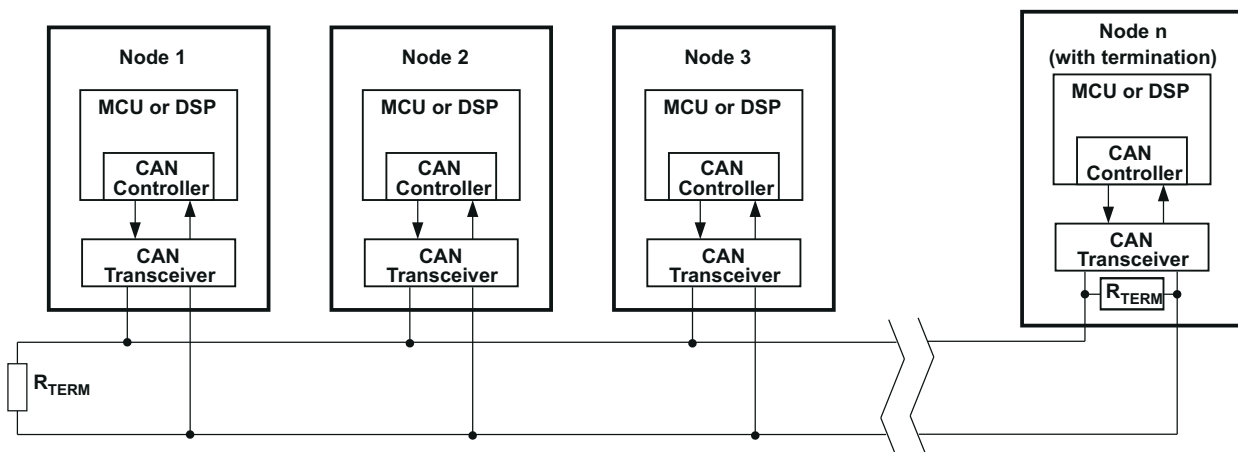


図 9-2. 代表的な CAN バス

終端として、ケーブル上または終端ノード内のいずれかで、バスの端に単一の 120Ω 抵抗を配置することができます。バスの同相電圧のフィルタリングと安定化が必要な場合は、分割終端を使用することができます。(図 9-3 を参照) 分割終端は、メッセージ送信の開始時と終了時のバス同相電圧の変動を排除することで、ネットワークの電磁放射の挙動を改善します。

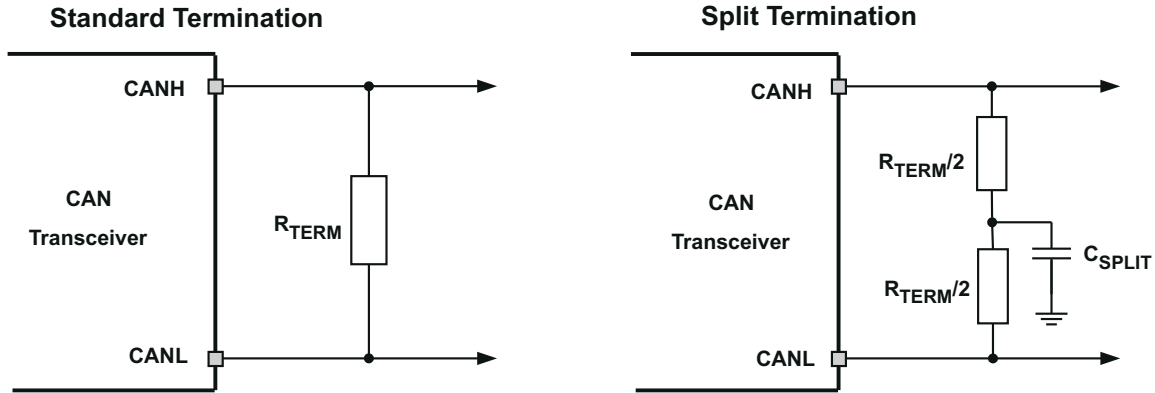
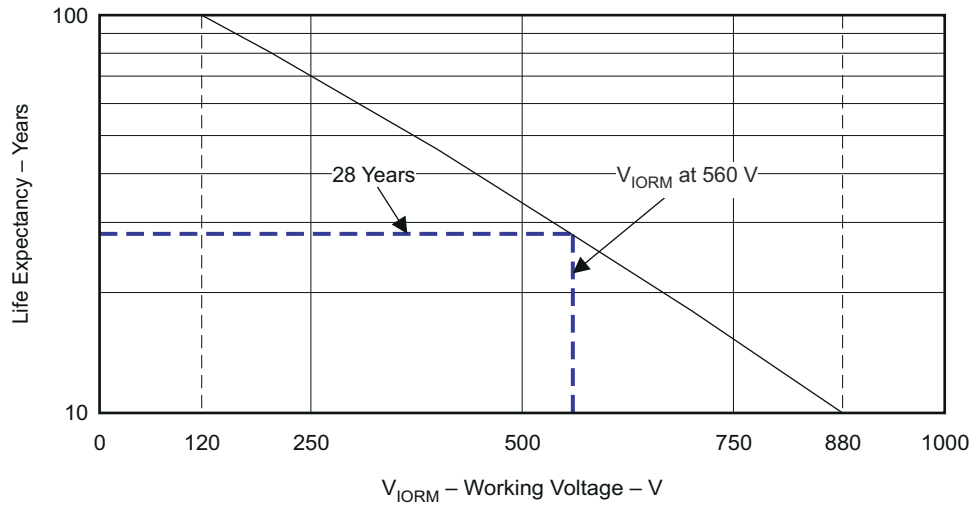


図 9-3. CAN バス終端の概念

9.2.3 アプリケーション曲線



G001

図 9-4. 平均寿命と動作電圧との関係 (ISO1050DUB)

10 電源に関する推奨事項

10.1 一般的な推奨事項

すべてのデータ・レートおよび電源電圧での信頼性の高い動作を保証するために、入力および出力電源ピン (V_{CC1} および V_{CC2}) に $0.1\mu\text{F}$ のバイパス・コンデンサを推奨します。コンデンサは電源ピンにできるだけ近付けて配置してください。アプリケーションで 1 次側電源が 1 つしか使用できない場合、テキサス・インスツルメンツの **SN6505** および **SN6501** ベースの電源ソリューションを使用して、2 次側に絶縁型電源を生成できます。このようなアプリケーションについては、**SN6505** および **SN6501** のデータシート (**SLLSEP9**, **SLLSEA0**) に、電源設計の詳細とトランスの選択に関する推奨事項が記載されています。

10.2 電源の放電

電源切断後の通常の再初期化時間を確保するために、ISO1050 の電源は通信遅延が発生しないように 0.3V 未満まで、できるだけ 0V に近い値まで、放電する必要があります。図 10-1 に、電源ランプダウンのさまざまなシナリオと、それが通信遅延に及ぼす影響を示しています。

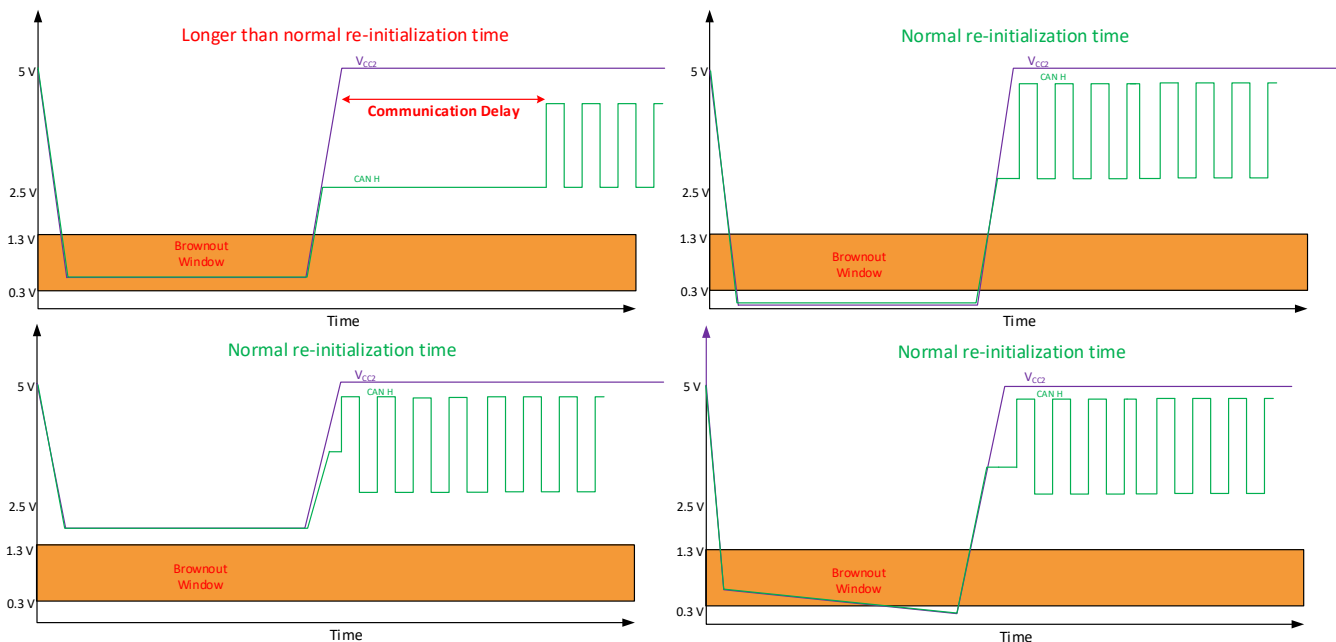


図 10-1. 電源ランプダウンと通信遅延の動作

ブラウンアウト・ウィンドウ (0.3V ~ 1.3V (標準値)) は、 V_{CC2} がこの電圧から電源を入れた場合に、通常よりも長い再初期化時間が発生する可能性がある電圧範囲を示します。ISO1042 は、より高い絶縁定格、 5Mbps の CAN FD 速度、より高いバス故障保護電圧、より強力な EMC 特性を備え、小型パッケージ・オプションが利用可能なアップグレード済みデバイスですが、この動作は見られません。すべての新しい絶縁型 CAN の設計には、ISO1042 の使用を推奨します。ISO1050 を使用する必要がある場合は、 V_{CC2} が 0V になるまで放電するようにして、再初期化時間が通常よりも長くないようにします。 V_{CC2} が単独で 0.3V 未満まで放電するように電源を構成できない場合は、 V_{CC2} と GND_2 の間にブリード抵抗を実装します。ブリード抵抗の値は、システムが許容するあらゆる停電またはパワーダウン・シーケンスに対して、 V_{CC2} が十分に早くブラウンアウト・ウィンドウを下回るように選択する必要があります。抵抗値が小さいほど、消費電力と引き換えに、 V_{CC2} はより速く 0V まで放電されます。多くのシステムでは、ブリード抵抗値は $2\text{k}\Omega$ で十分です。

11 レイアウト

11.1 レイアウトのガイドライン

低 EMI の PCB 設計を実現するには、少なくとも 4 層が必要です (図 11-1 を参照)。層の構成は、上層から下層に向かって、高速信号層、グランド・プレーン、電源プレーン、低周波数信号層の順に配置する必要があります。

- 上層に高速パターンを配線することにより、ビアの使用 (およびそれに伴うインダクタンスの発生) を避けて、データ・リンクのトランスミッタ回路およびレシーバ回路とアイソレータとの間のクリーンな相互接続が可能になります。
- 高速信号層の次の層に、ベタのグランド・プレーンを配置することにより、伝送ライン相互接続のインピーダンスを制御し、リターン電流の優れた低インダクタンス・パスを実現します。
- グランド・プレーンの次の層に、電源プレーンを配置すると、高周波バイパス容量を約 $100\text{pF}/\text{in}^2$ 増加させることができます。
- 最下層に低速の制御信号を配線すれば、通常、これらの信号リンクには、ビアのような不連続性を許容するマージンがあるため、高い柔軟性が得られます。

電源プレーンまたは信号層の追加が必要な場合は、対称性を保つために、第 2 の電源系統またはグランド・プレーン系統を層構成に追加します。これにより、基盤の層構成は機械的に安定し、反りを防ぎます。また、各電源系統の電源プレーンとグランド・プレーンを互いに近づけて配置できるため、高周波バイパス容量を大幅に増やすことができます。

レイアウトにおける推奨事項の詳細については、アプリケーション・ノート [SLLA284](#)、『デジタル・アイソレータ設計ガイド』を参照してください。

11.1.1 PCB 材料

150Mbps 未満で動作する場合 (または、立ち上がりと立ち下りの時間が 1ns を超える場合)、およびトレース長が 10 インチ (254mm) 以下の場合のデジタル回路基板には、PCB 材料として標準の FR-4 エポキシガラスを使用します。FR-4 (難燃性グレード 4) は、アメリカ保険業者安全試験所 (Underwriters Laboratories) の UL94-V0 の要件を満たしており、高周波での誘電損失が低く、吸湿性が低く、強度と剛性が高く、自己消火性の燃焼特性を持つため、安価な代替品よりも好まれています。

11.2 レイアウト例

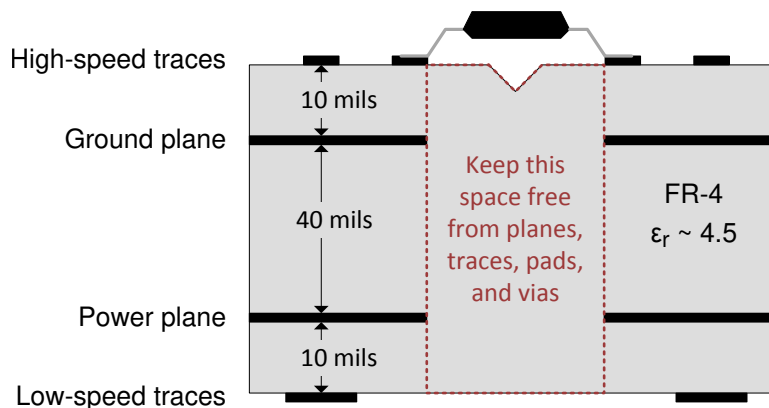


図 11-1. 推奨されるレイヤ・スタック

12 デバイスおよびドキュメントのサポート

12.1 ドキュメントのサポート

12.1.1 関連資料

- テキサス・インスツルメンツ、『ISO72x ファミリのデジタル・アイソレータの高電圧寿命』アプリケーション・レポート
- テキサス・インスツルメンツ、『SN6505x 絶縁電源用の低ノイズ、1A トランス・ドライバ』データシート
- テキサス・インスツルメンツ、『絶縁電源用のトランス・ドライバ』データシート
- テキサス・インスツルメンツ、『デジタル・アイソレータ設計ガイド』アプリケーション・レポート
- テキサス・インスツルメンツ、『絶縁の用語集』アプリケーション・レポート

12.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

12.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

12.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

12.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

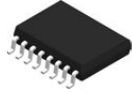
ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

12.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

13 メカニカル、パッケージ、および注文情報

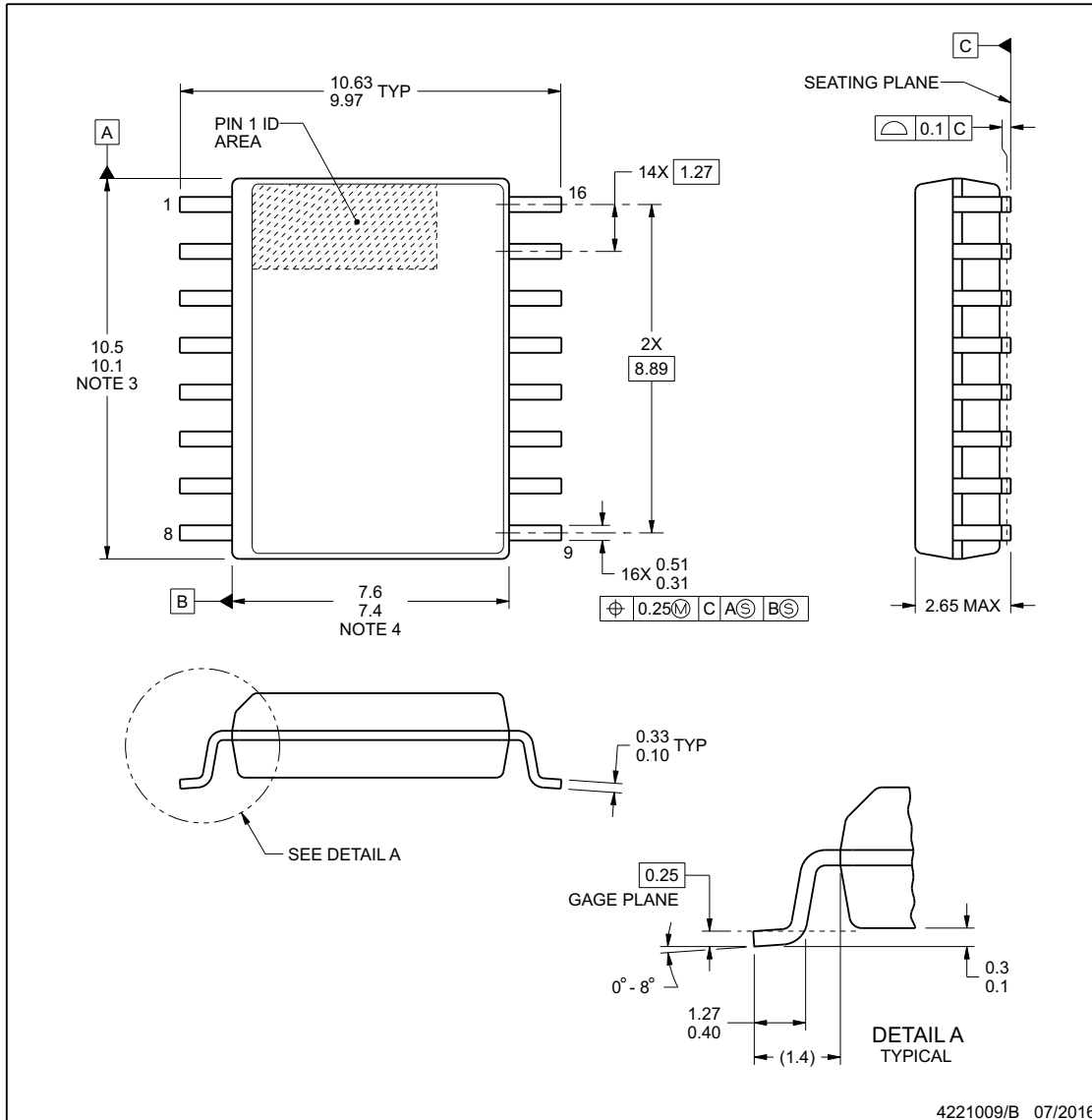
以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは、予告なしに、またドキュメントの改訂なしに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。



DW0016B

PACKAGE OUTLINE
SOIC - 2.65 mm max height

SOIC



4221009/B 07/2016

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

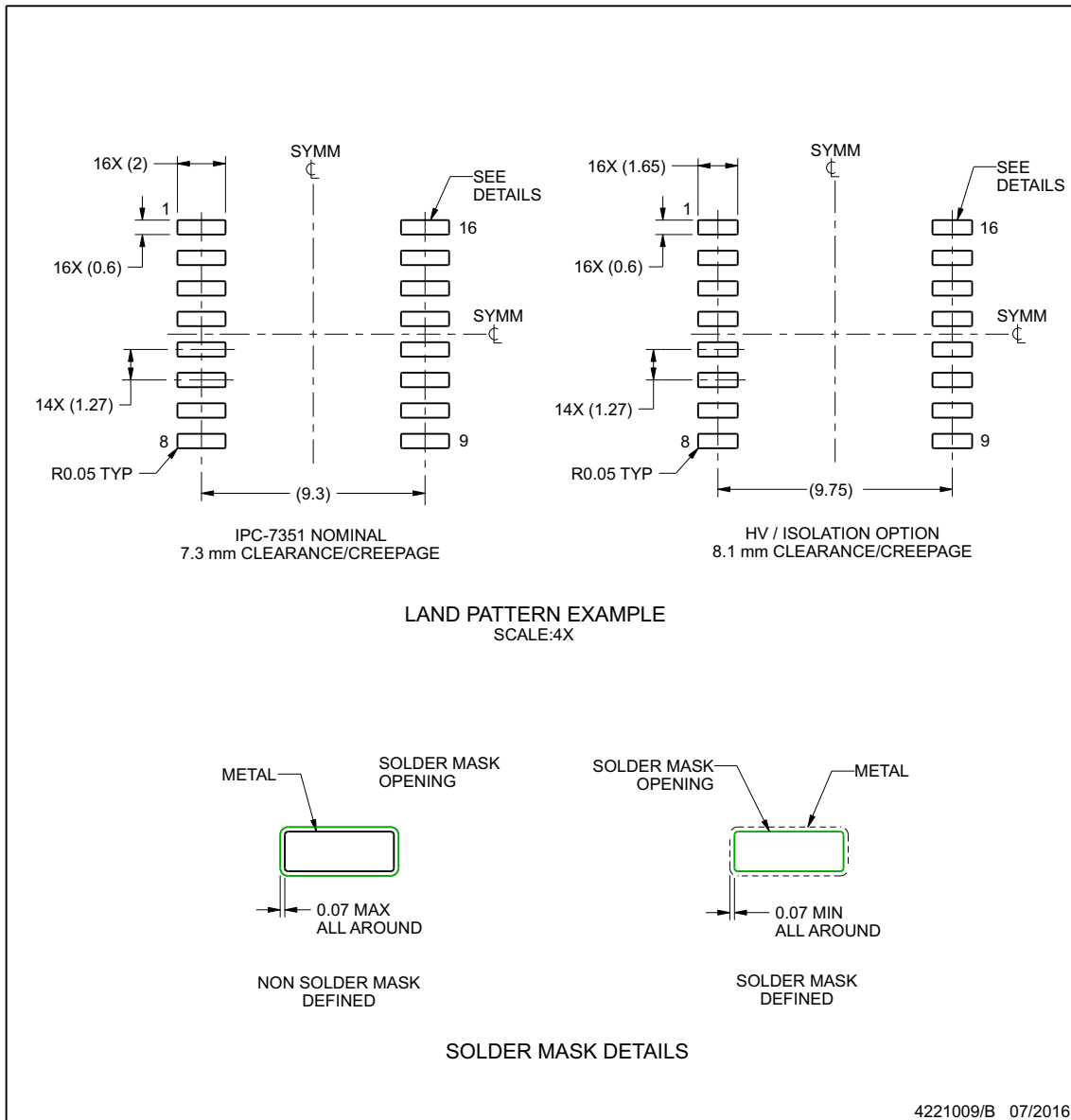
www.ti.com

EXAMPLE BOARD LAYOUT

DW0016B

SOIC - 2.65 mm max height

SOIC



NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

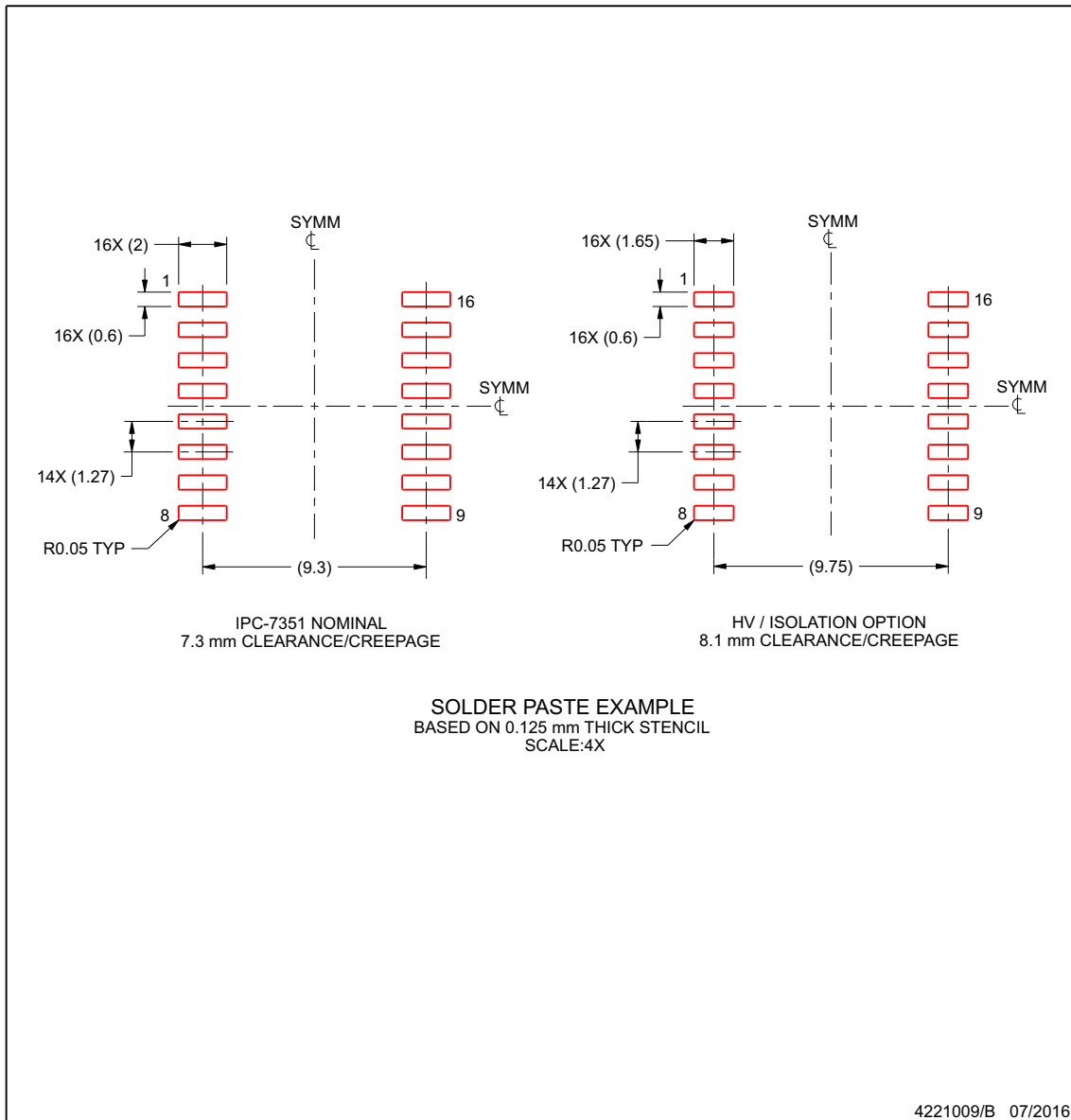
www.ti.com

EXAMPLE STENCIL DESIGN

DW0016B

SOIC - 2.65 mm max height

SOIC



NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

www.ti.com

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
ISO1050DUBR	ACTIVE	SOP	DUB	8	350	RoHS & Green	NIPDAU	Level-4-260C-72 HR	-55 to 105	ISO1050	Samples
ISO1050DWR	ACTIVE	SOIC	DW	16	2000	RoHS & Green	Call TI NIPDAU	Level-2-260C-1 YEAR	-55 to 105	ISO1050	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ISO1050DUBR	SOP	DUB	8	350	330.0	24.4	13.1	9.75	6.0	16.0	24.0	Q1
ISO1050DWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ISO1050DUBR	SOP	DUB	8	350	367.0	367.0	45.0
ISO1050DWR	SOIC	DW	16	2000	350.0	350.0	43.0

TUBE


*All dimensions are nominal

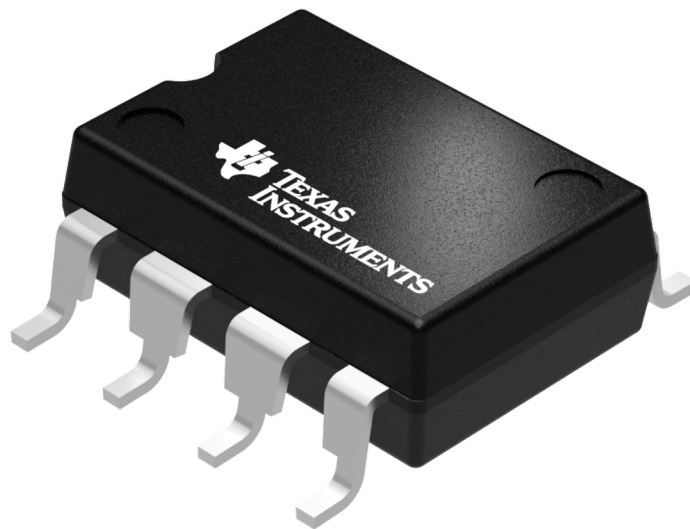
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
ISO1050DUB	DUB	SOP	8	50	532.13	13.51	7.36	6.91
ISO1050DUB	DUB	SOP	8	50	532.13	13	7300	6.6
ISO1050DW	DW	SOIC	16	40	506.98	12.7	4826	6.6

GENERIC PACKAGE VIEW

DUB 8

SOP - 4.85 mm max height

SMALL OUTLINE PACKAGE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4207614/E

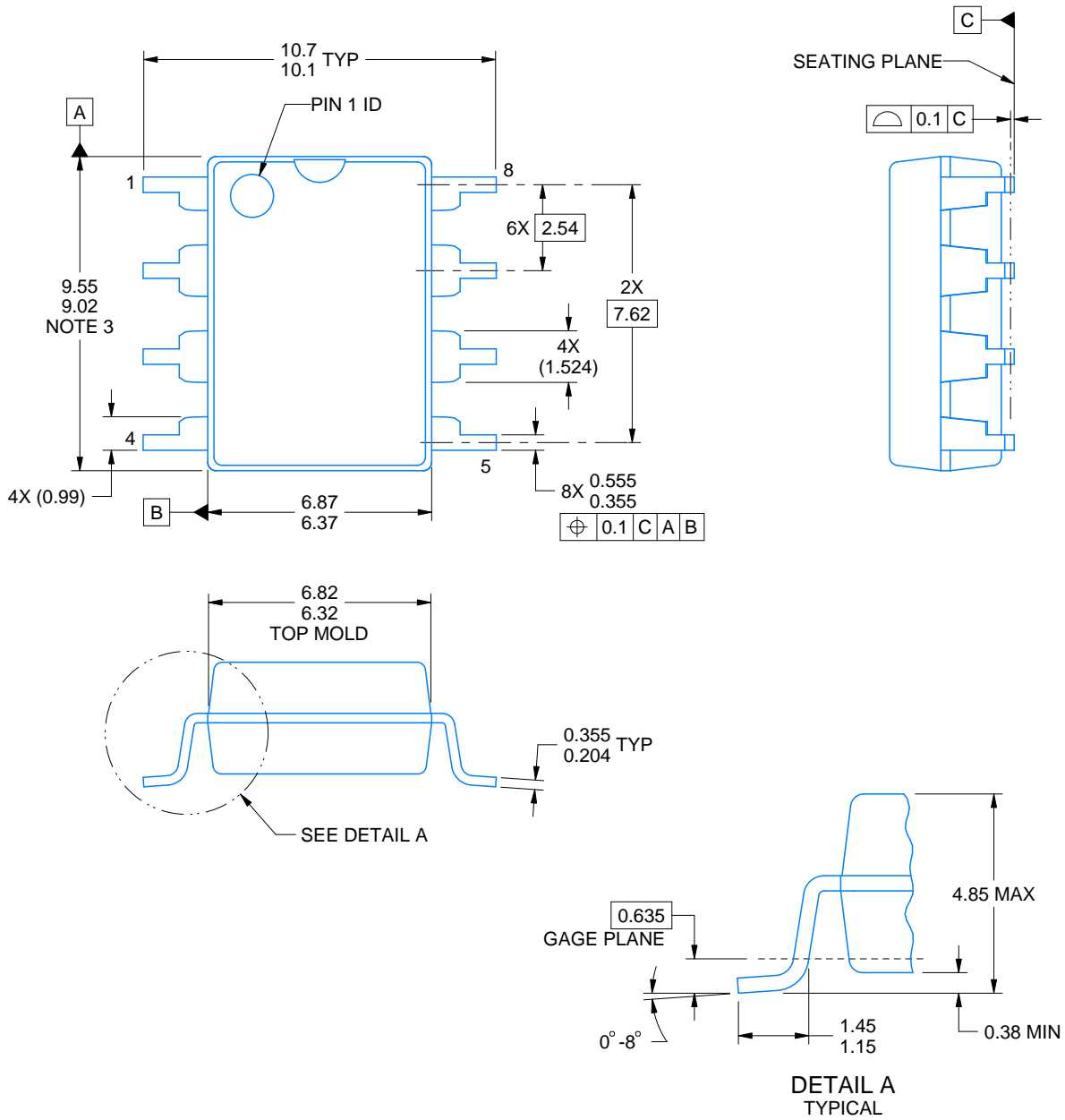
DUB0008A



PACKAGE OUTLINE

SOP - 4.85 mm max height

SMALL OUTLINE PACKAGE



4222355/G 04/2019

NOTES:

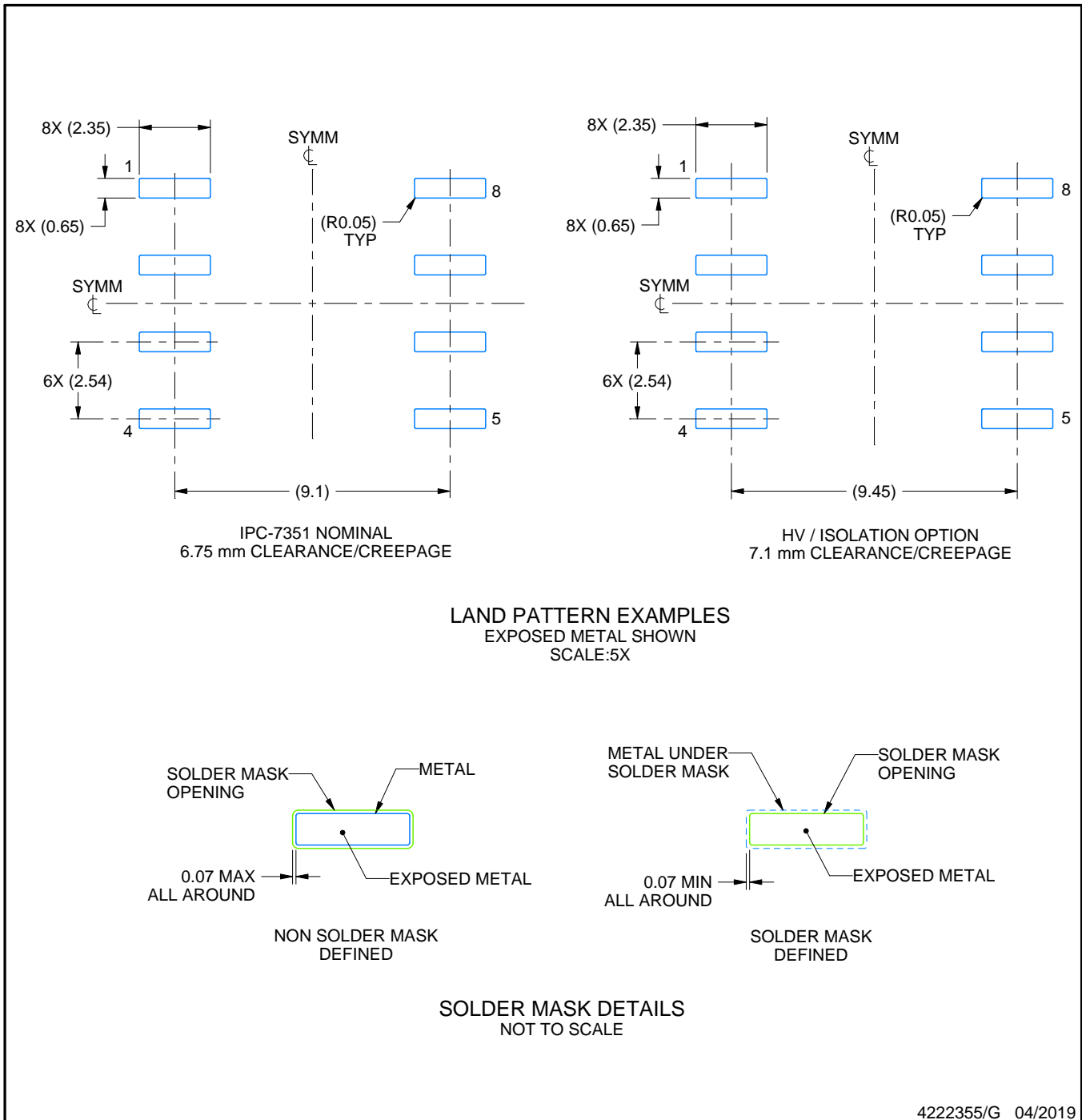
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.254 mm per side.

EXAMPLE BOARD LAYOUT

DUB0008A

SOP - 4.85 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

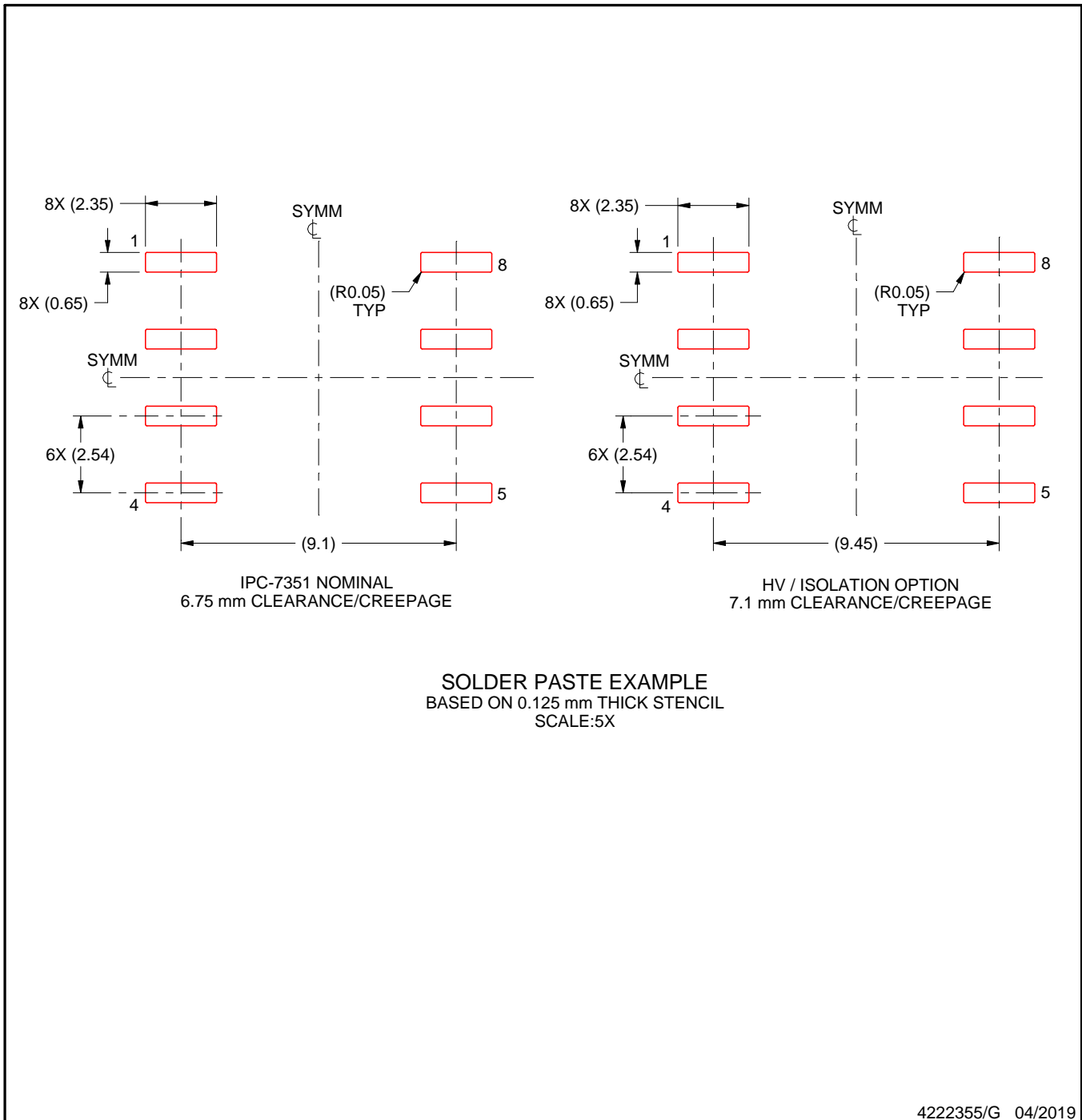
- Publication IPC-7351 may have alternate designs.
- Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DUB0008A

SOP - 4.85 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

DW 16

SOIC - 2.65 mm max height

7.5 x 10.3, 1.27 mm pitch

SMALL OUTLINE INTEGRATED CIRCUIT

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224780/A

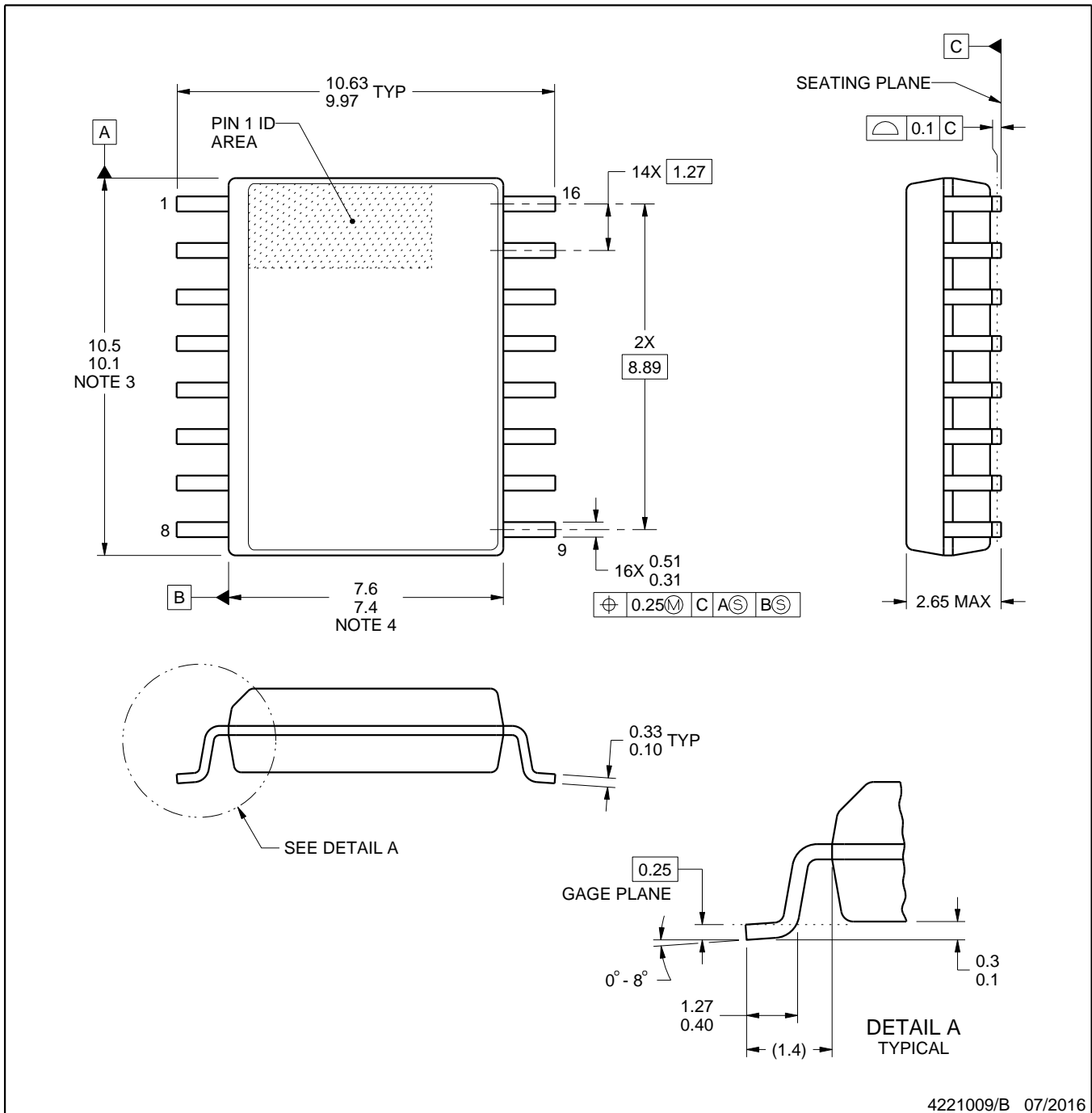


DW0016B

PACKAGE OUTLINE

SOIC - 2.65 mm max height

SOIC



4221009/B 07/2016

NOTES:

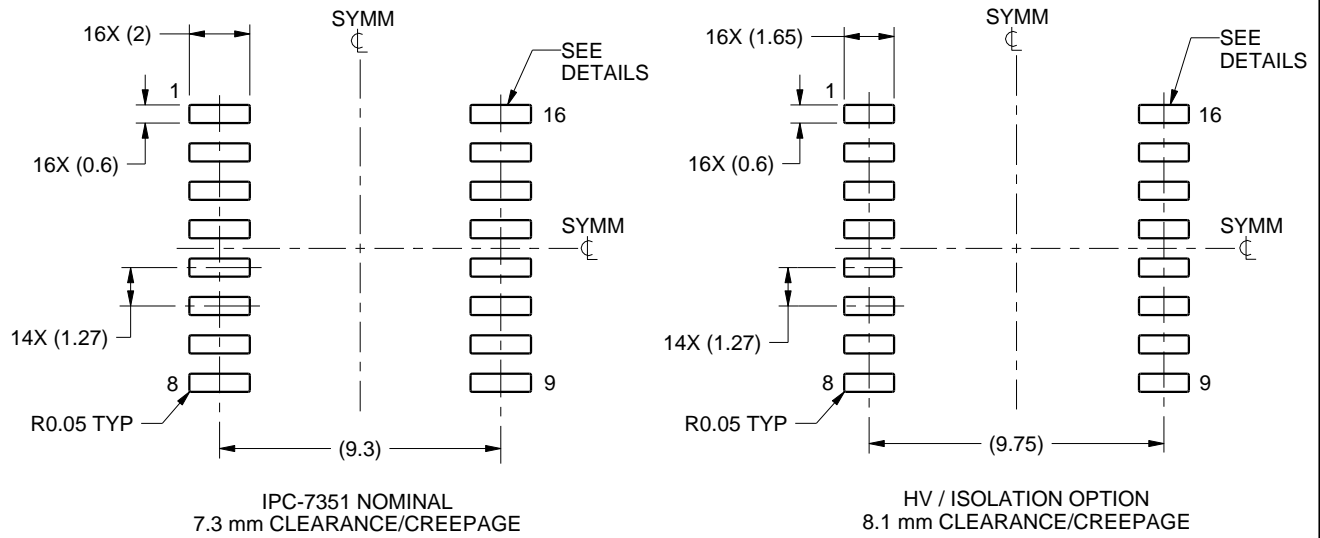
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT

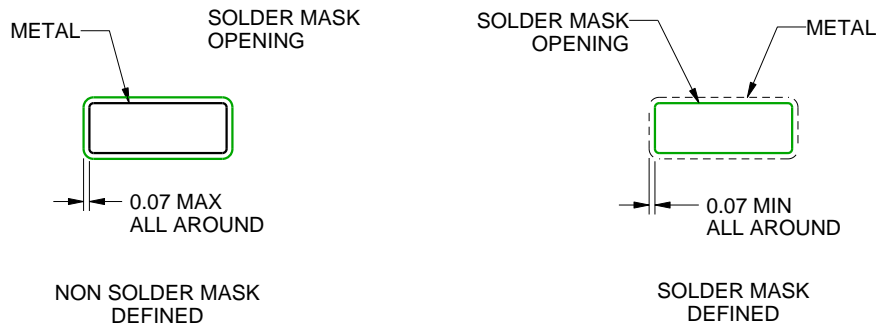
DW0016B

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:4X



SOLDER MASK DETAILS

4221009/B 07/2016

NOTES: (continued)

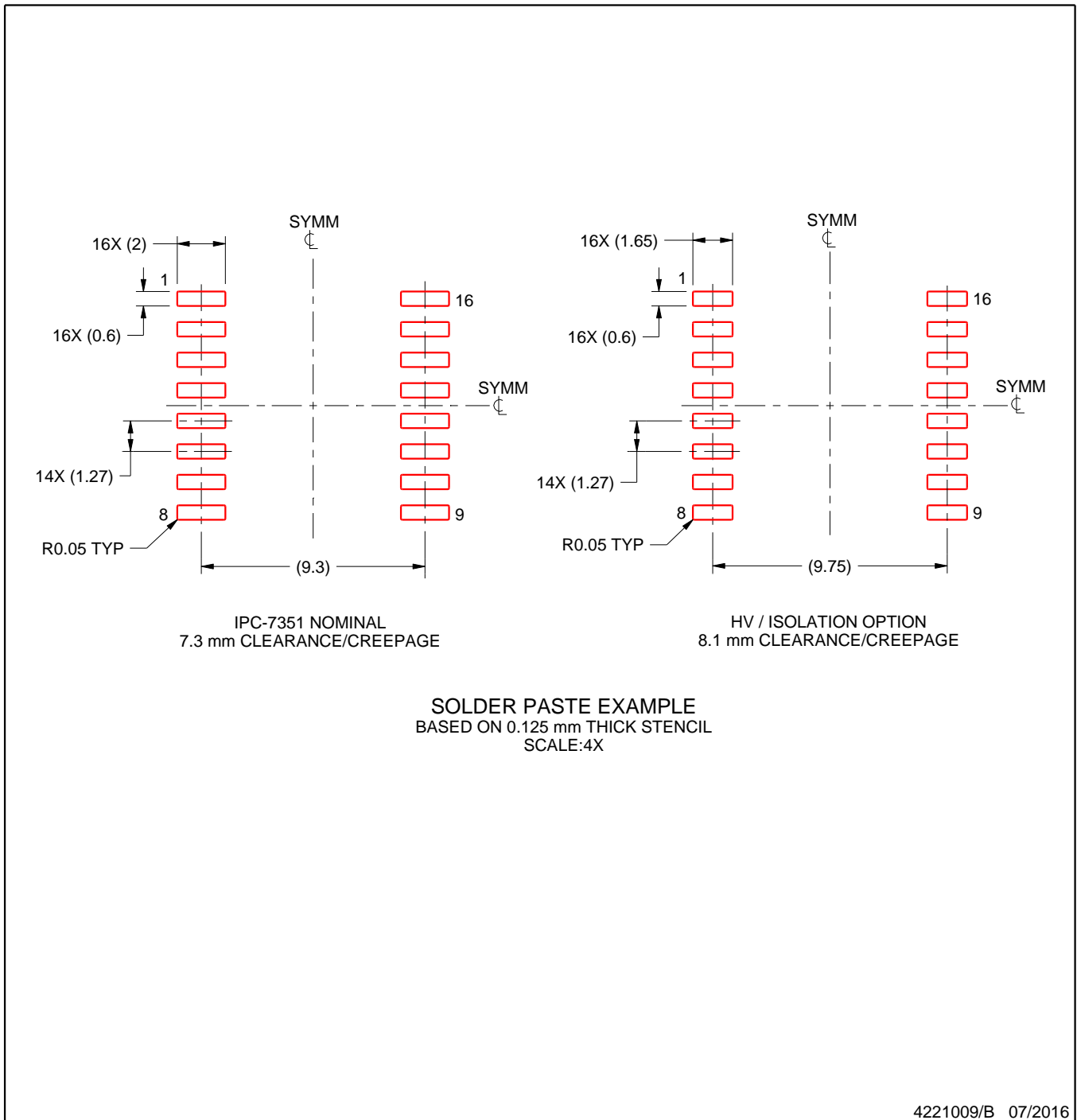
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DW0016B

SOIC - 2.65 mm max height

SOIC



NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated