



3.3V/5V高速デジタルアイソレータ

特長

- 4000 V_(peak)アイソレーション
 - UL 1577, IEC 60747-5-2 (VDE 0884, Rev. 2), IEC 61010-1およびCSA認定
 - 50 kV/μs(typ)の瞬時同相除去電圧
- 0 Mbpsから150 Mbpsの信号伝送レート
 - 低伝播遅延
 - 低パルス幅歪み
- ローパワー・スリープモード
- 高電磁耐性
- 低入力電流
- フェイルセーフ出力
- ほとんどの光および磁気アイソレータとのドロップイン置換

- DeviceNET™データバス
- SDS™ (Smart Distributed Systems)

- コンピュータ周辺インターフェイス
- サーボ制御インターフェイス
- データ アクジション

概要

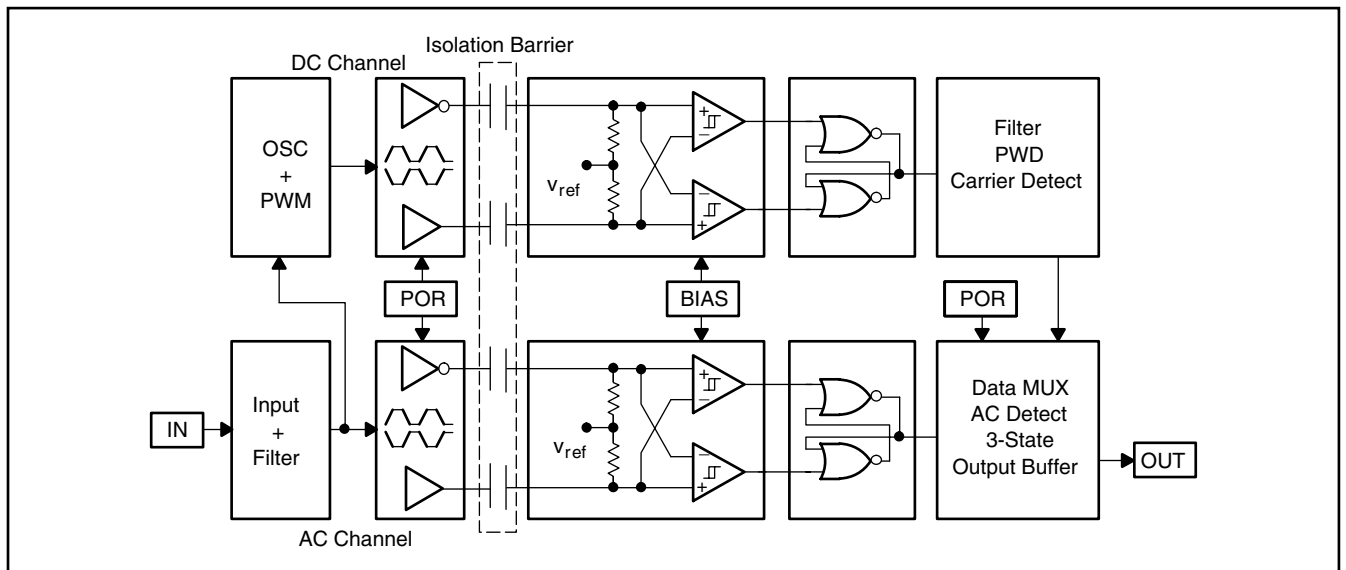
ISO721およびISO721Mは、シリコン酸化膜(SiO₂)の絶縁膜により分離されたロジック入力と出力バッファを備えるデジタルアイソレータです。この絶縁膜により最大4000Vの絶縁耐圧が得られます。これらのデバイスを絶縁型電源とともに使用すると、データバスや他回路のノイズ電流のローカルグランドへの混入、およびセンシティブな回路への干渉あるいは破壊を防止できます。

バイナリ入力信号はバランス信号に調整・変換され、次に容量性の絶縁膜により伝播されます。この信号が絶縁膜を通過すると、差動コンパレータがロジックの遷移情報を受け取り、それに応じてフリップフロップや出力回路をセットあるいはリセットします。更新パルスが絶縁膜を通して定期的に分けられ、出力

アプリケーション

- 産業用フィールドバス
 - Modbus
 - Profibus

ファンクション・ダイアグラム



この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

のDCレベルを適正にします。このDCリフレッシュ・パルスを4 μ s以上受け取られない場合、入力の電源断あるいは誤動作と判断し、フェイルセーフ回路が出力をロジックのハイ状態にします。

集積回路の誘電体およびコンデンサーに特有な対称性により高精度の容量整合性が得られ、入出力グランド間で過渡電圧が高速に変化しても出力は誤動作しません。この容量が小さいためその時定数も小さく、信号伝送レート⁽¹⁾がISO721で0Mbps(DC)から100Mbps、およびISO721Mで0Mbps(DC)から150Mbpsという高速な動作が得られます。

これらのデバイスには、3.3Vと5Vあるいはそれらの組み合わせの2電源が必要です。3.3V電源を供給する場合の入力はすべて5Vの許容電圧範囲であり、出力はすべて4mAドライブのCMOSです。

ISO721の入力しきい値はTTLレベルです。また、入力にノイズフィルタがあり、最大2ns幅までのパルスがデバイス出力に通過するのを防止します。

ISO721Mの入力しきい値は $V_{CC}/2$ のCMOSレベルです。また、入力にノイズフィルタがなく、そのため余分な伝播遅延がありません。ISO721Mはこれらの特長によりジッタ動作も低減します。

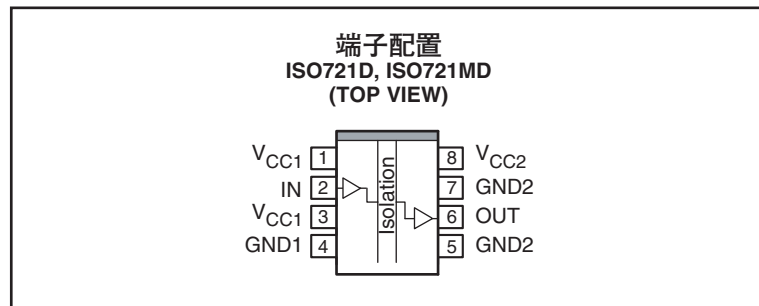
ISO721およびISO721Mは、-40°Cから125°Cの周囲温度範囲で動作が規定されています。

- (1) ラインの信号伝送レートは1秒当たりの電圧遷移の数であり、bps (bit per second) の単位で表します。



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。



注文情報

PRODUCT	INPUT THRESHOLDS	NOISE FILTER	PACKAGE ⁽¹⁾	PACKAGE DESIGNATOR	MARKED AS	ORDERING NUMBER	GREEN
ISO721	TTL	YES	SOIC-8	D	ISO721	ISO721D (rail)	Pb Free Sb/Br Free
						ISO721DR (reel)	
ISO721M	CMOS	NO	SOIC-8	D	IS721M	ISO721MD (rail)	
						ISO721MDR (reel)	

(1) 現行パッケージとオーダー情報については、本文書の最後にあるパッケージ情報あるいはTIウェブサイトのwww.ti.comを参照願います。

規格資料

VDE	CSA	UL
Certified according to IEC 60747-5-2	Approved under CSA Component Acceptance Notice	Recognized under 1577 Component Recognition Program ⁽¹⁾
File Number: 40014131	File Number: 1698195	File Number: 181974

(1) UL1577に準拠して、製造時に3000V_{RMS}を1秒間印加する試験を行います。

絶対最大定格^{(1),(2)}

				UNIT
V _{CC}	Supply voltage, V _{CC1} , V _{CC2}			-0.5 V to 6 V
V _I	Voltage at IN or OUT terminal			-0.5 V to 6 V
I _O	Output Current			±15 mA
ESD	Electrostatic discharge	Human Body Model	JEDEC Standard 22, Test Method A114-C.01	±2 kV
		Charged Device Model	JEDEC Standard 22, Test Method C101	±1 kV
T _J	Maximum junction temperature			170°C

(1) 絶対最大定格以上のストレスは、製品に恒久的・致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作を意味するものではありません。絶対最大定格の状態に長時間置くことは、本製品の信頼性に影響を与えることがあります。

(2) 本アイソレータは安全限界データ内における基礎絶縁アプリケーションに適しています。安全限界データの範囲は保護回路を使用して確保します。

推奨動作条件

				MIN	TYP	MAX	UNIT
V _{CC}	Supply voltage, V _{CC1} , V _{CC2}			4.5		5.5	V
				3		3.6	
I _{OH}	Output current					4	mA
I _{OL}						-4	
t _{ui}	Input pulse width		ISO721	10			ns
			ISO721M	6.67			
V _{IH}	High-level input voltage (IN)		ISO721	2		V _{CC}	V
V _{IL}	Low-level input voltage (IN)			0		0.8	
V _{IH}	High-level input voltage (IN)		IOS721M	0.7 V _{CC}		V _{CC}	V
V _{IL}	Low-level input voltage (IN)			0		0.3 V _{CC}	
T _J	Junction temperature		See the Thermal Characteristics table			150	°C
H	External magnetic field intensity per IEC 61000-4-8 and IEC 61000-4-9 certification					1000	A/m

IEC 60747-5-2 絶縁特性⁽¹⁾

特記なき限り推奨動作条件範囲

PARAMETER	TEST CONDITIONS	SPECIFICATIONS	UNIT	
V _{IORM}	Maximum working insulation voltage	560	V	
V _{PR}	Input to output test voltage	After Input/Output Safety Test Subgroup 2/3 V _{PR} = V _{IORM} × 1.2, t = 10 s, Partial discharge < 5 pC	672	V
		Method a, V _{PR} = V _{IORM} × 1.6, Type and sample test with t = 10 s, Partial discharge < 5 pC	896	V
		Method b1, V _{PR} = V _{IORM} × 1.875, 100 % Production test with t = 1 s, Partial discharge < 5 pC	1050	V
V _{IOTM}	Transient overvoltage	t = 60 s	4000	V
R _S	Insulation resistance	V _{IO} = 500 V at T _S	>10 ⁹	Ω
	Pollution degree		2	

(1) 気象等級 40/125/21

電気的特性：V_{CC1} = 5V, V_{CC2} = 5V動作

特記なき限り推奨動作条件範囲

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
I _{CC1}	V _{CC1} supply current	Quiescent	V _I = V _{CC} or 0 V, No load	0.5	1	mA
		25 Mbps		2	3.5	
I _{CC2}	V _{CC2} supply current	Quiescent	V _I = V _{CC} or 0 V, No load	8	12	mA
		25 Mbps		10	14	
V _{OH}	High-level output voltage	I _{OH} = -4 mA, See Figure 1	V _{CC} - 0.8	4.6		V
		I _{OH} = -20 μA, See Figure 1	V _{CC} - 0.1	5		
V _{OL}	Low-level output voltage	I _{OL} = 4 mA, See Figure 1		0.2	0.4	V
		I _{OL} = 20 μA, See Figure 1		0	0.1	
V _{I(HYS)}	Input voltage hysteresis			150		mV
I _{IH}	High-level input current	IN at 2 V			10	μA
I _{IL}	Low-level input current	IN at 0.8 V	-10			
C _I	Input capacitance to ground	V _I = 0.4 sin(4E6πt) + 0.5 V		1		pF
CMTI	Common-mode transient immunity	V _I = V _{CC} or 0 V, See Figure 3	25	50		kV/μs

スイッチング特性：V_{CC1} = 5V, V_{CC2} = 5V動作

特記なき限り推奨動作条件範囲

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
t _{PLH}	Propagation delay, low-to-high-level output	See Figure 1	13	17	24	ns
t _{PHL}	Propagation delay, high-to-low-level output		13	17	24	
t _{sk(p)}	Pulse skew t _{PHL} - t _{PLH}		0.5	2		
t _{PLH}	Propagation delay, low-to-high-level output	See Figure 1	8	10	16	ns
t _{PHL}	Propagation delay, high-to-low-level output		8	10	16	
t _{sk(p)}	Pulse skew t _{PHL} - t _{PLH}		0.5	1		
t _{sk(pp)} ⁽¹⁾	Part-to-part skew		0	3		ns
t _r	Output signal rise time	See Figure 1		1		ns
t _f	Output signal fall time			1		
t _{fs}	Failsafe output delay time from input power loss	See Figure 2		3		μs
t _{jitter(PP)}	Peak-to-peak eye-pattern jitter	ISO721	100 Mbps NRZ data input See Figure 4	2		ns
			100 Mbps unrestricted bit run length data input See Figure 4	3		
		ISO721M	150 Mbps NRZ data input See Figure 4	1		
			150 Mbps unrestricted bit run length data input See Figure 4	2		

(1) t_{sk(pp)}は2デバイスの規定した端子間における伝播遅延時間差の大きさです。このとき、2デバイスは等しい電源電圧、等しい温度下、および同じパッケージと試験回路で動作しています。

電気的特性：V_{CC1} = 5V, V_{CC2} = 3.3V動作

特記なき限り推奨動作条件範囲

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
I _{CC1}	V _{CC1} supply current	Quiescent	V _I = V _{CC} or 0 V, No load	0.5	1	mA
		25 Mbps		2	3.5	
I _{CC2}	V _{CC2} supply current	Quiescent	V _I = V _{CC} or 0 V, No load	4	6.5	mA
		25 Mbps		5	7.5	
V _{OH}	High-level output voltage	I _{OH} = -4 mA, See Figure 1	V _{CC} - 0.4	3	V	
		I _{OH} = -20 μA, See Figure 1	V _{CC} - 0.1	3.3		
V _{OL}	Low-level output voltage	I _{OL} = 4 mA, See Figure 1	0.2	0.4	V	
		I _{OL} = 20 μA, See Figure 1	0	0.1		
V _{I(HYS)}	Input voltage hysteresis		150		mV	
I _{IH}	High-level input current	IN at 2 V			10	μA
I _{IL}	Low-level input current	IN at 0.8 V	-10			
C _I	Input capacitance to ground	V _I = 0.4 sin(4E6πt) + 0.5 V		1		pF
CMTI	Common-mode transient immunity	V _I = V _{CC} or 0 V, See Figure 3	25	40		kV/μs

スイッチング特性：V_{CC1} = 5V, V_{CC2} = 3.3V動作

特記なき限り推奨動作条件範囲

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
t _{PLH}	Propagation delay, low-to-high-level output	See Figure 1	15	19	30	ns
t _{PHL}	Propagation delay, high-to-low-level output		15	19	30	
t _{sk(p)}	Pulse skew t _{PHL} - t _{PLH}		0.5	3		
t _{PLH}	Propagation delay, low-to-high-level output	See Figure 1	10	12	20	ns
t _{PHL}	Propagation delay, high-to-low-level output		10	12	20	
t _{sk(p)}	Pulse skew t _{PHL} - t _{PLH}		0.5	1		
t _{sk(pp)} ⁽¹⁾	Part-to-part skew		0	5		ns
t _r	Output signal rise time	See Figure 1		2		ns
t _f	Output signal fall time			2		
t _{fs}	Failsafe output delay time from input power loss	See Figure 2		3		μs
t _{jit(pp)}	Peak-to-peak eye-pattern jitter	ISO721	100 Mbps NRZ data input See Figure 4	2		ns
			100 Mbps unrestricted bit run length data input See Figure 4	3		
		ISO721M	150 Mbps NRZ data input See Figure 4	1		
			150 Mbps unrestricted bit run length data input See Figure 4	2		

(1) t_{sk(pp)}は2デバイスの規定した端子間における伝播遅延時間差の大きさです。このとき、2デバイスは等しい電源電圧、等しい温度下、および同じパッケージと試験回路で動作しています。

電気的特性：V_{CC1} = 3.3V, V_{CC2} = 5V動作

特記なき限り推奨動作条件範囲

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
I _{CC1}	V _{CC1} supply current	Quiescent	V _I = V _{CC} or 0 V, No load	0.3	0.5	mA
		25 Mbps		1	1.5	
I _{CC2}	V _{CC2} supply current	Quiescent	V _I = V _{CC} or 0 V, No load	8	12	mA
		25 Mbps		10	14	
V _{OH}	High-level output voltage	I _{OH} = -4 mA, See Figure 1	V _{CC} - 0.8	4.6	V	
		I _{OH} = -20 μA, See Figure 1	V _{CC} - 0.1	5		
V _{OL}	Low-level output voltage	I _{OL} = 4 mA, See Figure 1		0.2	0.4	V
		I _{OL} = 20 μA, See Figure 1		0	0.1	
V _{I(HYS)}	Input voltage hysteresis			150		mV
I _{IH}	High-level input current	IN at 2 V			10	μA
I _{IL}	Low-level input current	IN at 0.8 V	-10			
C _I	Input capacitance to ground	V _I = 0.4 sin(4E6πt) + 0.5 V		1		pF
CMTI	Common-mode transient immunity	V _I = V _{CC} or 0 V, See Figure 3	25	40		kV/μs

スイッチング特性：V_{CC1} = 3.3V, V_{CC2} = 5V動作

特記なき限り推奨動作条件範囲

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT	
t _{PLH}	Propagation delay, low-to-high-level output	See Figure 1	15	17	30	ns	
t _{PHL}	Propagation delay, high-to-low-level output		15	17	30		
t _{sk(p)}	Pulse skew t _{PHL} - t _{PLH}			0.5	2		
t _{PLH}	Propagation delay, low-to-high-level output		ISO721M	10	12	21	ns
t _{PHL}	Propagation delay, high-to-low-level output		10	12	21		
t _{sk(p)}	Pulse skew t _{PHL} - t _{PLH}			0.5	1		
t _{sk(pp)} ⁽¹⁾	Part-to-part skew			0	5	ns	
t _r	Output signal rise time	See Figure 1		1		ns	
t _f	Output signal fall time			1			
t _{fs}	Failsafe output delay time from input power loss	See Figure 2		3		μs	
t _{jit(pp)}	Peak-to-peak eye-pattern jitter	ISO721	100 Mbps NRZ data input See Figure 4		2	ns	
			100 Mbps unrestricted bit run length data input See Figure 4		3		
		ISO721M	150 Mbps NRZ data input See Figure 4		1		
			150 Mbps unrestricted bit run length data input See Figure 4		2		

(1) t_{sk(pp)}は2デバイスの規定した端子間における伝播遅延時間差の大きさです。このとき、2デバイスは等しい電源電圧、等しい温度下、および同じパッケージと試験回路で動作しています。

電気的特性：V_{CC1} = 3.3V, V_{CC2} = 3.3V動作

特記なき限り推奨動作条件範囲

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
I _{CC1}	V _{CC1} supply current	Quiescent	V _I = V _{CC} or 0 V, No load	0.3	0.5	mA
		25 Mbps		1	1.5	
I _{CC2}	V _{CC2} supply current	Quiescent	V _I = V _{CC} or 0 V, No load	4	6.5	mA
		25 Mbps		5	7.5	
V _{OH}	High-level output voltage	I _{OH} = -4 mA, See Figure 1	V _{CC} - 0.4	3	V	
		I _{OH} = -20 μA, See Figure 1	V _{CC} - 0.1	3.3		
V _{OL}	Low-level output voltage	I _{OL} = 4 mA, See Figure 1	0.2	0.4	V	
		I _{OL} = 20 μA, See Figure 1	0	0.1		
V _{I(HYS)}	Input voltage hysteresis		150		mV	
I _{IH}	High-level input current	IN at 2 V			10	μA
I _{IL}	Low-level input current	IN at 0.8 V	-10			
C _I	Input capacitance to ground	V _I = 0.4 sin(4E6πt) + 0.5 V		1		pF
CMTI	Common-mode transient immunity	V _I = V _{CC} or 0 V, See Figure 3	25	40		kV/μs

スイッチング特性：V_{CC1} = 3.3V, V_{CC2} = 3.3V動作

特記なき限り推奨動作条件範囲

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
t _{PLH}	Propagation delay, low-to-high-level output	ISO721 See Figure 1	17	20	34	ns
t _{PHL}	Propagation delay, high-to-low-level output		17	20	34	
t _{sk(p)}	Pulse skew t _{PHL} - t _{PLH}		0.5		3	
t _{PLH}	Propagation delay, low-to-high-level output	ISO721M See Figure 1	10	12	25	ns
t _{PHL}	Propagation delay, high-to-low-level output		10	12	25	
t _{sk(p)}	Pulse skew t _{PHL} - t _{PLH}		0.5		1	
t _{sk(pp)} ⁽¹⁾	Part-to-part skew		0		5.5	ns
t _r	Output signal rise time	See Figure 1		2		ns
t _f	Output signal fall time			2		
t _{fs}	Failsafe output delay time from input power loss	See Figure 2		3		μs
t _{jit(pp)}	Peak-to-peak eye-pattern jitter	ISO721	100 Mbps NRZ data input See Figure 4		2	ns
			100 Mbps unrestricted bit run length data input See Figure 4		3	
		ISO721M	150 Mbps NRZ data input See Figure 4		1	
			150 Mbps unrestricted bit run length data input See Figure 4		2	

(1) t_{sk(pp)}は2デバイスの規定した端子間における伝播遅延時間差の大きさです。このとき、2デバイスは等しい電源電圧、等しい温度下、および同じパッケージと試験回路で動作しています。

パラメータ測定情報

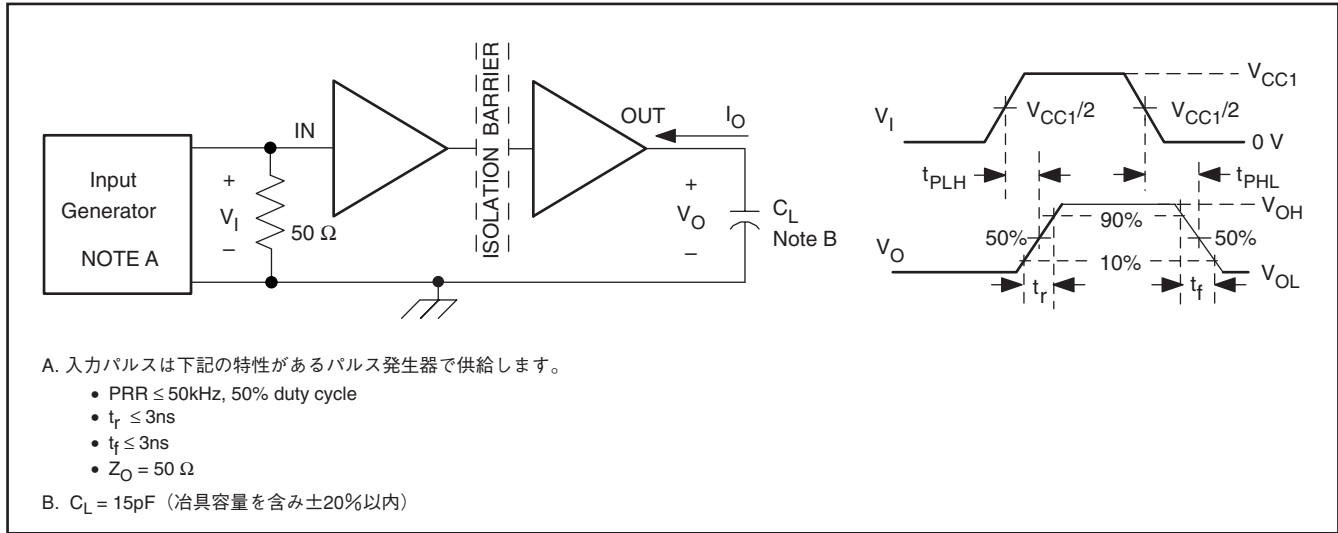


図 1. スイッチング特性試験回路およびその電圧波形

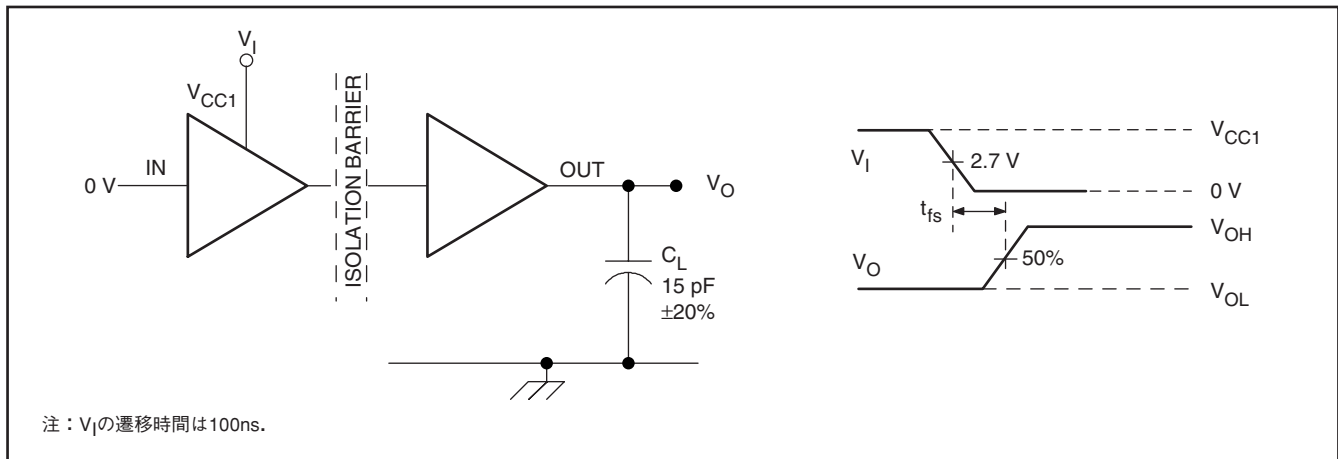


図 2. フェイルセーフ遅延時間試験回路およびその電圧波形

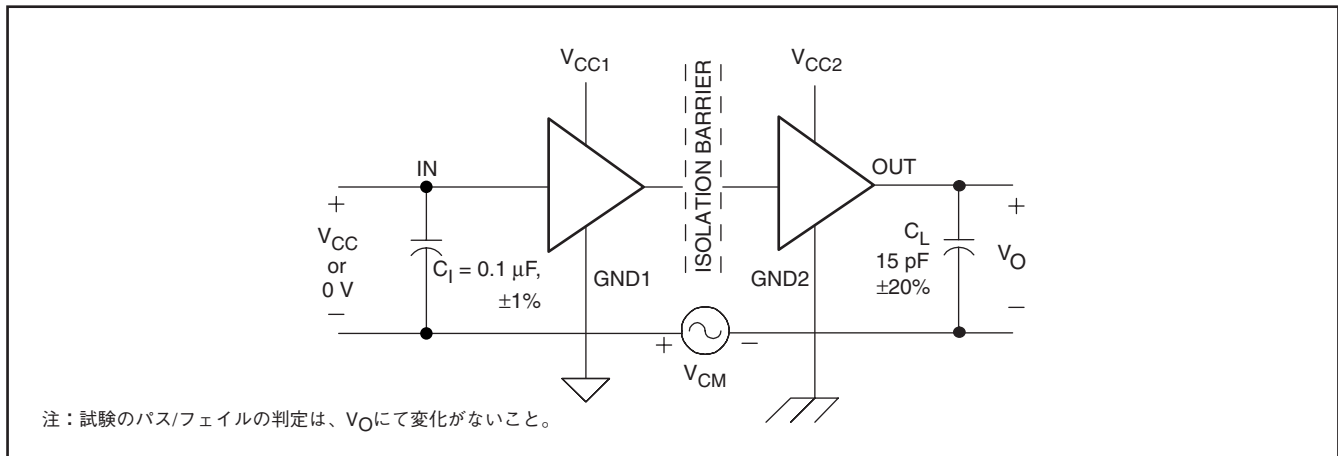


図 3. 瞬時同相除去電圧試験回路およびその電圧波形

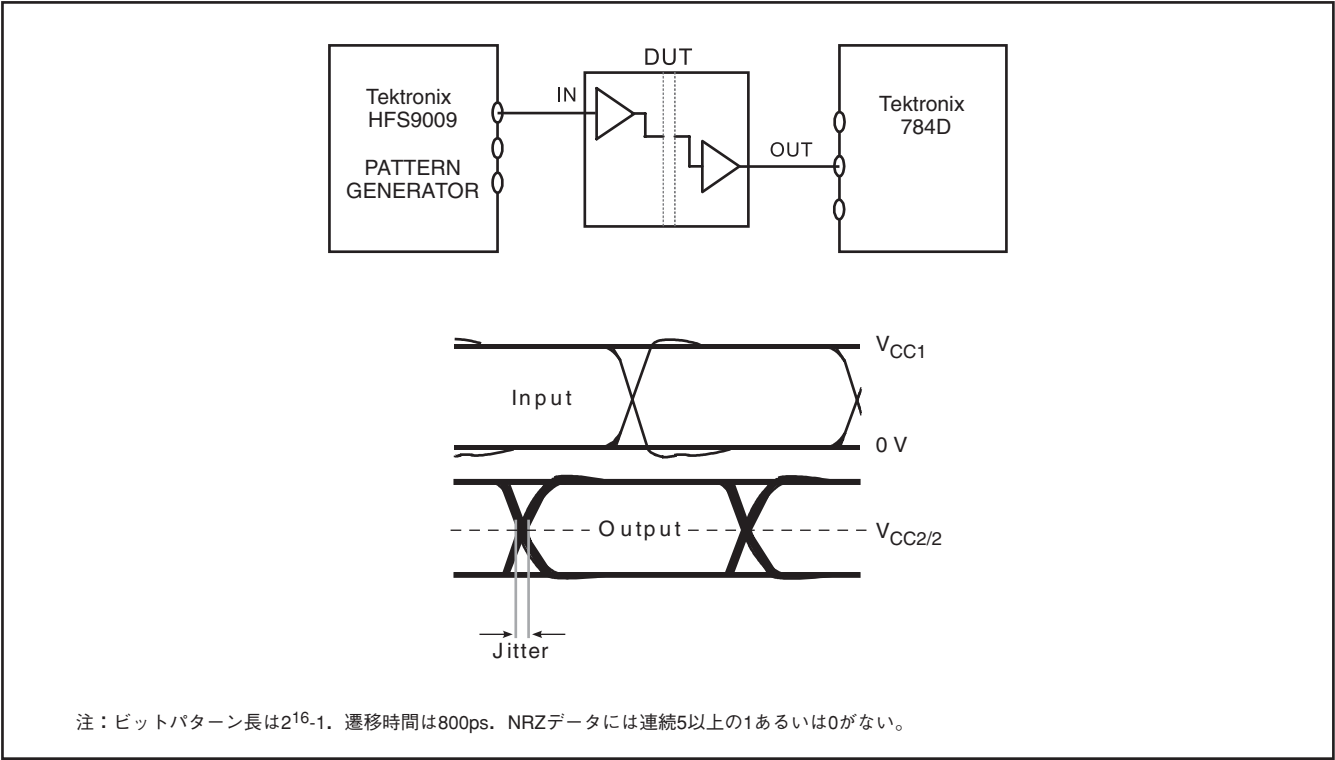


図 4. ピーク・ツー・ピークのアイパターン・ジッタ試験回路およびその電圧波形

デバイス情報

パッケージ特性

パラメータ	試験条件	MIN	TYP	MAX	UNIT
L(101) 最小エアギャップ(空間距離) ⁽¹⁾	空間経由の最小端子間距離	4.8			mm
L(102) 最小外部トラッキング(沿面距離)	パッケージ表面経由の最小端子間距離	4.3			mm
C _{TI} トラッキング抵抗(比較トラッキング指数)	DIN IEC 60112/VDE 0303 Part 1	≥ 175			V
	最小内部ギャップ(内部空間距離)	0.008			mm
R _{IO} 絶縁抵抗	入出力間、V _{IO} = 500V、絶縁膜の両側の全ピンをそれぞれ相互に接続し、2端子デバイスにする。		>10 ¹²		Ω
C _{IO} 絶縁膜容量、 入出力間	V _I = 0.4 sin(4E6πt)		1		pF
C _I 対グランド入力容量	V _I = 0.4 sin(4E6πt)		1		pF

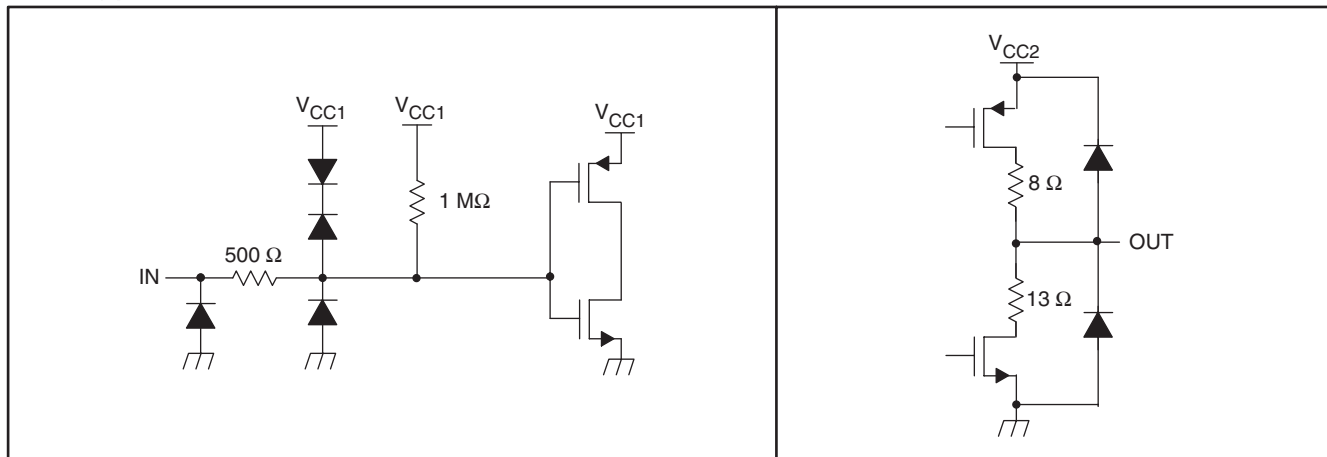
(1) 絶縁距離および沿面距離条件は、アプリケーションにおける装置絶縁規格にしたがって適用されます。基板設計では沿面および空間距離を保つよう注意し、プリント回路基板上のアイソレータのマウントパッドにより、これらの距離が低減されないようにします。プリント回路基板の空間距離と沿面距離は、「絶縁に関する用語」に示す測定法によると等しくなります。プリント回路基板に溝やリブを挿入するような手法を使用すると、これらの距離の仕様を増加できます。

IEC 60664-1 定格表

パラメータ	試験条件	SPECIFICATION
基礎絶縁グループ	材料グループ	IIIa
設置区分	主電源の定格実効電圧 ≤ 150 VRMS	I-IV
	主電源の定格実効電圧 ≤ 300 VRMS	I-III

デバイスI/O図

入出力等価回路図



IEC安全限界値

安全限界の目的は、入力あるいは出力回路の故障によるアイソレータ絶縁膜の潜在的な破壊を防止することです。このIOの故障により、グラウンドあるいは電源との抵抗が低くなる場合があります。さらに、電流制限がないと、チップがオーバーヒートして絶縁膜が破壊されるほどの大電力が消費され、ひいてはシステムの2次故障に到る可能性があります。

安全限界を制約するものは、絶対最大定格表にて規定される

絶対最大接合温度です。アプリケーションのハードウェアに実装されるデバイスの電力消費と接合-周囲間熱抵抗により、接合温度が決まります。熱的特性表における接合-周囲間熱抵抗は、リード表面実装パッケージ用の低効率熱伝導試験ボード JESD51-3に実装したデバイスのものであり、保守的な値です。その電力は推奨入力電圧の最大値×電流です。このとき接合温度は、周囲温度+電力×接合-周囲間熱抵抗になります。

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
I _S	入力、出力、または電源の安全電流	$\theta_{JA} = 263^{\circ}\text{C}/\text{W}$, $V_I = 5.5\text{ V}$, $T_J = 170^{\circ}\text{C}$, $T_A = 25^{\circ}\text{C}$			100	mA
		$\theta_{JA} = 263^{\circ}\text{C}/\text{W}$, $V_I = 3.6\text{ V}$, $T_J = 170^{\circ}\text{C}$, $T_A = 25^{\circ}\text{C}$			153	
T _S	最大ケース温度				150	°C

熱的特性

(特記なき限り推奨動作条件範囲)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
θ_{JA}	Junction-to-Air	Low-K Thermal Resistance ⁽¹⁾		263		°C/W
		High-K Thermal Resistance ⁽¹⁾		125		°C/W
θ_{JB}	Junction-to-Board Thermal Resistance			44		°C/W
θ_{JC}	Junction-to-Case Thermal Resistance			75		°C/W
P _D	Device Power Dissipation	ISO721 $V_{CC1} = V_{CC2} = 5.5\text{ V}$, $T_J = 150^{\circ}\text{C}$, $C_L = 15\text{ pF}$, Input a 100 Mbps 50% duty cycle square wave			159	mW
		ISO721M $V_{CC1} = V_{CC2} = 5.5\text{ V}$, $T_J = 150^{\circ}\text{C}$, $C_L = 15\text{ pF}$, Input a 150 Mbps 50% duty cycle square wave			195	

(1) リード表面実装パッケージ用の、EIA/JESD51-3の低Kおよび高Kの熱的定義（メートル法）にしたがって試験しました。

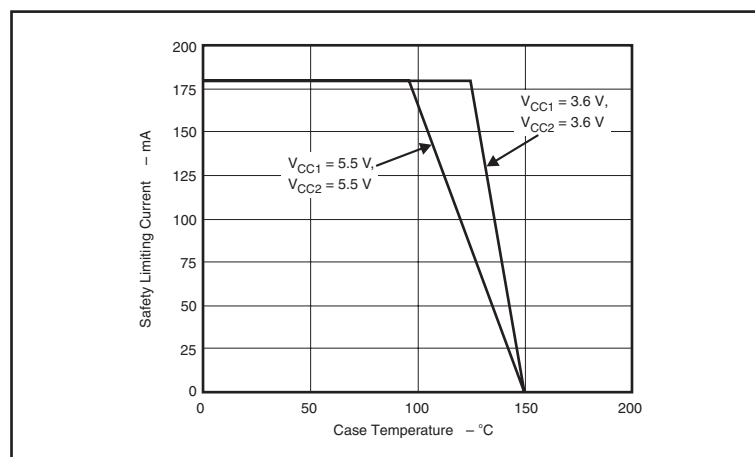


図 5. IEC 60747-5-2による θ_{JC} 熱軽減曲線

機能表

ISO721 and ISO721M ⁽¹⁾

V _{CC1}	V _{CC2}	INPUT (IN)	OUTPUT (OUT)
PU	PU	H	H
		L	L
		Open	H
PD	PU	X	H
PU	PD	X	X

(1) PU = Powered Up (V_{CC} ≥ 3V) ; PD = Powered Down (V_{CC} ≤ 2.5V) ; X = Irrelevant ; H = High Level ; L = Low Level

代表特性

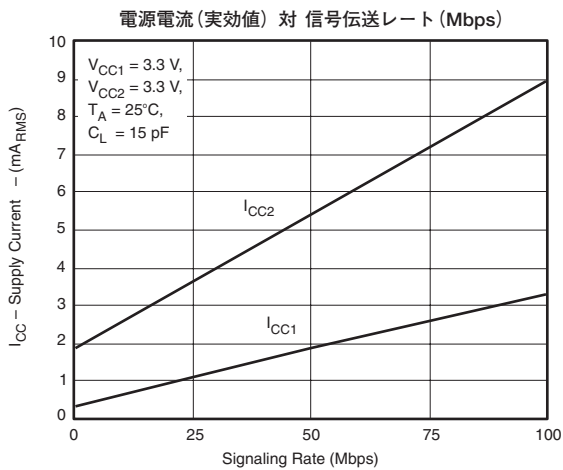


図 6

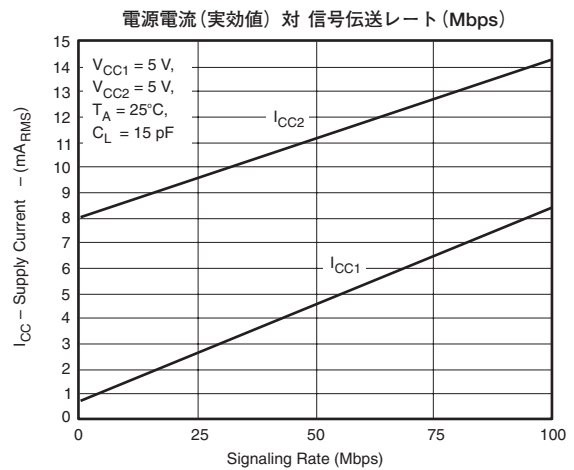


図 7

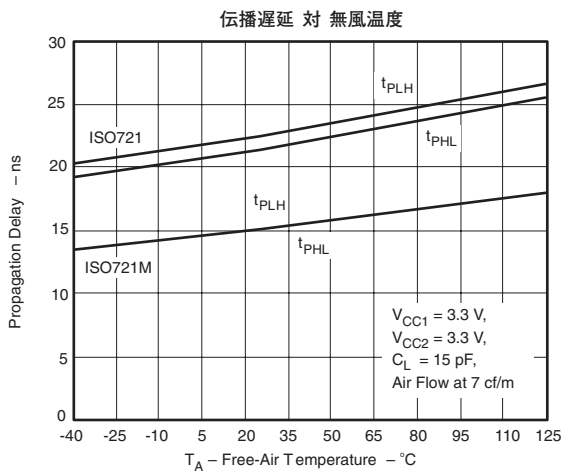


図 8

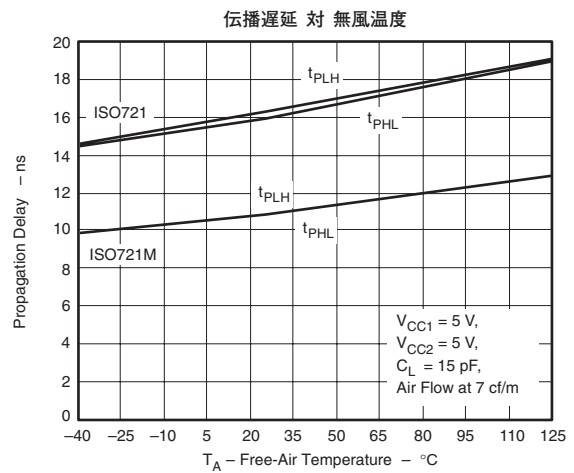


図 9

代表特性

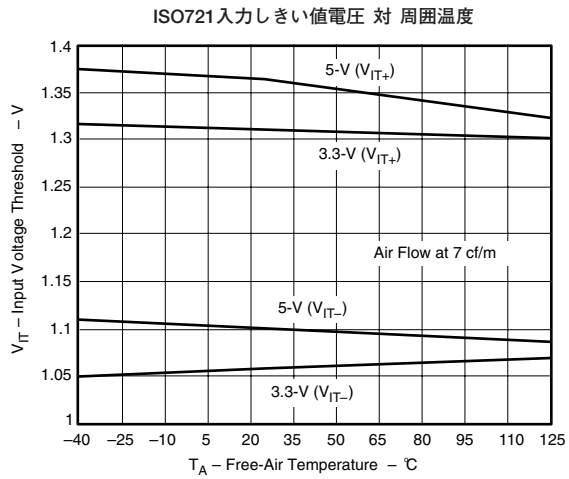


図 10

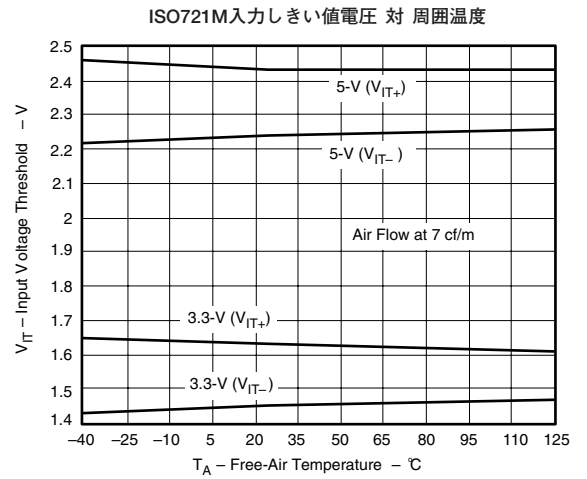


図 11

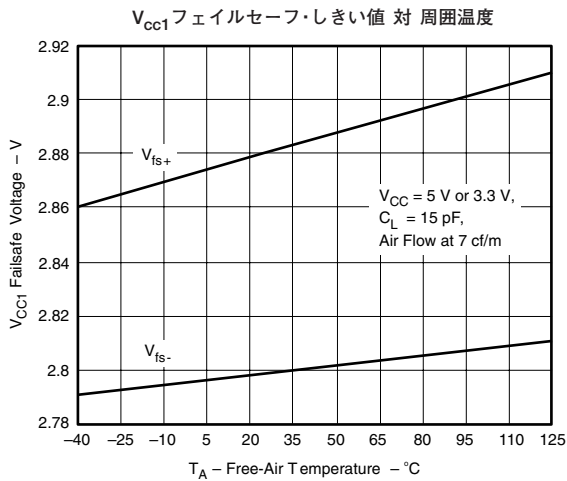


図 12

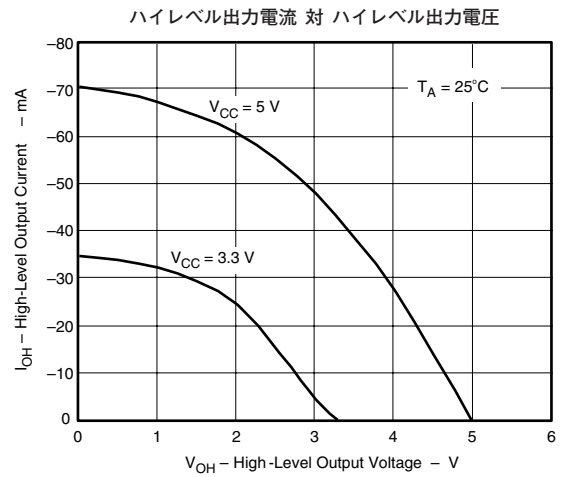


図 13

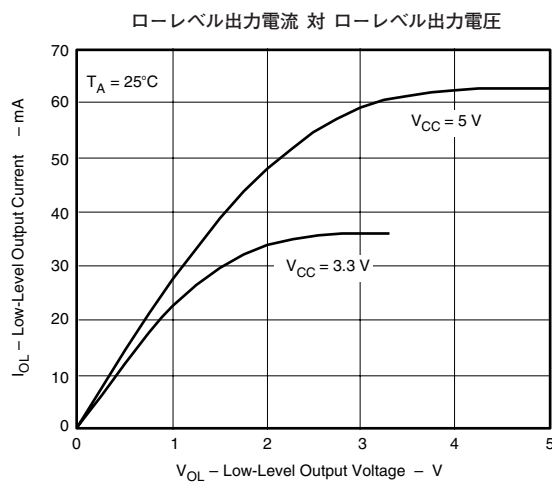


図 14

アプリケーション情報

他社製アイソレータ リファレンスデータ

アイソレータISO721およびISO721Mは、大部分の他社製品と機能および端子配置が等しく、ほとんどピン対ピンのドロップイン置換の関係にあります。各製品間における注目すべき差異は、伝播遅延、信号伝送レート、電力消費、および瞬間保護定

格です。表1は、他社のアイソレータを単チャンネル・アイソレータのISO721xファミリーに置き換えるガイドとして使用できます。

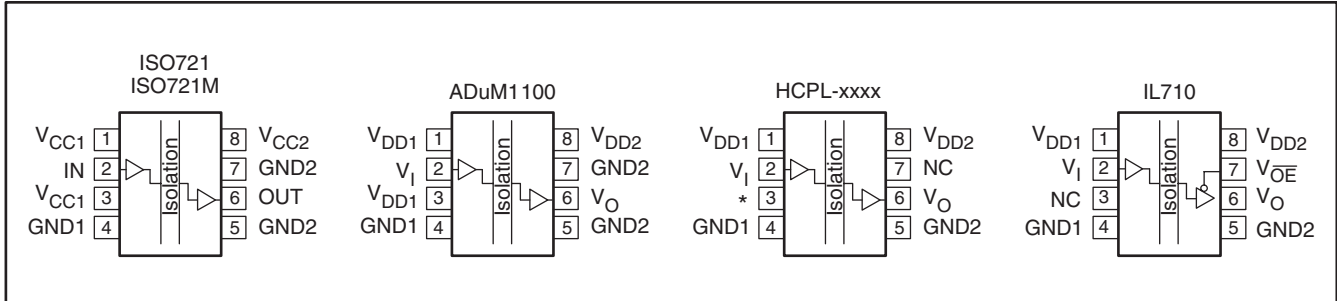


図 15. 端子の比較参照

ISOLATOR	PIN 1	PIN 2	PIN 3	PIN 4	PIN 5	PIN 6	PIN 7	PIN 8
ISO721 ⁽¹⁾⁽²⁾	V _{CC1}	IN	V _{CC1}	GND1	GND2	OUT	GND2	V _{CC2}
ADuM1100 ⁽¹⁾⁽²⁾	V _{DD1}	V _I	V _{DD1}	GND1	GND2	V _O	GND2	V _{DD2}
HCPL-xxxx	V _{DD1}	V _I	*Leave Open ⁽³⁾	GND1	GND2	V _O	NC	V _{DD2}
IL710	V _{DD1}	V _I	NC ⁽⁴⁾	GND1	GND2	V _O	V _{OE}	V _{DD2}

表 1. 比較参照

- (1) ISO721およびISO721Mの1ピンと3ピンは内部で相互に接続しています。いずれか一方あるいは両方をV_{cc1}として使用できます。
- (2) ISO721およびISO721Mの5ピンと7ピンは内部で相互に接続しています。いずれか一方あるいは両方をGND2として使用できます。
- (3) HCPLデバイスの3ピンは必ずオープンにします。ISO721あるいはISO721Mで置換する際にこの件は問題になりません。両デバイスの3ピンは2本のV_{cc1}端子の1つであり、オープンにしておくこともできるからです。
- (4) IL710の3ピンは回路基板のグラウンドに接続してはなりません。接続した場合、ISO721およびISO721MのV_{cc1}とグラウンドが短絡するためです。IL710の3ピンをV_{cc1}に接続するかオープンにした場合のみ、ISO721およびISO721Mとドロップイン置換ができます。

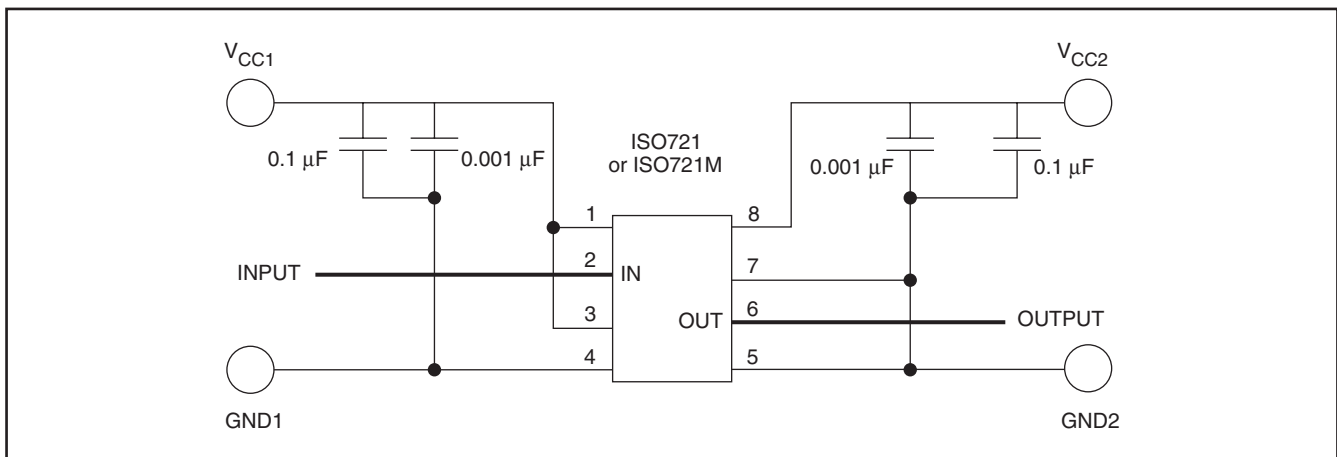
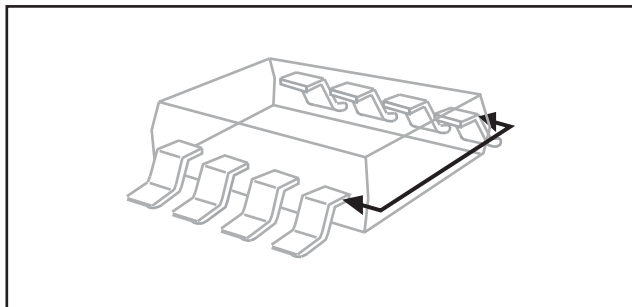


図 15. 基本アプリケーション回路

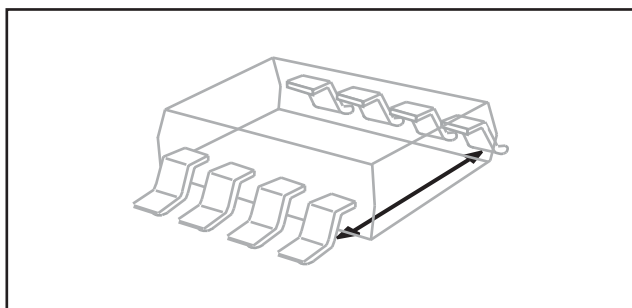
絶縁に関する用語

沿面距離：導電性の入力および出力リード間の、絶縁体の表面に沿って測定した最短経路。この経路の最短距離は、パッケージ本体の端にあります。



空間距離：導電性の入力および出力リード間の、空間を経由して測定した最短距離（視界内の直線距離）。

入出力絶縁膜容量：相互に接続したすべての入力端子および相互に接続したすべての出力端子の、両者間の全容量。



入出力絶縁膜容量：相互に接続したすべての入力端子および相互に接続したすべての出力端子の、両者間の全容量。

入出力絶縁膜抵抗：相互に接続したすべての入力端子および相互に接続したすべての出力端子の、両者間の全抵抗

1次側回路：外部の主電源またはこの回路に電力を供給するその他の相当電源に直接接続される内部回路。

2次側回路：1次側電源に直接接続されることなく、電力を別の絶縁された電源から得る回路。

比較トラッキング指数(CTI)：1CTIとは電氣的絶縁材料に用いられる指数であり、規格試験においてトラッキングにより破壊を生じたときの電圧数値と定義されます。トラッキングとは、絶縁材料の表面上あるいは表面を貫通する局所的な劣化により部分的な導電路が発生する過程です。この劣化は絶縁材料の表面上あるいはその付近における放電作用により生じます。絶縁材料のCTI値が高いほど、最小沿面距離は小さくできます。

一般に絶縁破壊は、絶縁材料を貫通するかその表面上で、あるいはその両方にて発生します。絶縁材料の表面破壊は、局所的なスパークによるフラッシュオーバーあるいは絶縁表面の進行性劣化により発生します。このようなスパークは、絶縁材料上における導電性汚染物質の表面薄膜の断絶により発生します。この薄膜の断絶により漏れ電流も断絶し、その不連続の部分にて過電圧が発生し、その結果電氣的スパークが発生します。このスパークにより絶縁材料の炭化がしばしば生じ、異なる電位のポイント間で炭素経路が形成されることがあります。この過程は「トラッキング」として知られています。

絶縁

作動絶縁：装置の適正な作動に必要な絶縁。

基礎絶縁：電気衝撃に対する基本的な保護を行う絶縁。

付加絶縁：基礎絶縁が破壊された場合に電気衝撃から確実に保護するための、基礎絶縁に加えて別個に適用される絶縁。

2重絶縁：基礎および付加絶縁の両方で構成する絶縁。

強化絶縁：電気衝撃に対して2重絶縁に相当する程度の保護を提供する単絶縁システム。

汚染度

汚染度1：汚染なし、あるいは乾燥のみの非導電性の汚染が発生する。汚染は何ら影響しない。

汚染度2：普通、非導電性のみの汚染が発生する。しかし、結露による一時的な導電を見込まなければならない。

汚染度3：導電性の汚染が発生する。あるいは、予想される結露により導電性になる非導電性の汚染が発生する。

汚染度4：導電性の塵埃、雨、その他の湿潤条件による連続した導電が発生する。

設置カテゴリ

過電圧カテゴリ：このセクションは絶縁強調のためのものであり、発生し得る瞬間過電圧を識別し、IEC 60664に示されている異なる4レベルを割り当てます。

- | | |
|------------|----------------|
| I：信号レベル | 特殊な機器や機器の一部。 |
| II：局所レベル | 携帯機器など。 |
| III：配電レベル | 固定設備。 |
| IV：1次給電レベル | 架空線路、ケーブルシステム。 |

各カテゴリは、その上位のカテゴリより低い瞬間電圧を受けます。

PACKAGING INFORMATION

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
ISO721D	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
ISO721DG4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
ISO721DR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
ISO721DRG4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
ISO721MD	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
ISO721MDG4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
ISO721MDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
ISO721MDRG4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM

⁽¹⁾ マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

⁽²⁾ エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent>でご確認ください。

TBD：Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素(Br)およびアンチモン(Sb)をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

⁽³⁾ MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

いかなる場合においても、そのような情報から生じるTIの責任は、TIによって年次ベースで顧客に販売される、このドキュメント発行時点でのTI製品の合計購入価格を超えることはありません。

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといたします)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIJといたします)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIJが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメータに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIJが第三者の製品もしくはサービスについて情報を提供することは、TIJが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIJは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメータと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIJが特別に指定した製品である場合は除きます。TIJが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIJが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIJがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIJは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0 ~ 40 °C、相対湿度: 40 ~ 85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260 °C以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。
はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上