

LM2005 8V UVLO (低電圧ロックアウト) 機能搭載、ブートストラップ・ダイオード内蔵、107V、0.5A/0.8A ハーフブリッジ・ドライバ

1 特長

- ハーフブリッジ構成の 2 つの N チャンネル MOSFET を駆動
- ブートストラップ・ダイオードを内蔵
- 8V GVDD の低電圧誤動作防止 (代表値)
- BST での電圧 (絶対最大値): 107V
- SH での負過渡電圧 (絶対最大値): -19.5V
- ソース/シンク電流 (ピーク時): 0.5A/0.8A
- 伝搬遅延時間 (代表値): 115ns

2 アプリケーション

- [ブラシレス DC \(BLDC\) モータ](#)
- 永久磁石同期モータ (PMSM)
- [コードレス掃除機](#)
- [コードレスの園芸用器具および電動工具](#)
- [電動アシスト自転車および電動スクーター](#)
- [バッテリー試験装置](#)
- [オフライン無停電電源 \(UPS\)](#)
- 汎用 MOSFET または IGBT ドライバ

3 概要

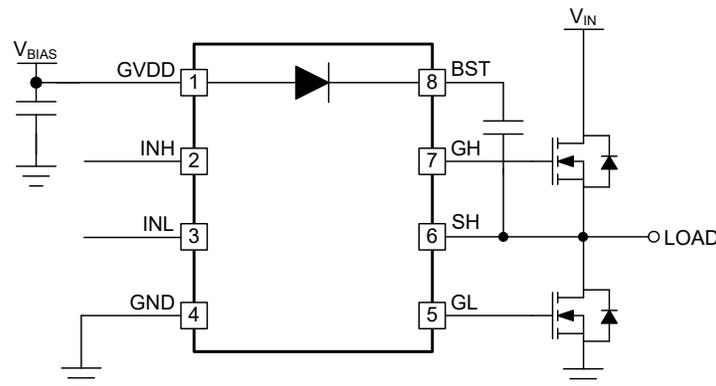
LM2005 は、同期整流式降圧型またはハーフブリッジの構成においてハイサイドとローサイド両方の N チャンネル MOSFET を駆動するよう設計された、コンパクトな高電圧ゲート・ドライバです。ブートストラップ・ダイオードを内蔵しているため、外付けのディスクリート・ダイオードが不要になり、基板面積を節約し、システム・コストを削減できます。

SH ピンでの DC -1V および -19.5V の過渡負電圧処理により、高ノイズ・アプリケーションにおけるシステムの堅牢性が向上します。熱特性強化型の小型 8 ピン WSON パッケージにより、ドライバをモータ位相に近い位置に配置できるため、PCB レイアウトが改善されます。LM2005 は、業界標準のピン配置と互換性のある 8 ピン SOIC パッケージでも供給されます。ローサイドとハイサイドの両方の電源レールに低電圧誤動作防止機能 (UVLO) が搭載されており、電源投入および電源切断時の保護を実現します。

製品情報

部品番号	パッケージ ⁽¹⁾	本体サイズ (公称)
LM2005	D (SOIC, 8)	4.90mm×3.91mm
	DSG (WSON, 8)	2.00mm×2.00mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



アプリケーション概略図



目次

1 特長.....	1	7.4 デバイスの機能モード.....	12
2 アプリケーション.....	1	8 アプリケーションと実装.....	12
3 概要.....	1	8.1 アプリケーション情報.....	12
4 改訂履歴.....	2	8.2 代表的なアプリケーション.....	13
5 ピン構成と機能.....	3	9 電源に関する推奨事項.....	17
6 仕様.....	4	10 レイアウト.....	19
6.1 絶対最大定格.....	4	10.1 レイアウトのガイドライン.....	19
6.2 ESD 定格.....	4	10.2 レイアウト例.....	20
6.3 推奨動作条件.....	4	11 デバイスおよびドキュメントのサポート.....	21
6.4 熱に関する情報.....	4	11.1 デバイスのサポート.....	21
6.5 電気的特性.....	5	11.2 ドキュメントのサポート.....	21
6.6 スイッチング特性.....	6	11.3 ドキュメントの更新通知を受け取る方法.....	21
6.7 タイミング図.....	6	11.4 サポート・リソース.....	21
6.8 代表的特性.....	7	11.5 商標.....	21
7 詳細説明.....	10	11.6 静電気放電に関する注意事項.....	21
7.1 概要.....	10	11.7 用語集.....	21
7.2 機能ブロック図.....	10	12 メカニカル、パッケージ、および注文情報.....	21
7.3 機能説明.....	10		

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (April 2023) to Revision B (September 2023)	Page
• 「事前情報」から「量産データ」に変更.....	1

Changes from Revision * (February 2023) to Revision A (April 2023)	Page
• DSG パッケージを「製品プレビュー」から「事前情報」に変更.....	1

5 ピン構成と機能

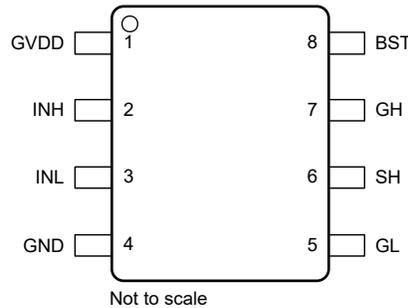


図 5-1. D パッケージ、8 ピン SOIC (上面図)

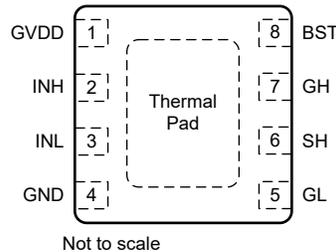


図 5-2. DSG パッケージ、8 ピン WSON (上面図)

表 5-1. ピンの機能

ピン			説明
番号 (1)	名称	種類 (2)	
1	GVDD	P	ゲート・ドライバの正の電源レール。IC にできる限り近づけて配置した低 ESR コンデンサおよび低 ESL コンデンサを使って、グラウンドに対して局所的にデカップリングします。
2	INH	I	ハイサイド制御入力。INH 入力は、TTL と CMOS の入力スレッショルドと互換性があります。未使用の INH 入力はグラウンドに接続し、オープンのままにしないでください。
3	INL	I	ローサイド制御入力。INL 入力は、TTL と CMOS の入力スレッショルドと互換性があります。未使用の INL 入力はグラウンドに接続し、オープンのままにしないでください。
4	GND	G	グラウンド。すべての信号がこのグラウンドを基準とします。
5	GL	O	ローサイド・ゲート・ドライバ出力。使用する場合は、ローサイド MOSFET のゲート、または外部ゲート抵抗の一方の端に接続します。
6	SH	P	ハイサイド・ソース接続。ブートストラップ・コンデンサの負端子、およびハイサイド MOSFET のソースに接続します。
7	GH	O	ハイサイド・ゲート・ドライバ出力。使用する場合は、ハイサイド MOSFET のゲート、または外部ゲート抵抗の一方の端に接続します。
8	BST	P	ハイサイド・ゲート・ドライバの正の電源レール。ブートストラップ・コンデンサの正端子を BST に、ブートストラップ・コンデンサの負端子を SH に接続します。ブートストラップ・コンデンサは、IC にできる限り近づけて配置します。

- (1) 8 ピン WSON パッケージの場合、テキサス・インスツルメンツでは、パッケージ底面にある露出したパッドを PCB 上のグラウンド・プレーンに半田付けし、放熱性能を向上させるためにパッケージの下からグラウンド・プレーンが広がるようにすることを推奨します。
- (2) G = グラウンド、I = 入力、O = 出力、P = 電源

6 仕様

6.1 絶対最大定格

動作時接合部温度範囲を超過。すべての電圧は GND を基準とします (特に記載のない限り)。(1)

		最小値	最大値	単位
V _{GVDD}	ローサイド電源電圧	-0.3	19.5	V
V _{BST} から V _{SH}	ハイサイド電源電圧	-0.3	19.5	V
V _{INL} , V _{INH}	INL および INH の入力電圧	-0.3	19.5	V
V _{GL}	GL の出力電圧	-0.3	GVDD + 0.3	V
V _{GH}	GH の出力電圧	V _{SH} - 0.3	V _{BST} + 0.3	V
V _{SH}	SH の電圧	DC	-1	95
		繰り返しパルス < 100ns (2)	-19.5	95
V _{BST}	BST の電圧	V _{SH}	107	V
T _J	接合部温度	-40	125	°C
T _{stg}	保存温度	保存温度	-65	150

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
- (2) 値は特性評価によって検証されたものであり、出荷時のテストは行っていません。

6.2 ESD 定格

		値	単位
V _(ESD)	静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±1000
		デバイス帯電モデル (CDM)、JEDEC 規格 JESD22-C101 準拠(2)	±250

- (1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

動作時接合部温度範囲を超過。すべての電圧は GND を基準とします (特に記載のない限り)。

		最小値	公称値	最大値	単位
V _{GVDD}	電源電圧	9	12	18	V
V _{INL} , V _{INH}	入力電圧範囲	0		V _{GVDD} + 0.3	V
V _{BST}	BST の電圧	V _{SH} + 9		105	V
V _{SH}	SH (DC) の電圧	-1		V _{BST} - V _{GVDD}	V
V _{SH}	SH の電圧 (反復パルス < 100ns) (1)	-18		V _{BST} - V _{GVDD}	V
SR _{SH}	HS の電圧スルー・レート			2	V/ns
T _J	動作時接合部温度	-40		125	°C

- (1) 値は特性評価によって検証されたものであり、出荷時のテストは行っていません。

6.4 熱に関する情報

熱評価基準 (1)		LM2005	LM2005	単位
		D (SOIC)	DSG (WSON)	
		8 ピン	8 ピン	
R _{θJA}	接合部から周囲への熱抵抗	133.2	78.2	°C/W

6.4 熱に関する情報 (続き)

熱評価基準 ⁽¹⁾		LM2005	LM2005	単位
		D (SOIC)	DSG (WSON)	
		8ピン	8ピン	
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	75.2	97.7	°C/W
R _{θJB}	接合部から基板への熱抵抗	76.7	44.6	°C/W
ψ _{JT}	接合部から上面への特性パラメータ	25.5	4.6	°C/W
ψ _{JB}	接合部から基板への特性パラメータ	75.9	44.6	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	該当なし	9.9	°C/W

(1) 従来および新しい熱評価基準値の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション・レポート (SPRA953) を参照してください。

6.5 電気的特性

V_{GVDD} = V_{BST} = 12V, GND = V_{SH} = 0V, GL または GH は無負荷, T_J = 25°C (特に記載のない限り)。

パラメータ		テスト条件	最小値	代表値	最大値	単位
供給電流						
I _{GVDD}	GVDD 静止電流	V _{INL} = V _{INH} = 0V		430		μA
I _{DDO}	GVDD 動作電流	f = 50kHz, C _{LOAD} = 0		0.56		mA
I _{BST}	BST の総静止電流	V _{INL} = V _{INH} = 0V, V _{DD} = 12V		150		μA
I _{BSTO}	BST の総動作電流	f = 50kHz, C _{LOAD} = 0		0.16		mA
I _{BSTS}	BST から GND への静止電流	V _{SH} = V _{BST} = 95V, GVDD = 12V		33.3		μA
I _{BSTSO}	BST から GND への動作電流	f = 50kHz, C _{LOAD} = 0		0.07		mA
入力						
V _{HIT}	入力電圧 high スレッシュホールド	-40°C ~ 125°C		1.45	2	V
V _{LIT}	入力電圧 Low スレッシュホールド	-40°C ~ 125°C	0.8	1.3		V
V _{IHYS}	入力電圧ヒステリシス			0.15		V
R _{IN}	入力プルダウン抵抗	V _{IN} = 3V		200		kΩ
低電圧保護 (UVLO)						
V _{GVDDR}	GVDD 上昇スレッシュホールド	V _{GVDDR} = V _{GVDD} - GND, -40°C ~ 125°C		8.15	8.75	V
V _{GVDDF}	GVDD 下降スレッシュホールド	V _{GVDDF} = V _{GVDD} - GND, -40°C ~ 125°C	6.75	7.7		V
V _{DDHYS}	GVDD スレッシュホールド・ヒステリシス			0.45		V
V _{BSTR}	VBST 上昇スレッシュホールド	V _{BSTR} = V _{BST} - V _{SH} , -40°C ~ 125°C		7.6	8.5	V
V _{BSTF}	VBST 下降スレッシュホールド	V _{BSTR} = V _{BST} - V _{SH} , -40°C ~ 125°C	6.25	7.15		V
V _{BSTHYS}	VBST スレッシュホールド・ヒステリシス			0.45		V
ブートストラップ・ダイオード						
V _F	Low 電流順方向電圧	I _{BOOT} = 100μA		0.6		V
V _{FI}	High 電流順方向電圧	I _{BOOT} = 100mA		2.1		V
R _{BOOT}	ブートストラップの動的抵抗	I _{BOOT} = 100mA および 80mA		12.5		Ω
LO ゲート・ドライバ						
V _{GL_L}	Low レベル出力電圧	I _{GL} = 100mA, V _{GL_L} = V _{GL} - GND		0.25		V
V _{GL_H}	High レベル出力電圧	I _{GL} = -100mA, V _{GL_H} = V _{GVDD} - V _{GL}		0.8		V
	ピーク・プルアップ電流 ⁽¹⁾	V _{GL} = 0V		0.5		A
	ピーク・プルダウン電流 ⁽¹⁾	V _{GL} = 12V		0.8		A
HO ゲート・ドライバ						
V _{GH_L}	Low レベル出力電圧	I _{GH} = 100mA, V _{GH_L} = V _{GH} - V _{SH}		0.25		V
V _{GH_H}	High レベル出力電圧	I _{GH} = -100mA, V _{GH_H} = V _{BST} - V _{GH}		0.8		V
	ピーク・プルアップ電流 ⁽¹⁾	V _{GH} = 0V		0.5		A

6.5 電気的特性 (続き)

$V_{GVDD} = V_{BST} = 12V$, $GND = V_{SH} = 0V$, GL または GH は無負荷, $T_J = 25^\circ C$ (特に記載のない限り)。

パラメータ		テスト条件	最小値	代表値	最大値	単位
	ピーク・プルダウン電流 (1)	$V_{GH} = 12V$		0.8		A

(1) 量産品のパラメータはテストしていません。

6.6 スイッチング特性

$V_{GVDD} = V_{BST} = 12V$, $GND = V_{SH} = 0V$, GL または GH は無負荷, $T_J = 25^\circ C$ (特に記載のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
伝搬遅延						
t_{DLFF}	VINL 立ち下がりから VGL 立ち下がりまで	$V_{INH} = V_{INL} = 0 \sim 3V$, $C_{LOAD} = 0pF$. 入力の 50% から出力の 90% までの時間。		115		ns
t_{DHFF}	VINH 立ち下がりから VGH 立ち下がりまで	$V_{INH} = V_{INL} = 0 \sim 3V$, $C_{LOAD} = 0pF$. 入力の 50% から出力の 90% までの時間。		115		ns
t_{DLRR}	VINL 立ち上がりから VGL 立ち上がりまで	$V_{INH} = V_{INL} = 0 \sim 3V$, $C_{LOAD} = 0pF$. 入力の 50% から出力の 10% までの時間。		115		ns
t_{DHRR}	VINH 立ち上がりから VGH 立ち上がりまで	$V_{INH} = V_{INL} = 0 \sim 3V$, $C_{LOAD} = 0pF$. 入力の 50% から出力の 10% までの時間。		115		ns
遅延マッチング						
t_{MON}	GL オンから GH オフまでの遅延	INL オン, INH オフ, $V_{INH} = V_{INL} = 0 \sim 3V$			30	ns
t_{MOFF}	GL オフから GH オンまでの遅延	INL オフ, INH オン, $V_{INH} = V_{INL} = 0 \sim 3V$			30	ns
出力の立ち上がりおよび立ち下がり時間						
t_{R_GL}	GL	$C_{LOAD} = 1000pF$, $V_{INH} = V_{INL} = 0 \sim 3V$		28		ns
t_{R_GH}	GH	$C_{LOAD} = 1000pF$, $V_{INH} = V_{INL} = 0 \sim 3V$		28		ns
t_{F_GLx}	GL	$C_{LOAD} = 1000pF$, $V_{INH} = V_{INL} = 0 \sim 3V$		18		ns
t_{F_GHx}	GH	$C_{LOAD} = 1000pF$, $V_{INH} = V_{INL} = 0 \sim 3V$		18		ns

6.7 タイミング図

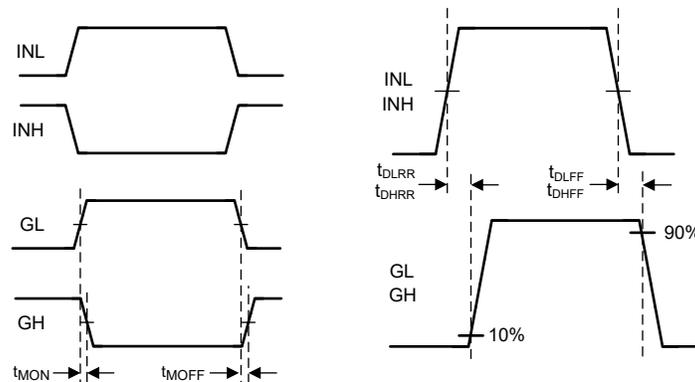


図 6-1. タイミング定義図

6.8 代表的特性

$V_{GVDD} = V_{BST} = 12V$, $GND = V_{SH} = 0V$, GL または GH は無負荷、 $T_J = 25^\circ C$ (特に記載のない限り)。

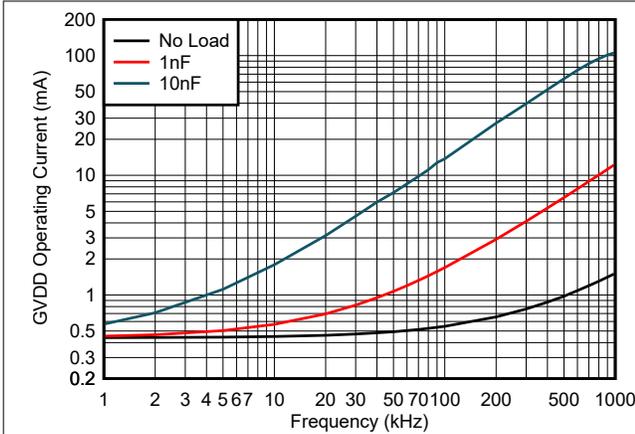


図 6-2. GVDD の動作電流と周波数との関係

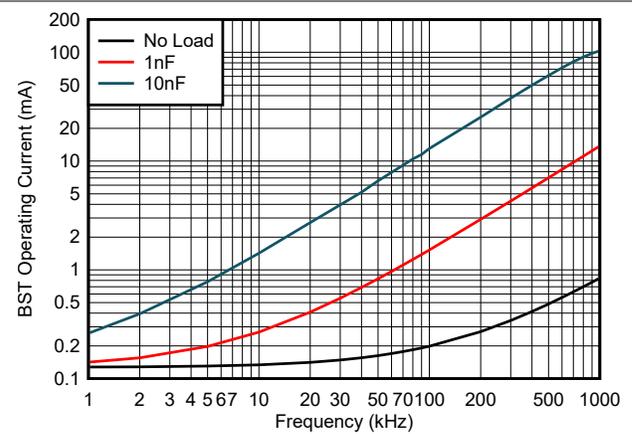


図 6-3. BST の動作電流と周波数との関係

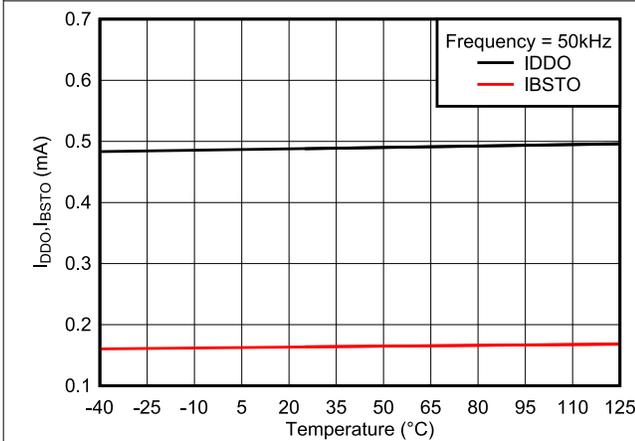


図 6-4. 動作電流と温度との関係

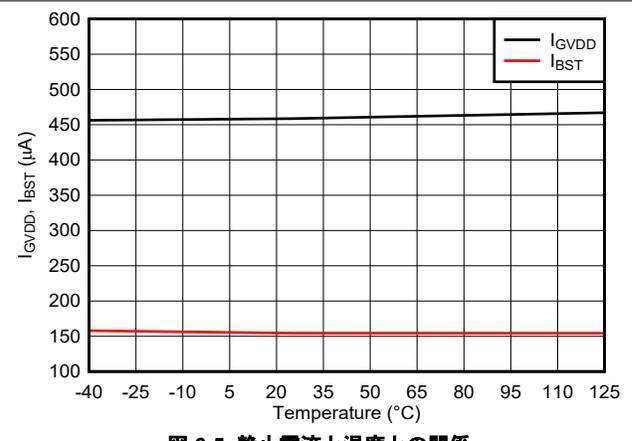


図 6-5. 静止電流と温度との関係

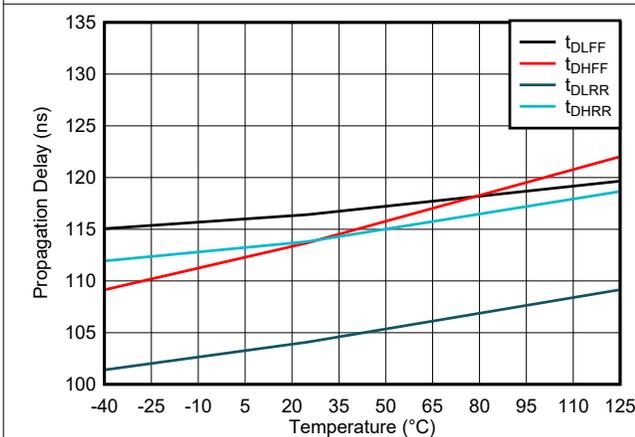


図 6-6. 伝搬遅延と温度との関係

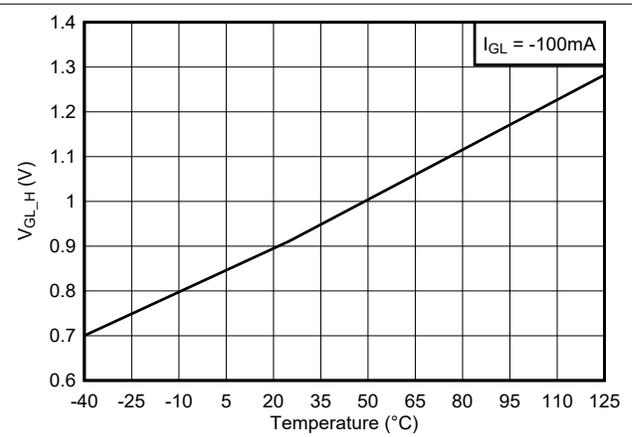


図 6-7. GL 出力高電圧と温度との関係

6.8 代表的特性 (続き)

$V_{GVDD} = V_{BST} = 12V$, $GND = V_{SH} = 0V$, GL または GH は無負荷、 $T_J = 25^\circ C$ (特に記載のない限り)。

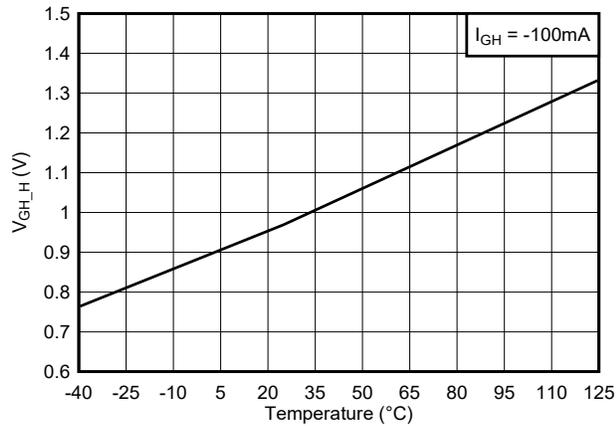


図 6-8. GH 出力高電圧と温度との関係

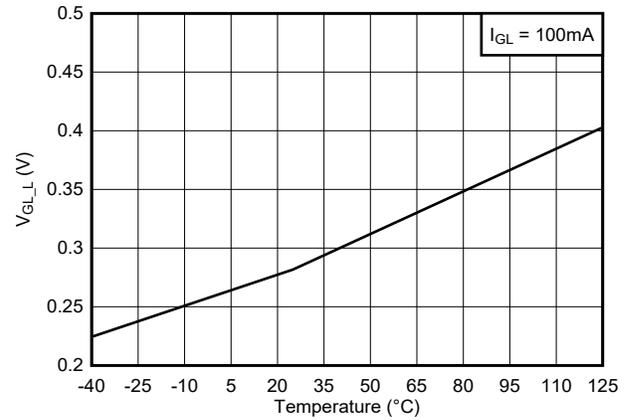


図 6-9. GL 出力低電圧と温度との関係

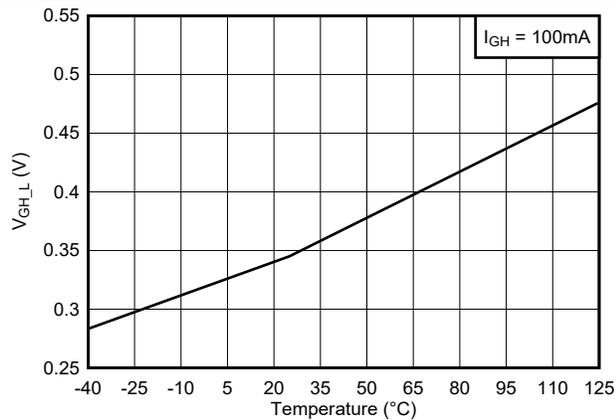


図 6-10. GH 出力低電圧と温度との関係

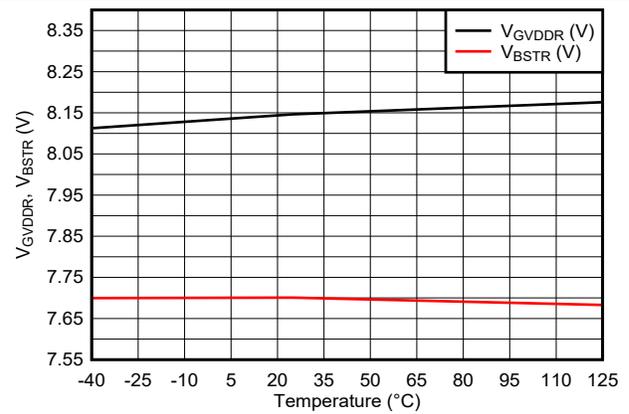


図 6-11. GVDD と BST の UVLO スレッシュホールドと温度との関係

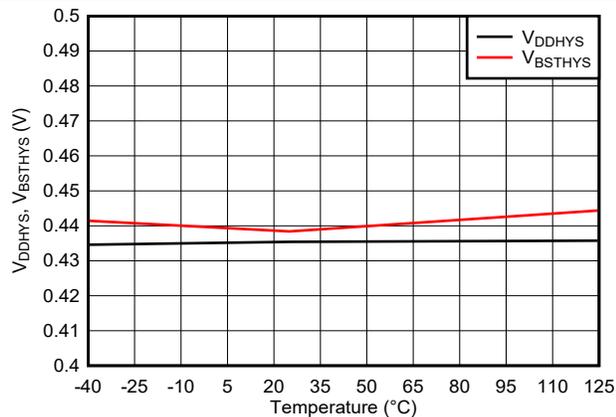


図 6-12. GVDD と BST の UVLO ヒステリシスと温度との関係

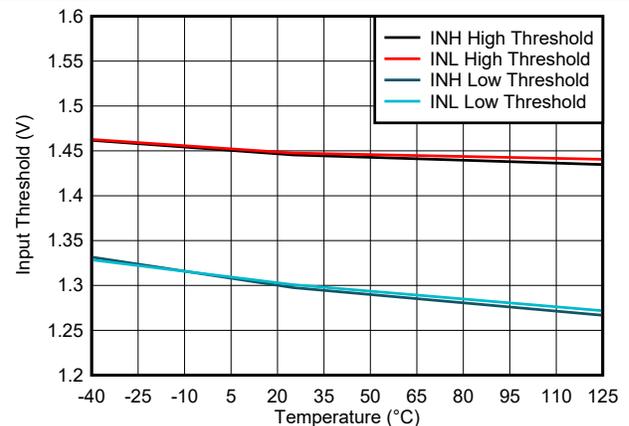


図 6-13. 入力電圧スレッシュホールドと温度との関係

6.8 代表的特性 (続き)

$V_{GVDD} = V_{BST} = 12V$, $GND = V_{SH} = 0V$, GL または GH は無負荷、 $T_J = 25^\circ C$ (特に記載のない限り)。

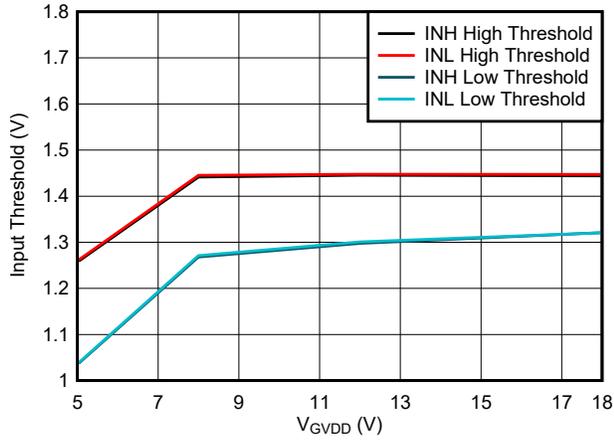


図 6-14. 入力電圧スレッシュホールドと電源電圧との関係

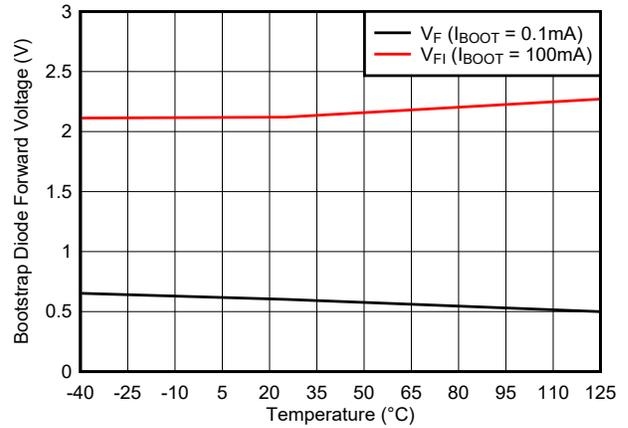


図 6-15. ブートストラップ・ダイオードの順方向電圧と電源電圧との関係

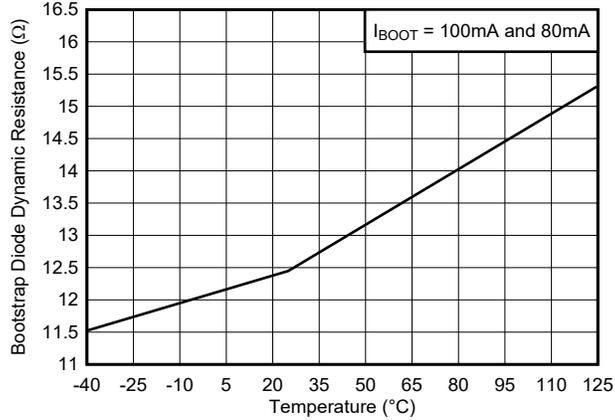


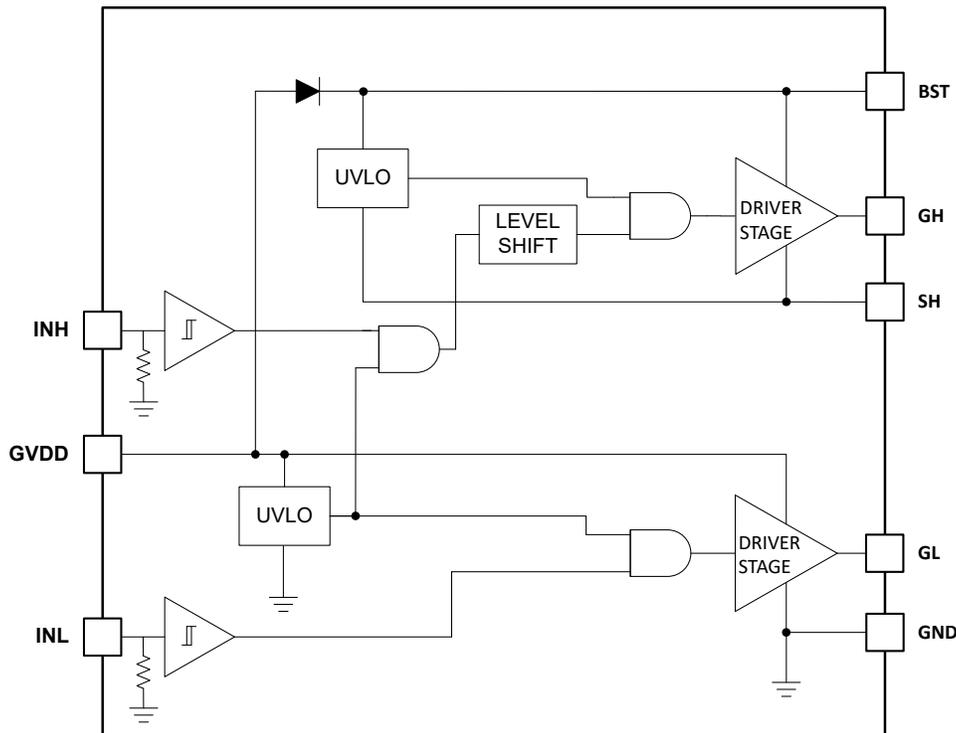
図 6-16. ブートストラップ・ダイオードの動的抵抗

7 詳細説明

7.1 概要

LM2005 は、同期整流式降圧型またはハーフブリッジの構成においてハイサイドとローサイド両方の N チャネル FET を駆動するよう設計された、高電圧ゲート・ドライバです。2 つの出力は、2 つの TTL 互換入力信号によって独立して制御されます。また、信号が LM2005 のターンオンおよびターンオフのスレッシュホールド仕様を満たしている限り、デバイスは CMOS タイプの制御信号を入力として使用しても動作できます。フローティング・ハイサイド・ドライバは、最大 105V の推奨 BST 電圧で動作できます。LM2005 デバイスには、ハイサイド・ゲート駆動のブートストラップ・コンデンサを充電するためのブートストラップ・ダイオードが内蔵されています。堅牢なレベル・シフタが高速で動作し、消費電力を抑えながら、制御ロジックからハイサイド・ゲート・ドライバへのクリーンなレベル遷移を実現します。ローサイドとハイサイド両方の電源レールに低電圧誤動作防止機能 (UVLO) が搭載されています。

7.2 機能ブロック図



7.3 機能説明

7.3.1 起動と UVLO

ハイサイドおよびローサイドのドライバ段は、電源電圧 (V_{GVDD}) およびブートストラップ・コンデンサ電圧 (V_{BST-SH}) を監視する UVLO 保護回路を備えています。UVLO 回路は、外部 MOSFET をターンオンするのに十分な電源電圧が得られるまで各出力を抑制します。また、UVLO ヒステリシスが組み込まれているため、電源電圧変動時のチャタリングを防止します。デバイスの GVDD ピンに電源電圧が印加されると、 V_{GVDD} が UVLO スレッシュホールド (通常は 8V) を超えるまで両方の出力が Low に保持されます。ブートストラップ・コンデンサの UVLO 状態 (V_{BST-SH}) の場合は、ハイサイド出力 (GO) のみがディセーブルされます。

表 7-1. GVDD UVLO ロジック動作

条件 ($V_{BST-SH} > V_{BSTR}$)	INH	INL	GH	GL
デバイス起動中、 $V_{GVDD} - GND < V_{GVDDR}$	H	L	L	L
	L	H	L	L
	H	H	L	L
	L	L	L	L
デバイス起動後、 $V_{GVDD} - GND < V_{GVDDR} - V_{DDHYS}$	H	L	L	L
	L	H	L	L
	H	H	L	L
	L	L	L	L

表 7-2. BST UVLO ロジック動作

条件 ($V_{GVDD} > V_{GVDDR}$)	INH	INL	GH	GL
デバイス起動中、 $V_{BST-SH} < V_{BSTR}$	H	L	L	L
	L	H	L	H
	H	H	L	H
	L	L	L	L
デバイス起動後、 $V_{BST-SH} < V_{BSTR} - V_{BSTHYS}$	H	L	L	L
	L	H	L	H
	H	H	L	H
	L	L	L	L

7.3.2 入力段

INL 入力と INH 入力は互いに独立して動作します。入力には固定のデグリッチ・フィルタが実装されていないため、伝搬遅延と遅延の一致に影響はありません。つまり、デッドタイムは組み込まれていません。2 つの出力間のデッド・タイムが必要な場合は、マイコンを使用してプログラムする必要があります。ドライバの各入力に小さなフィルタを配置することで、ノイズの多いアプリケーションにおけるシステムの堅牢性がさらに向上します。入力には代表値 200kΩ の内部プルダウン抵抗があります。これによって、入力がフローティングのときに出力は Low に保持されます。

7.3.3 レベル・シフト

レベル・シフト回路は、GND を基準とする信号であるハイサイド入力から、スイッチ・ノード (SH) を基準とするハイサイド・ドライバ段へのインターフェイスです。レベル・シフト回路を使用すると、SH ピンを基準とする GH 出力の制御が可能になり、ローサイド・ドライバとの遅延の一致が向上します。

7.3.4 出力段

出力段は、パワー・トレイン内のパワー MOSFET へのインターフェイスです。両方の出力で高いスルーレート、低い抵抗、高いピーク電流能力を実現しているため、パワー MOSFET の効率的なスイッチングが可能です。ローサイド出力段は GND を基準とし、ハイサイドは SH を基準とします。

7.3.5 グランドより低い SH 過渡電圧

ほとんどのアプリケーションでは、外部ローサイド・パワー MOSFET のボディ・ダイオードが SH ノードをグランドにクランプします。場合によっては、基板の容量とインダクタンスに起因して、SH ノードがグランドより数 V 低い電圧まで過渡的にスイングする可能性があり、外部ローサイド MOSFET のボディ・ダイオードがこのスイングをクランプするのが間に合わないこともあります。LM2005 の SH ピンを使用すると、仕様に違反しない限り、またこのセクションで説明した条件に従う限り、グランドを下回る値までスイングできます。

SH は常に GH より低い電位にする必要があります。GH を規定の条件よりも負にすると、寄生トランジスタがアクティブになり、BST 電源から過剰な電流が流れて、デバイスが損傷する可能性があります。GL と GND についても同じ関係があります。必要に応じて、GH と SH の間、または GL と GND の間でショットキー・ダイオードを外部に配置することにより、こ

の種の過渡現象からデバイスを保護できます。ダイオードを有効にするために、デバイスのピンのできるだけ近くにダイオードを配置する必要があります。

ゲート・ドライバ・デバイスを適切に動作させるには、BST から SH へ、および GVDD から GND への低 ESR バイパス・コンデンサが必須です。直列インダクタンスを最小限に抑えるため、コンデンサはデバイスのリード直近に配置する必要があります。GL と GH からのピーク電流はかなり大きくなります。バイパス・コンデンサと直列インダクタンスは、デバイスのリードに電圧リングを引き起こすため、信頼性の高い動作を実現するには、このリングを回避する必要があります。

7.4 デバイスの機能モード

このデバイスは、通常モードおよび UVLO モードで動作します。UVLO の動作モードの詳細については、[セクション 7.3.1](#) を参照してください。通常モードでは、 V_{GVDD} と V_{BST-SH} が UVLO スレッショルドを上回っている場合、出力段は INH と INL ピンの状態に依存します。入力状態がフローティングの場合、出力 GH および GL は Low になります。

表 7-3. 通常モード動作での入出力ロジック

INH	INL	GH (1)	GL (2)
L	L	L	L
L	H	L	H
H	L	H	L
H	H	H	H
フローティング	フローティング	L	L

- (1) GH は SH を基準として測定されます。
 (2) GL は GND を基準として測定されます。

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

パワー MOSFET を高いスイッチング周波数で動作させるとともに、関連するスイッチング損失を低減するために、コントローラの PWM 出力と、パワー半導体デバイスのゲートとの間に強力なゲート・ドライバを採用します。また、PWM コントローラがスイッチング・デバイスのゲートを直接駆動できない場合、ゲート・ドライバが不可欠です。デジタル電源の登場に伴って、デジタル・コントローラからの PWM 信号は多くの場合、3.3V のロジック信号であり、パワー・スイッチを正常にターンオンできないので、この状況がよく発生します。パワー・デバイスを完全にターンオンし、導通損失を最小限に抑えるには、3.3V の信号をゲート駆動電圧 (12V など) まで昇圧するためのレベル・シフト回路が必要です。トータムポール配置の NPN/PNP バイポーラ・トランジスタをベースとする従来のバッファ駆動回路は、レベル・シフト機能がないので、デジタル電源においては不十分であることがわかっています。ゲート・ドライバは、レベル・シフト機能とバッファ駆動機能の両方を効果的に組み合わせています。また、ゲート・ドライバは、パワー・スイッチの近くに配置することで、高周波スイッチング・ノイズの影響を最小限に抑えることができます。さらに、ゲート・ドライバはゲート駆動トランスを駆動し、フローティング・パワー・デバイスのゲートを制御することができるため、ゲート電荷の電力損失をドライバに移動させることで、コントローラの消費電力と熱ストレスを低減できます。

8.2 代表的なアプリケーション

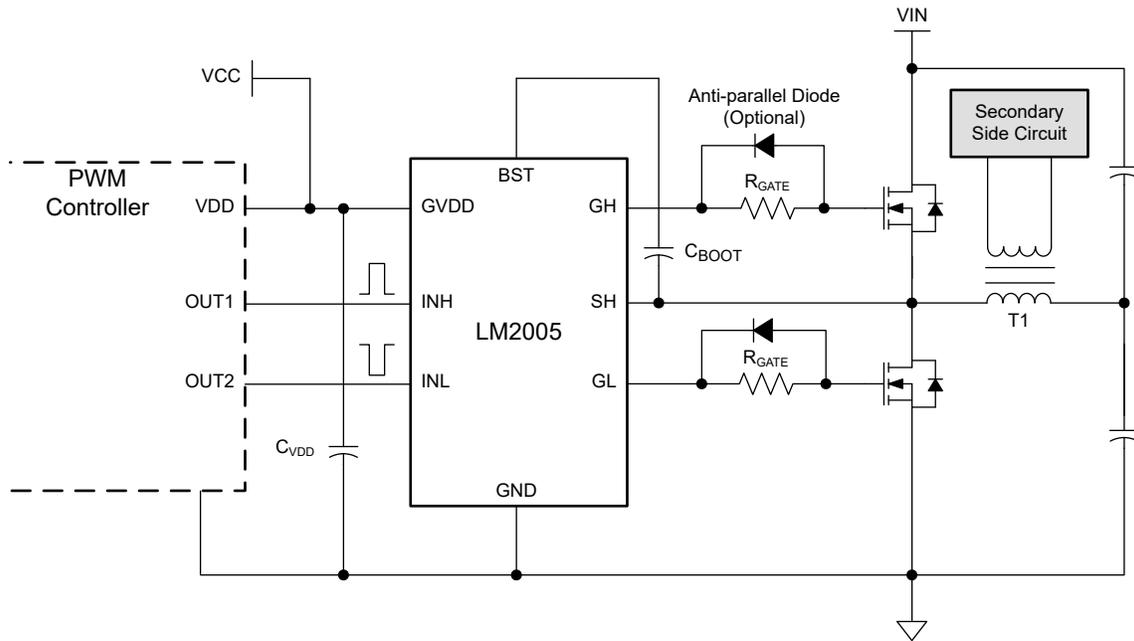


図 8-1. LM2005 ハーフブリッジ・コンバータの MOSFET 駆動

8.2.1 設計要件

表 8-1 に、LM2005 の設計パラメータの一覧を示します。

表 8-1. 設計例

パラメータ	値
ゲート・ドライバ	LM2005
MOSFET	CSD19534KCS
V_{DD}	12V
Q_G	17nC
f_{sw}	50kHz

8.2.2 詳細な設計手順

8.2.2.1 ブートストラップおよびGVDD コンデンサの選択

通常の動作では、ブートストラップ・コンデンサは、 V_{BST-SH} 電圧を UVLO スレッショルドよりも高く維持する必要があります。ブートストラップ・コンデンサの最大許容ドロップは 式 1 で計算します。

$$\Delta V_{BST} = V_{GVDD} - V_{DH} - V_{BSTL} = 12V - 2.1V - 8.05V = 1.85V \quad (1)$$

ここで

- V_{GVDD} = ゲート駆動 IC の電源電圧
- V_{DH} = ブートストラップ・ダイオードの順方向電圧降下
- V_{BSTL} = BST 下降スレッショルド ($V_{BSTR(max)} - V_{BSTHYS}$)

結果として、スイッチング・サイクルごとに必要な総電荷量は、式 2 から推定されます。

$$Q_{TOTAL} = Q_G + I_{BSTS} \times \frac{D_{MAX}}{f_{SW}} + \frac{I_{BST}}{f_{SW}} = 17nC + 33.3\mu A \times \frac{0.95}{50kHz} + \frac{150\mu A}{50kHz} = 20nC \quad (2)$$

ここで、

- Q_G = MOSFET の総ゲート電荷量
- I_{BSTS} = BST から VSS へのリーク電流
- D_{Max} = コンバータの最大デューティ・サイクル
- I_{BST} = BST 静止電流

次に、式 3 を使用して、ブートストラップ・コンデンサの最小値を推定します。

$$C_{BOOT(MIN)} = \frac{Q_{TOTAL}}{\Delta V_{BST}} = \frac{20nC}{1.85V} = 10.8nF \quad (3)$$

実際には、負荷過渡によって電力段がパルスをスキップできるように、 C_{Boot} コンデンサの値を計算値より大きくする必要があります。式 4 は、特定のアプリケーションに必要な最大ブートストラップ電圧リップルに基づいて、推奨ブートストラップ容量を推定するために使用できます。

$$C_{BOOT} > \frac{Q_{TOTAL}}{\Delta V_{BST_RIPPLE}} \quad (4)$$

ここで、

- ΔV_{BST_RIPPLE} = システム要件に基づくバイパス・コンデンサにかかる最大許容電圧降下

テキサス・インスツルメンツでは、十分なマージンを確保し、ブートストラップ・コンデンサを BST ピンと SH ピンのできるだけ近くに配置することを推奨します。

$$C_{BOOT} = 100\text{nF} \quad (5)$$

式 6 に示すように、原則として、ローカル V_{GVDD} バイパス・コンデンサは C_{BOOT} の値の 10 倍以上でなければなりません。

$$C_{GVDD} = 1\mu\text{F} \quad (6)$$

ブートストラップ・コンデンサおよびバイパス・コンデンサは、X7R 誘電体のセラミック・タイプである必要があります。デバイスに DC バイアス電圧がかかった場合の容量許容差を考慮して、長期的な信頼性を確保するために、電圧定格は最大 V_{GVDD} の 2 倍でなければなりません。

8.2.2.2 外部ゲート・ドライバ抵抗の選択

外部ゲート・ドライバ抵抗 R_{GATE} は、寄生インダクタンスおよび寄生容量によって引き起こされるリングングを抑制し、同時にゲート・ドライバから出力される電流を制限するように設定されています。

ピーク GH プルアップ電流は、式 7 で計算されます。

$$I_{GHH} = \frac{V_{GVDD} - V_{DH}}{R_{GHH} + R_{GATE} + R_{GFET_INT}} \quad (7)$$

ここで

- I_{GHH} = GH ピーク・プルアップ電流
- V_{DH} = ブートストラップ・ダイオードの順方向電圧降下
- R_{GHH} = テスト条件から推定したゲート・ドライバの内部 GH プルアップ抵抗 ($R_{GHH} = V_{GH_H} / I_{GH}$)
- R_{GATE} = 外部ゲート駆動抵抗
- R_{GFET_INT} = MOSFET 内部ゲート抵抗 (トランジスタのデータシートに記載)

同様に、ピーク GH プルダウン電流を式 8 に示します。

$$I_{GHL} = \frac{V_{GVDD} - V_{DH}}{R_{GHL} + R_{GATE} + R_{GFET_INT}} \quad (8)$$

ここで

- R_{GHL} = GH プルダウン抵抗

ピーク GL プルアップ電流を式 9 に示します。

$$I_{GLH} = \frac{V_{GVDD}}{R_{GLH} + R_{GATE} + R_{GFET_INT}} \quad (9)$$

ここで

- R_{GLH} = GL プルアップ抵抗

ピーク GL プルダウン電流を式 10 に示します。

$$I_{GLL} = \frac{V_{GVDD}}{R_{GLL} + R_{GATE} + R_{GFET_INT}} \quad (10)$$

ここで

- R_{GLL} = GL プルダウン抵抗

状況によっては、アプリケーションで高速なターンオフが必要な場合、 R_{Gate} の逆並列ダイオードを使用して外部ゲート駆動抵抗をバイパスし、ターンオフ遷移を高速化できます。

8.2.2.3 ドライバの電力損失の推定

ドライバ IC の総消費電力は、以下の構成要素から推定できます。

1. 静止電流 I_{GVDD} と I_{BST} による静的な電力損失 P_{QC} を式 11 に示します。

$$P_{QC} = V_{GVDD} \times I_{GVDD} + (V_{GVDD} - V_F) \times I_{BST} = 12V \times 0.43mA + (12V - 0.6V) \times 0.15mA = 6.87mW \quad (11)$$

2. ハイサイド・リーク電流 I_{BSTS} によるレベル・シフト損失 P_{IBSTS} を式 12 に示します。

$$P_{IBSTS} = V_{BST} \times I_{BSTS} \times D = 72V \times 0.033mA \times 0.95 = 2.26mW \quad (12)$$

ここで、

- D はハイサイド・スイッチのデューティ・サイクルです。
3. FET ゲート電荷量 Q_G による動的損失 $P_{QG1\&2}$ を式 13 に示します。

$$P_{QG1\&2} = 2 \times V_{GVDD} \times Q_G \times f_{SW} \times \frac{R_{GD_R}}{R_{GD_R} + R_{GATE} + R_{GFET_INT}} = 2 \times 12V \times 17nC \times 50kHz \times \frac{5.25\Omega}{5.25\Omega + 4.7\Omega + 2.2\Omega} \quad (13)$$

$$= 8.8mW$$

ここで、

- Q_G = FET の総ゲート電荷量
 - f_{SW} = スイッチング周波数
 - R_{GD_R} = プルアップおよびプルダウン抵抗の平均値
 - R_{GATE} = 外部ゲート駆動抵抗
 - R_{GFET_INT} = 内部 FET ゲート抵抗
4. 各スイッチング・サイクルにおいて必要なレベル・シフトの充電によるハイサイド・スイッチング時の、レベル・シフトの動的損失 P_{LS} を示します。この例では、式 14 に示すように、寄生電荷 Q_p の値が $2.5nC$ であると仮定します。

$$P_{LS} = V_{BST} \times Q_p \times f_{SW} = 72V \times 2.5nC \times 50kHz = 9mW \quad (14)$$

この例では、すべての損失を合計すると、ゲート・ドライバの総損失は、**27mW** になります。ブートストラップ・ダイオードを含むゲート・ドライバの場合、ブートストラップ・ダイオードの損失も推定する必要があります。ダイオードの順方向導通損失は、平均順方向電圧降下と平均順方向電流の積として計算されます。

式 15 は、与えられた周囲温度に対して、デバイスの最大許容電力損失を推定するものです。

$$P_{MAX} = \frac{T_J - T_A}{R_{\theta JA}} \quad (15)$$

ここで、

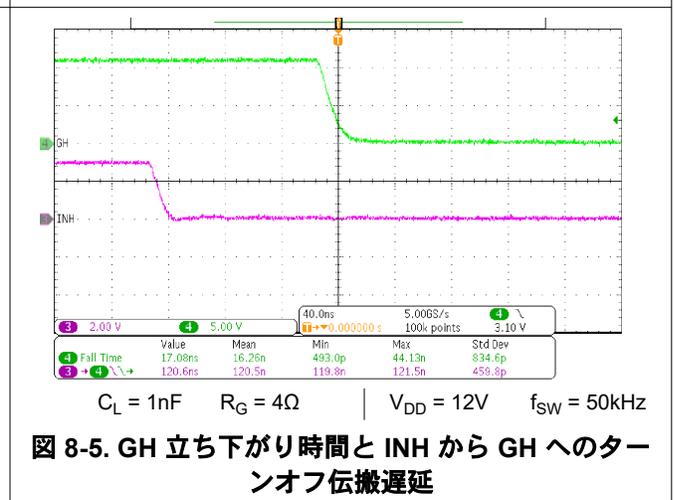
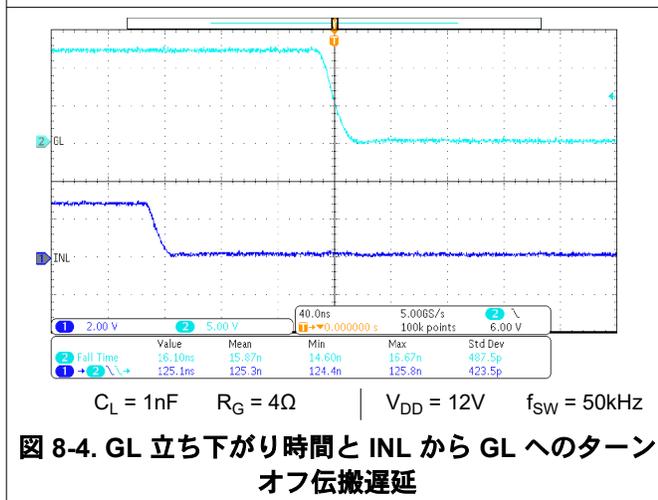
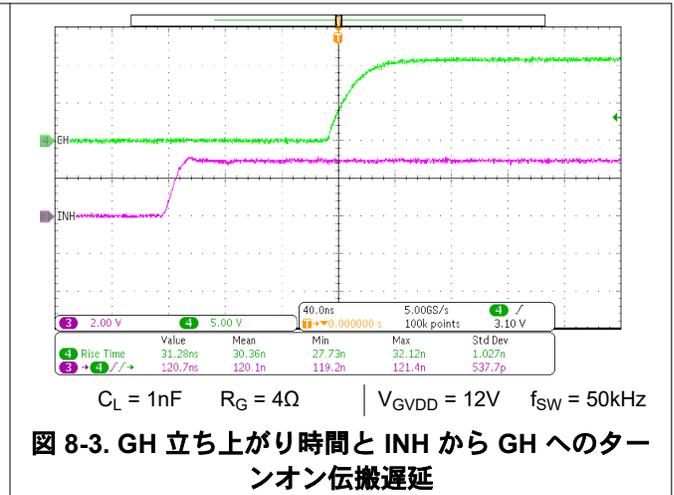
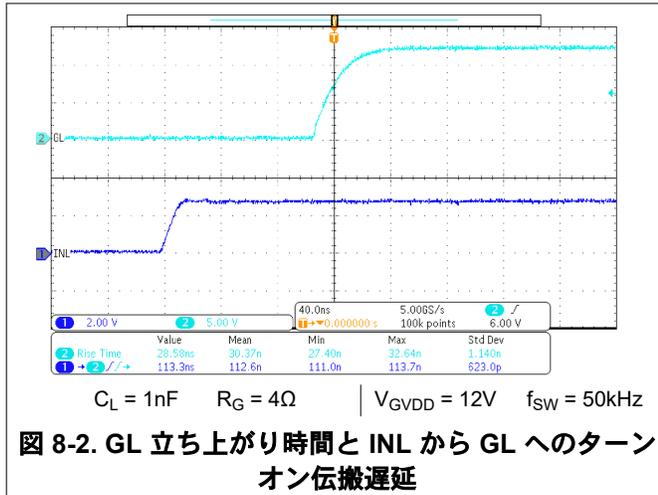
- P_{MAX} = ゲート・ドライバ・デバイスで許容される最大消費電力
- T_J = 接合部温度
- T_A = 周囲温度
- $R_{\theta JA}$ = 接合部から周囲への熱抵抗

ドライバ・パッケージの熱評価基準は、データシートの「熱に関する情報」の表にまとめられています。「熱に関する情報」の表の詳細については、テキサス・インスツルメンツの『[半導体および IC パッケージの熱評価基準](#)』アプリケーション・ノートを参照してください。

8.2.3 アプリケーション曲線

図 8-2 と 図 8-3 に、ローサイド・ドライバとハイサイド・ドライバの立ち上がり時間とターンオン伝搬遅延をそれぞれ示します。同様に、図 8-4 と 図 8-5 に、立ち下がり時間とターンオフ伝搬遅延を示します。各チャンネル (INH、INL、GH、GL) にはラベルが付けられ、波形の左側に表示されています。

テスト条件: 負荷容量 1nF、ゲート抵抗 4Ω、 $V_{DD} = 12V$ 、 $f_{SW} = 50kHz$



9 電源に関する推奨事項

LM2005 の推奨バイアス電源電圧範囲は、9V ~ 18V です。この範囲の下限は、 V_{GVDD} 電源回路ブロックの内部低電圧誤動作防止 (UVLO) 保護機能によって決まります。この範囲の上限は、GVDD ピンの推奨最大電圧定格である 18V によって決まります。過渡電圧スパイクを考慮し、GVDD ピンの電圧は最大推奨電圧よりも低くすることを推奨します。

UVLO 保護機能は、ヒステリシス機能も備えています。これは、デバイスが通常モードで動作し始めた後に V_{GVDD} 電圧が降下した場合、電圧降下がヒステリシス仕様値 V_{DDHYS} を超えない限り、デバイスは通常モードで動作を継続することを意味します。電圧降下がヒステリシスの仕様値を超える場合、デバイスはシャットダウンします。したがって、9V またはそれに近い範囲の電圧で動作しているときは、デバイスのシャットダウンがトリガされないように、補助電源出力の電圧リップルを LM2005 のヒステリシス仕様値よりも小さくする必要があります。

GVDD ピンと GND ピンの間にローカル・バイパス・コンデンサを配置してください。このとき、コンデンサはデバイスにできる限り近づけて配置する必要があります。低 ESR の表面実装型セラミック・コンデンサを推奨します。テキサス・インスツル

メンツでは、GVDD と GND の間に 2 つのコンデンサを使用することを推奨します。1 つは小容量の表面実装型セラミック・コンデンサで、高周波フィルタリングのために GVDD ピンと GND ピンのすぐ近くに配置します。もう 1 つは IC のバイアス要件に対応する大容量の表面実装型コンデンサです。同様に、GH ピンから供給される電流パルスは BST ピンから電源を得ています。したがって、BST ピンと SH ピンの間にローカル・デカップリング・コンデンサを配置することを推奨します。

10 レイアウト

10.1 レイアウトのガイドライン

ハーフブリッジ・ゲート・ドライバの性能を最適化するには、回路基板のレイアウトを十分に考慮する必要があります。以下の点が重要です。

1. 低 ESR コンデンサおよび低 ESL コンデンサを **GVDD** ピンと **GND** ピンの間、および **BST** ピンと **SH** ピンの間で IC の近くに接続して、外部 MOSFET のターンオン時に **GVDD** と **BST** から引き出される大きいピーク電流に備える必要があります。
2. 上側の MOSFET のドレインでの大きい電圧過渡を防止するために、低 ESR の電解コンデンサと高品質のセラミック・コンデンサを MOSFET のドレインとグランド (**GND**) の間に接続する必要があります。
3. スイッチ・ノード (**SH**) ピンでの大きな負の過渡を防止するため、上側の MOSFET のソースと下側の MOSFET (同期整流器) のドレインとの間の寄生インダクタンスを最小限に抑える必要があります。
4. 接地に関する注意事項:
 - グランド接続を設計する際の最優先事項は、MOSFET のゲートを充電および放電する大きいピーク電流を、最小の物理的領域内に限定することです。これによって、ループのインダクタンスが小さくなり、MOSFET のゲート端子のノイズ問題が最小限に抑えられます。ゲート・ドライバは、MOSFET のできるだけ近くに配置する必要があります。
 - 2 番目の考慮事項は、ブートストラップ・コンデンサ、ブートストラップ・ダイオード、ローカル・グランド基準バイパス・コンデンサ、ローサイド MOSFET ボディ・ダイオードを含む大電流パスです。ブートストラップ・コンデンサは、グランド基準 **GVDD** バイパス・コンデンサからブートストラップ・ダイオードを通して、サイクルごとに再充電されます。この再充電は短い時間間隔で発生し、大きなピーク電流を必要とします。回路基板上でこのループの長さや面積を最小化することは、動作の信頼性を確保する上で重要です。

10.2 レイアウト例

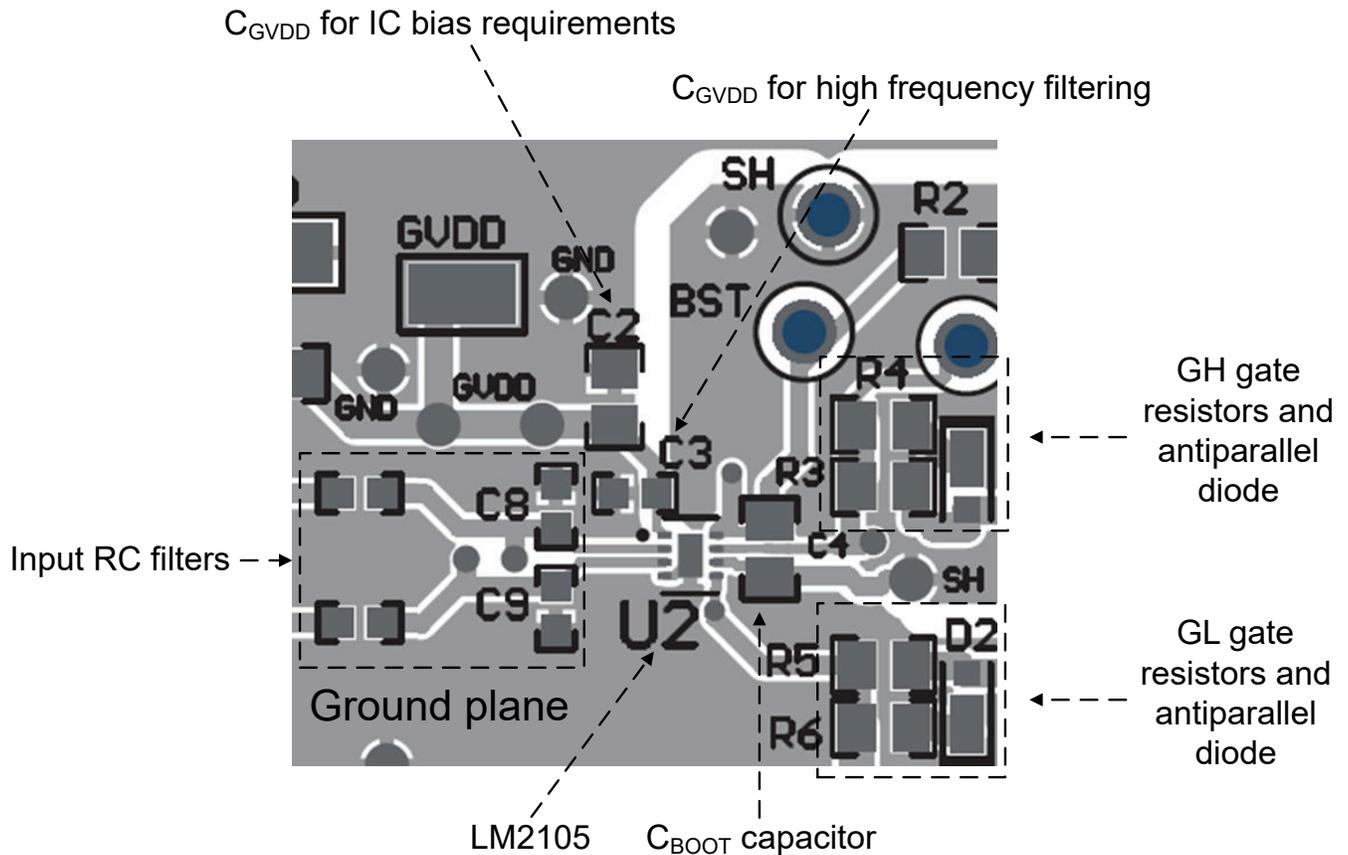


図 10-1. レイアウト例

11 デバイスおよびドキュメントのサポート

11.1 デバイスのサポート

11.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

11.2 ドキュメントのサポート

11.2.1 関連資料

関連資料については、以下を参照してください。

- 『半導体および IC パッケージの熱評価基準』、[SPRA953](#)

11.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[ti.com](#) のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

11.4 サポート・リソース

[TI E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

11.5 商標

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

11.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.7 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは、予告なしに、またドキュメントの改訂なしに変更される場合があります。本データシートのブラウザ版を使用している場合は、画面左側のナビゲーションをご覧ください。

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2023, Texas Instruments Incorporated