

LM20134

*LM20134 4A, PowerWise® Synchronous Buck Regulator with Input
Synchronization*



Literature Number: JAJSAV5

LM20134

4A、PowerWise® 同期整流降圧型レギュレータ (入力同期対応)

概要

LM20134 は、最大 4A の連続出力電流を供給できる、必要な機能がすべて揃った同期整流降圧型レギュレータです。電流モード制御ループは、実質的にどのタイプの出力コンデンサでも安定化するよう補償できます。大半の場合デバイスの補償は 2 つの外付け部品を必要とするだけで、最大の柔軟性と使いやすさを実現します。デバイスは 2.95V ~ 5.5V の入力電圧範囲で動作するよう最適化され、低電圧システムに適しています。

デバイスは、オーバーボルテージ保護 (OVP) および過電流保護 (OCP) 回路を内蔵し、システムの信頼性を高めています。デバイスの起動は、高精度イネーブル・ピンおよび内蔵されたアンダーボルテージ・ロックアウトにより、正確なシーケンス制御を実現できます。スタートアップ時の突入電流は、内部固定および外部で調整可能なソフトスタート回路の両方で制限されます。内蔵パワーグッド回路により、異常検出および電源シーケンスが可能です。

LM20134 のスイッチング周波数は、SYNC ピンを接続することで外部クロックへの同期が可能です。SYNC ピンは、500kHz ~ 1.5MHz の範囲の入力信号への同期に対応しています。

LM20134 は、マルチレール電源アーキテクチャで最適に動くよう設計されています。デバイスの出力電圧は、SS/TRK ピンを使ってより高い電圧レールをトラッキングできるように設定できます。LM20134 の出力がスタートアップ時にプリバイアスされた場合、内部ソフトスタートの上昇が帰還ピンの電圧を超えない限り、電流シンクを行わず出力を低下させません。

LM20134 は露出パッドの付いた 16 ピン eTSSOP パッケージで提供されるため、PCB にハンダ付けでき、大きなヒートシンクの必要がありません。

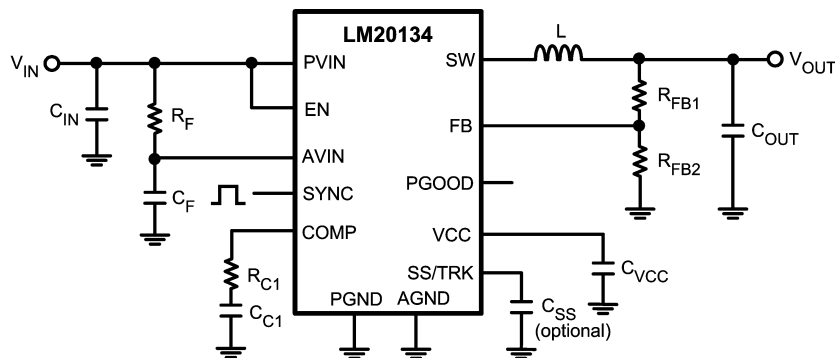
特長

- 入力電圧範囲 : 2.95V ~ 5.5V
- 高精度の電流制限によりインダクタのサイズを最小化
- 効率 : 97% (max)
- 外部同期機能
- 内蔵 FET スイッチ : 32m
- 出力プリバイアス・スタートアップ
- 出力電圧トラッキング
- ピーク電流モード制御
- 出力電圧は最低 0.8V まで対応
- 外付けコンデンサによるソフトスタートを調整可能
- ヒステリシス付き高精度イネーブル・ピン
- オーバーボルテージ保護、アンダーボルテージ・ロックアウト、パワーグッドおよびサーマル・シャットダウン回路内蔵
- eTSSOP-16 露出パッド・パッケージ

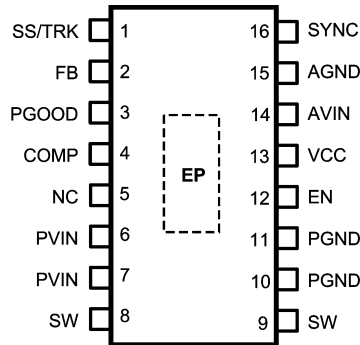
アプリケーション

- 回路設計がシンプルで、効率の高い 5V または 3.3V バスからのポイント・オブ・ロード・レギュレーション
- 高性能 DSP、FPGA、ASIC およびマイクロプロセッサ
- 広帯域、ネットワークおよび光通信のインフラ

代表的なアプリケーション回路



ピン配置図



Top View
eTSSOP-16 Package

製品情報

Order Number	Package Type	NSC Package Drawing	Package Marking	Supplied As
LM20134MH	eTSSOP-16	MXA16A	20134MH	92 Units of Rail
LM20134MHE				250 Units of Tape and Reel
LM20134MHX				2500 Units of Tape and Reel

ピン説明

ピン番号	ピン名	説明
1	SS/TRK	ソフトスタートまたはトラック制御入力。5 μ A の内部電流源により、ソフトスタート上昇速度を設定する外付けコンデンサを充電します。このピンが 800mV 未満の外部ソースによってドライブされると、出力電圧を設定する内部リファレンスがディスエーブルされます。オープン状態の場合、内部の 1ms ソフトスタート上昇がアクティブとなります。
2	FB	レギュレート出力からエラー・アンプへの電圧帰還入力。内部トランスコンダクタンス・エラー・アンプの反転入力に接続されています。800mV リファレンスがエラー・アンプの非反転入力に接続されると、FB ピンの閉ループ・レギュレーション電圧が設定されます。
3	PGOOD	パワーグッド出力信号。出力電圧を示すオープン・ドレインの出力は許容誤差内でレギュレートしています。そのため大半のアプリケーションでは 10k \sim 100k のプルアップ抵抗を推奨します。
4	COMP	外部補償ピン。このピンに抵抗とコンデンサを接続して、デバイスを補償します。
5	NC	これらのピンは、正常に動作させるために GND に接続する必要があります。
6,7	PVIN	デバイス内部の電源スイッチへの入力電圧。これらのピンはデバイス部分で 1 つに接続してください。入力電圧を安定させるため、低 ESR コンデンサはこれらのピンの近くに配置してください。
8,9	SW	スイッチング・ピン。内蔵パワー・スイッチの PWM 出力。
10,11	PGND	内蔵パワー・スイッチ用の電源グラウンド・ピン。
12	EN	デバイス用の高精度イネーブル入力。外付けの分圧回路を使うと、電源のターンオン・スレッシュホールドの設定が可能です。EN ピンを使用しない場合は、PVIN に接続してください。
13	VCC	2.7V サブ・レギュレータ内蔵。このピンは、1 μ F セラミック・コンデンサでバイパスしてください。
14	AVIN	内部バイアスを発生するアナログ入力電源ピン。ローパスRCフィルタを使って VIN に接続する必要があります。
15	AGND	内部バイアス回路用のノイズの少ないアナログ・グラウンドです。
16	SYNC	外部同期ピン。このピンに接続する外部クロックによって、スイッチング周波数が設定されます。開放の場合、デバイスはおよそ 410kHz で動作します。
EP	露出パッド	グラウンドへの電氣的接続が弱い、パッケージ裏面の露出金属パッド。熱放散特性を向上させるために、このパッドをプリント基板のグラウンド・プレーンに接続することを推奨します。

絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電気的信頼性試験方法の規格を参照ください。

特に指定のない限り、表記の各ピンと GND 間の電圧

AVIN、PVIN、EN、PGOOD、SS/ - 0.3V ~ + 6V
TRK、COMP、FB、SW、SYNC

保存温度範囲 - 65 ~ + 150

接合部温度 150

消費電力 (Note 2)

2.6W

リード温度 (ハンダ付け、10 秒間)

260

最小 ESD 耐圧 (Note 3)

± 2kV

動作定格

GND 基準の PVIN、AVIN 各電圧

2.95V ~ 5.5V

接合部温度

- 40 ~ + 125

電気的特性

特記のない限り、以下の条件が適用されます。AVIN = PVIN = VIN = 5V。標準字体で記載されたリミット値は $T_J = 25$ の場合に限り、太字で記載されたリミット値は - 40 ~ + 125 の接合部温度 (T_J) 範囲にわたって適用されます。最小リミット (Min) 値と最大リミット (Max) 値は、試験、設計、または統計的の相関によって保証されます。代表 (Typ) 値は $T_J = 25$ でのパラメータの最も標準と考えられる値を表し、参照を目的としてのみ提示されます。

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
V_{FB}	Feedback pin voltage	$V_{IN} = 2.95V$ to 5.5V	0.788	0.8	0.812	V
$\Delta V_{OUT}/\Delta I_{OUT}$	Load Regulation	$I_{OUT} = 100$ mA to 4A		0.08		%/A
I_{CL}	Switch Current Limit Threshold	$V_{IN} = 3.3V$	5.8	6.4	7.9	A
R_{DS_ON}	High-Side Switch On Resistance	$I_{SW} = 3.5A$		36	55	m Ω
R_{DS_ON}	Low-Side Switch On Resistance	$I_{SW} = 3.5A$		32	52	m Ω
I_Q	Operating Quiescent Current	Non-switching, $V_{FB} = V_{COMP}$		3.5	6	mA
I_{SD}	Shutdown Quiescent current	$V_{EN} = 0V$		90	180	μ A
V_{UVLO}	VIN Under Voltage Lockout	Rising V_{IN}	2.45	2.7	2.95	V
V_{UVLO_HYS}	VIN Under Voltage Lockout Hysteresis	Falling V_{IN}		45	100	mV
V_{VCC}	VCC Voltage	$I_{VCC} = 0$ μ A	2.45	2.7	2.95	V
I_{SS}	Soft-Start Pin Source Current	$V_{SS/TRK} = 0V$	2	4.5	7	μ A
V_{TRACK}	SS/TRK Accuracy, $V_{SS} - V_{FB}$	$V_{SS/TRK} = 0.4V$	-10	3	15	mV

Oscillator and Clock Synchronization

F_{OSC}	Oscillator Frequency	$V_{SYNC} = \text{Static}$	360	410	460	kHz
F_{OSCH}	Maximum SYNC Frequency			1500		kHz
F_{OSCL}	Minimum SYNC Frequency		460			kHz
V_{IH_SYNC}	SYNC pin Logic High		2			V
V_{IL_SYNC}	SYNC pin Logic Low				0.8	V
I_{SYNC}	SYNC pin input leakage	$V_{SYNC} = 5V$		10		nA
DC_{MAX}	Maximum Duty Cycle	$I_{LOAD} = 0A$		85		%
T_{ON_TIME}	Minimum On Time			100		ns
T_{CL_BLANK}	Current Sense Blanking Time	After Rising V_{SW}		80		ns

Error Amplifier and Modulator

I_{FB}	Feedback pin bias current	$V_{FB} = 0.8V$		1	100	nA
I_{COMP_SRC}	COMP Output Source Current	$V_{FB} = V_{COMP} = 0.6V$	80	100		μ A
I_{COMP_SNK}	COMP Output Sink Current	$V_{FB} = 1.0V, V_{COMP} = 0.6V$	80	100		μ A
g_m	Error Amplifier Transconductance	$I_{COMP} = \pm 50$ μ A	450	510	600	μ mho
A_{VOL}	Error Amplifier Voltage Gain			2000		V/V

Power Good

V_{OVP}	Over Voltage Protection Rising Threshold	With respect to V_{FB}	105	108	111	%
V_{OVP_HYS}	Over Voltage Protection Hysteresis			2	3	%
V_{PGTH}	PGOOD Rising Threshold	With respect to V_{FB}	92	94	96	%
V_{PGHYS}	PGOOD Falling Hysteresis			2	3	%
T_{PGOOD}	PGOOD deglitch time			16		μ s
I_{OL}	PGOOD Low Sink Current	$V_{PGOOD} = 0.4V$	0.6	1		mA
I_{OH}	PGOOD High Leakage Current	$V_{PGOOD} = 5V$		5	100	nA

電氣的特性 (つづき)

特記のない限り、以下の条件が適用されます。AVIN = PVIN = VIN = 5V。標準字体で記載されたリミット値は $T_J = 25$ の場合に限ります。太字で記載されたリミット値は -40 ~ +125 の接合部温度 (T_J) 範囲にわたって適用されます。最小リミット (Min) 値と最大リミット (Max) 値は、試験、設計、または統計的相関によって保証されます。代表 (Typ) 値は $T_J = 25$ でのパラメータの最も標準と考えられる値を表し、参照を目的としてのみ提示されます。

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
Enable						
V_{IH_EN}	EN Pin Turn on Threshold	V_{EN} Rising	1.08	1.18	1.28	V
V_{EN_HYS}	EN Pin Hysteresis			66		mV
Thermal Shutdown						
T_{SD}	Thermal Shutdown			160		°C
T_{SD_HYS}	Thermal Shutdown Hysteresis			10		°C
Thermal Resistance						
θ_{JA}	Junction to Ambient			38		°C/W

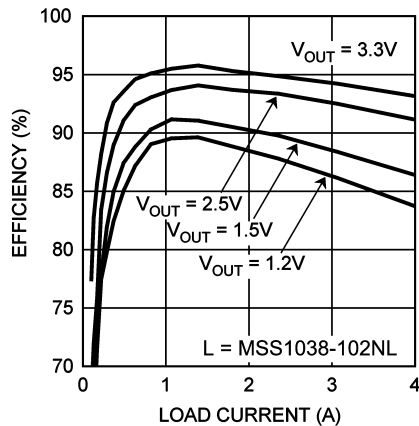
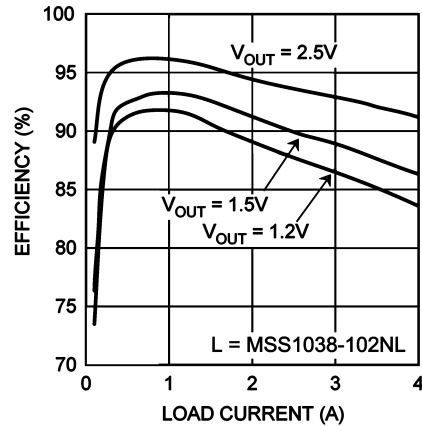
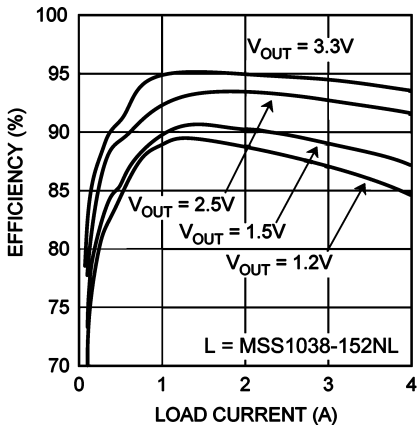
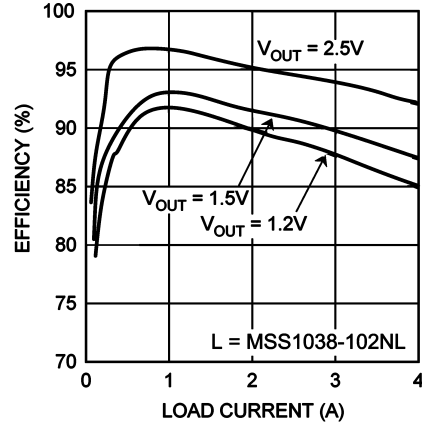
Note 1: 「絶対最大定格」とは、デバイスに破壊を生じさせる可能性がある上限または下限値のことです。「動作定格」とはデバイスが機能する条件を示しますが、特定の性能リミット値を保証するものではありません。保証されている仕様および試験条件については「電氣的特性」を参照してください。

Note 2: 最大許容消費電力は、最大接合部温度 T_{J_MAX} 、接合部 - 周囲雰囲気間熱抵抗 θ_{JA} 、および周囲温度 T_A の関数です。任意の周囲温度での最大許容消費電力は次式から求めます。 $P_{D_MAX} = (T_{J_MAX} - T_A) / \theta_{JA}$ 。2.6W という最大消費電力の値は、 $T_A = 25$ 、 $\theta_{JA} = 38$ /W、 $T_{J_MAX} = 125$ を代入して求めたものです。

Note 3: 人体モデルでは、100pF のコンデンサから 1.5k の抵抗を介して各ピンへ放電させます。

代表的な性能特性

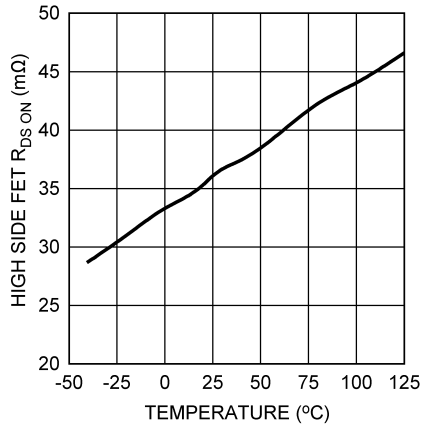
特記のない限り、以下の規格は、効率曲線、ループ・ゲイン・プロットとその波形の場合は $C_{IN} = C_{OUT} = 100\mu F$ 、 $L = 1.0\mu H$ (Coilcraft MSS1038)、 $V_{IN} = 5V$ 、 $V_{OUT} = 1.2V$ 、 $R_{LOAD} = 1.2$ 、 $f_{SW} = 1MHz$ 、 $T_A = 25$ 、それ以外の場合は $T_J = 25$ になります。

Efficiency vs. Load Current ($V_{IN} = 5V$, $f_{SW} = 1 MHz$)Efficiency vs. Load Current ($V_{IN} = 3.3V$, $f_{SW} = 1 MHz$)Efficiency vs. Load Current ($V_{IN} = 5V$, $f_{SW} = 500 kHz$)Efficiency vs. Load Current ($V_{IN} = 3.3V$, $f_{SW} = 500 kHz$)

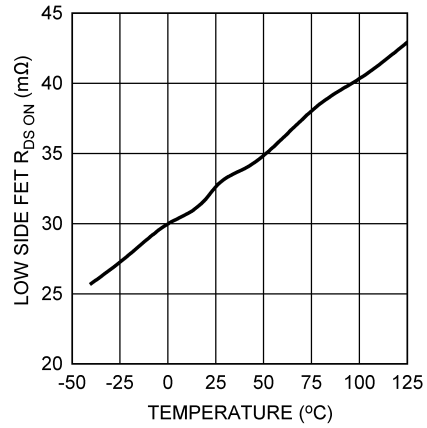
代表的な性能特性 (つづき)

特記のない限り、以下の規格は、効率曲線、ループ・ゲイン・プロットとその波形の場合は $C_{IN} = C_{OUT} = 100\mu\text{F}$ 、 $L = 1.0\mu\text{H}$ (Coilcraft MSS1038)、 $V_{IN} = 5\text{V}$ 、 $V_{OUT} = 1.2\text{V}$ 、 $R_{LOAD} = 1.2$ 、 $f_{SW} = 1\text{MHz}$ 、 $T_A = 25$ 、それ以外の場合は $T_J = 25$ になります。

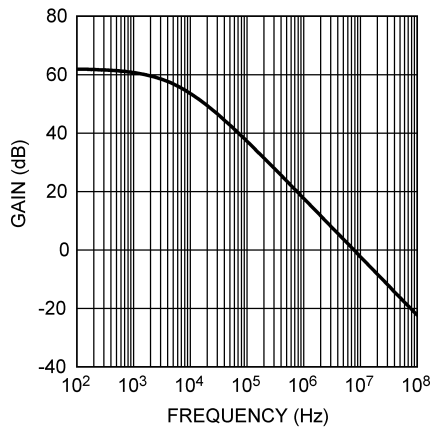
High-Side FET resistance vs. Temperature



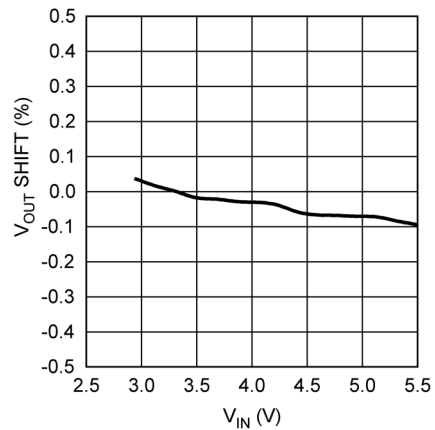
Low-Side FET resistance vs. Temperature



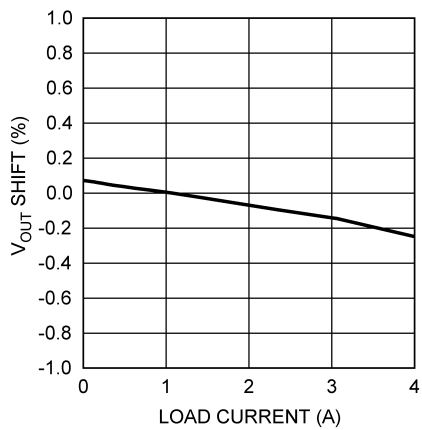
Error Amplifier Gain vs. Frequency



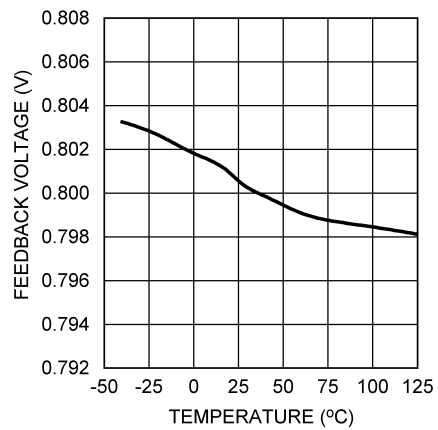
Line Regulation



Load Regulation



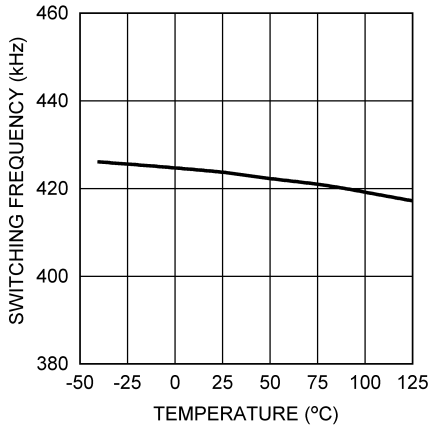
Feedback Pin Voltage vs. Temperature



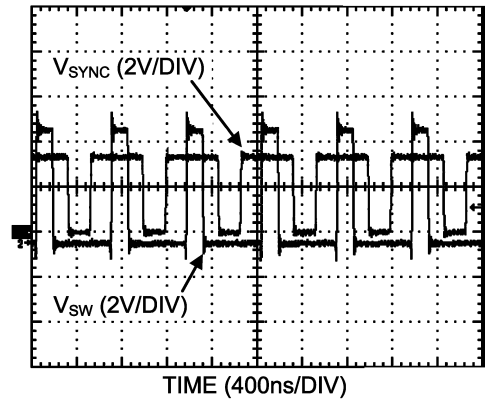
代表的な性能特性 (つづき)

特記のない限り、以下の規格は、効率曲線、ループ・ゲイン・プロットとその波形の場合は $C_{IN} = C_{OUT} = 100\mu\text{F}$ 、 $L = 1.0\mu\text{H}$ (Coilcraft MSS1038)、 $V_{IN} = 5\text{V}$ 、 $V_{OUT} = 1.2\text{V}$ 、 $R_{LOAD} = 1.2$ 、 $f_{SW} = 1\text{MHz}$ 、 $T_A = 25$ 、それ以外の場合は $T_J = 25$ になります。

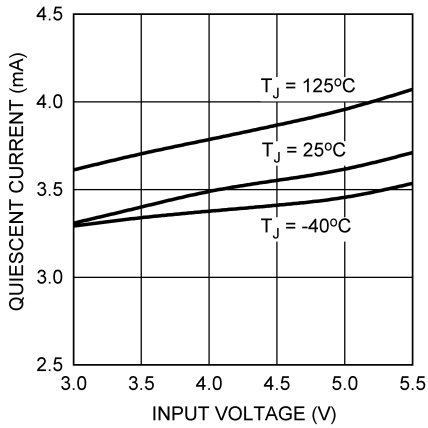
Switching Frequency vs. Temperature



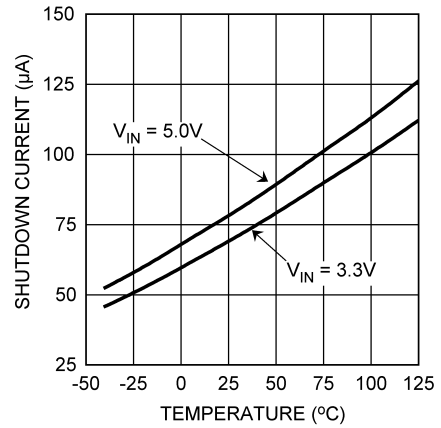
Switch Synchronization



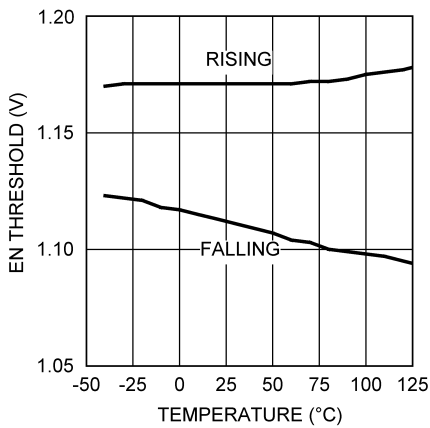
Quiescent Current vs. Temperature (Not Switching)



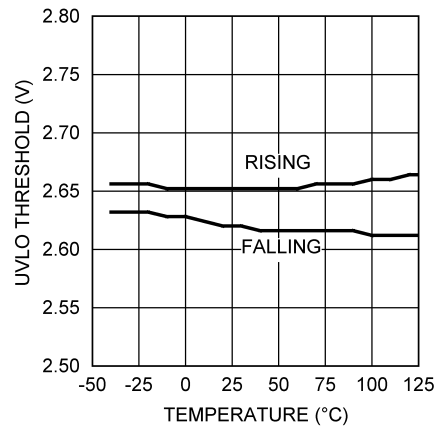
Shutdown Current vs. V_{IN}



Enable Threshold vs. Temperature



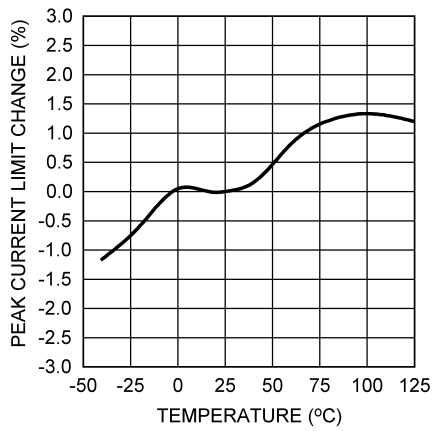
UVLO Threshold vs. Temperature



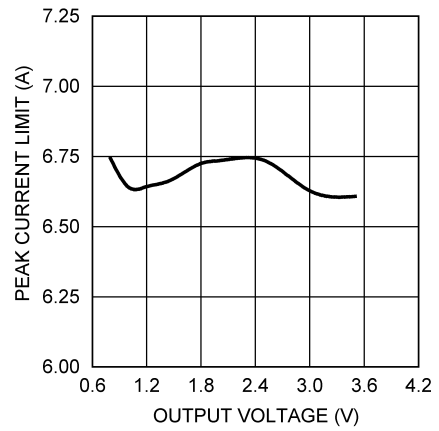
代表的な性能特性 (つづき)

特記のない限り、以下の規格は、効率曲線、ループ・ゲイン・プロットとその波形の場合は $C_{IN} = C_{OUT} = 100\mu\text{F}$ 、 $L = 1.0\mu\text{H}$ (Coilcraft MSS1038)、 $V_{IN} = 5\text{V}$ 、 $V_{OUT} = 1.2\text{V}$ 、 $R_{LOAD} = 1.2$ 、 $f_{SW} = 1\text{MHz}$ 、 $T_A = 25$ 、それ以外の場合は $T_j = 25$ になります。

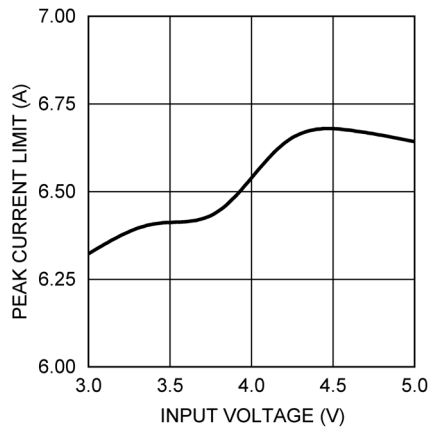
Peak Current Limit vs. Temperature



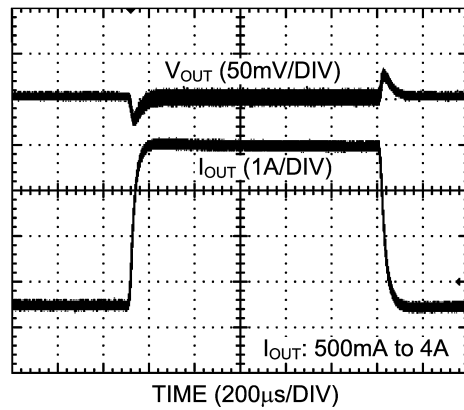
Peak Current Limit vs. V_{OUT}



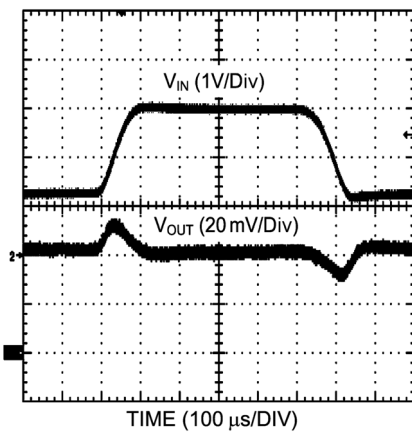
Peak Current Limit vs. V_{IN}



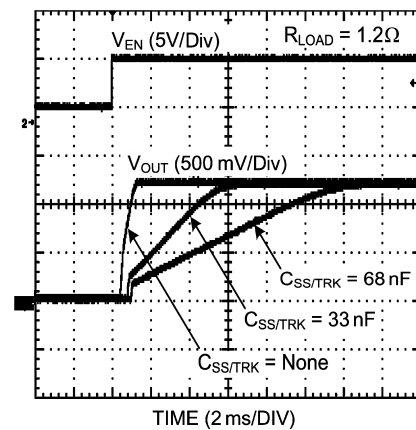
Load Transient Response



Line Transient Response



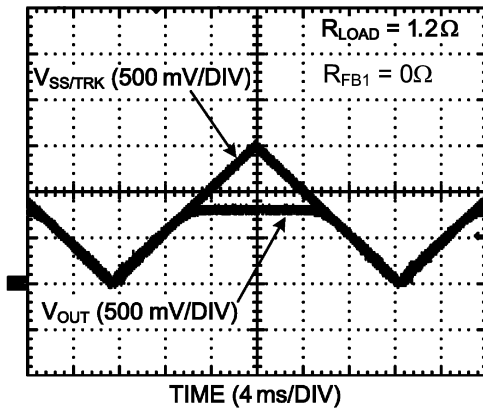
Start-Up (Soft-Start)



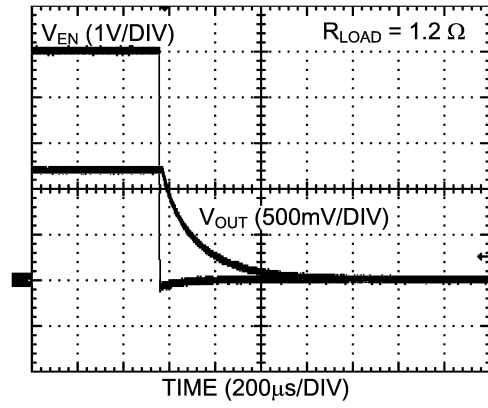
代表的な性能特性 (つづき)

特記のない限り、以下の規格は、効率曲線、ループ・ゲイン・プロットとその波形の場合は $C_{IN} = C_{OUT} = 100\mu\text{F}$ 、 $L = 1.0\mu\text{H}$ (Coilcraft MSS1038)、 $V_{IN} = 5\text{V}$ 、 $V_{OUT} = 1.2\text{V}$ 、 $R_{LOAD} = 1.2$ 、 $f_{SW} = 1\text{MHz}$ 、 $T_A = 25$ 、それ以外の場合は $T_J = 25$ になります。

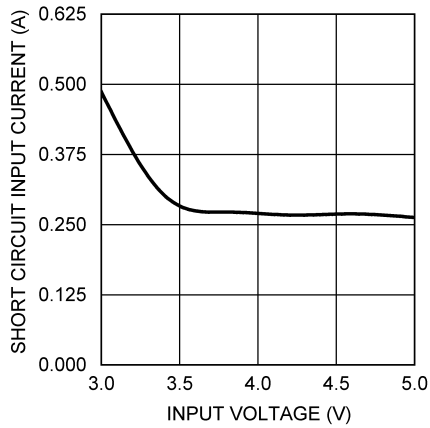
Start-Up (Tracking)



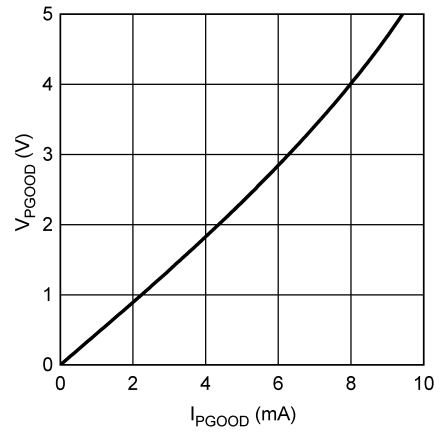
Power Down



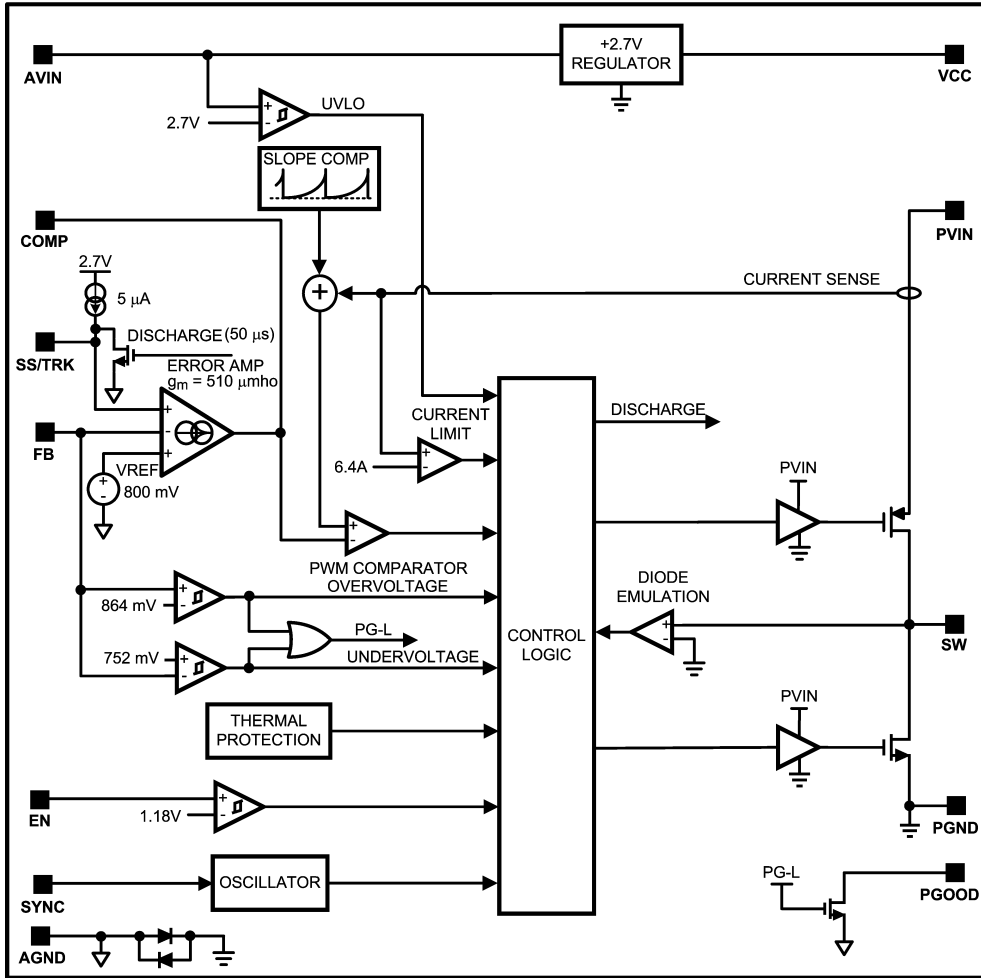
Short Circuit Input Current vs. V_{IN}



P_{GOOD} vs. I_{PGOOD}



ブロック図



動作の説明

概要

LM20134 は、できる限り少ない外付け部品で効率的な低電圧降圧レギュレータを実装するために必要なすべての機能を備えたスイッチング・レギュレータです。この使いやすいレギュレータは、2つのスイッチ素子を内蔵し、最大 4A の連続出力電流を供給できます。レギュレータは非線形スロープ補償によるピーク電流モード制御により、出力電圧範囲全体にわたり最適な安定性および過渡応答を実現します。ピーク電流モード制御は、入力電圧フィードフォワード、サイクルごとの電流制限、ループ補償が簡単という特長を原理的に備えています。内蔵発振回路は最大 1.5MHz までの周波数に同期可能で、インダクタ・サイズを最小化しながら最大 96% の効率を達成しています。高精度な内部電圧リファレンスにより、出力を 0.8V という低電圧に設定できます。そのほか、電流制限、サーマル・シャットダウン、オーバーボルテージ保護、シャットダウン機能を備えています。デバイスは放熱を助ける露出パッドを組み込んだ eTSSOP-16 パッケージで供給されます。5V または 3.3V バスから効率的に降圧する目的で、LM20134 は数多くのアプリケーションに適用することが可能です。LM20134 の一般的なアプリケーション回路は設計ガイドラインの Figure 2 に示しています。

高精度イネーブル

イネーブル (EN) ・ピンから、デバイスの出力を外部制御信号によりイネーブルまたはディスエーブルできます。このピンは、電圧が 1.18V (代表値) を超えた場合にデバイスをイネーブルにできる高精度アナログ入力です。EN ピンには 66mV のヒステリシスがあり、イネーブル電圧が 1.11V (代表値) を下回ると出力をディスエーブルします。EN ピンを使用しない場合は、VIN に接続してください。イネーブル・ピンには高精度なターンオン・スレッショルドがあるため、VIN から外部抵抗分圧ネットワークと一緒に使用することにより、デバイスがターンオンする入力電圧を高精度に設定できます。高精度イネーブル回路は、デバイスがディスエーブルされてもアクティブのままです。

外部同期機能

外部同期ピン (SYNC) を使用して、外部クロック信号でデバイスのスイッチング周波数を制御できます。この機能により、望ましくない周波数帯域での動作を避けながら、複数のコンバータを同期させることができます。LM20134 の SYNCOUT 出力を使用する場合、複数のデバイスの位相をずらすよう設定すると、入力コンデンサの要件が緩和し電源装置の電磁妨害が低減されます。

ハイサイド・スイッチのターンオンは、SYNC ピン入力の立ち上がりエッジに同期します。正常な動作を保证するためには、入力クロックのロジック Low レベルは 0.8V を下回る値でなければならず、ロジック High レベルは 2.0V を上回る値でなければなりません。デバイスは 500kHz ~ 1.5MHz の周波数の同期に対応します。同期クロックが外されるかスタートアップ時に存在しない場合、デバイスの発振回路はおよそ 410kHz に設定されます。SYNC ピンを使用しない場合は、グラウンドに接続してください。

ピーク電流モード制御

大半の場合、LM20134 で使用されているピーク電流モード制御アーキテクチャが安定した設計を実現するために必要とする外付け部品は 2 つだけです。補償を選択するとどのような種類または値のコンデンサにも対応します。外部機器により、ユーザーはクロスオーバー周波数を設定でき、デバイスの過渡特性を最適化できます。

デューティ・サイクル 50% 以上では、低調波発振を避けるために、すべての電流モード制御降圧型コンバータではランプを追加する必要があります。この非線形ランプは、通常スロープ補償と呼ばれます。LM20134 の特長は、スロープ補償の量が出力電

圧に応じて変化するという点です。高出力電圧での動作時は、低出力電圧での動作時に比べスロープ補償量が大きくなります。これは、スロープ補償に非線形放物線ランプを使用することにより実現されます。LM20134 の放物線スロープ補償は、出力電圧範囲全体にわたってデバイスの安定性を最適化するため、従来の非線形スロープ補償より優れています。

電流制限

LM20134 の高精度な電流制限は、工場出荷時に動作温度範囲全体にわたって 10% 以内に設定されています。このため、デバイスは飽和電流の低い小さなインダクタで動作できます。ピーク・インダクタ電流が電流制限スレッショルドに達すると、過電流イベントが起動して IC 内部のハイサイドの FET はオフになり、ローサイドの FET はオンになるため、インダクタ電流は次のスイッチング・サイクルまで減少し続けます。順次発生する過電流イベントではリファレンス電圧が減少し PWM パルスがスキップされるため、短い過電流イベントでは過電流制限は積極的にフォールドバックしませんが、ハードがショートしている間周波数および電圧のフォールドバック保護を行います。

ソフトスタートおよび電圧トラッキング

SS/TRK ピンは、スタートアップ時間の設定または外部電源のトラッキングに使用できる二重機能のピンです。スタートアップまたはソフトスタートの時間は、コンデンサを SS/TRK ピンとグラウンドの間に接続することにより調節できます。ソフトスタート機能を使用すると、レギュレータ出力は、設定電圧に緩やかに到達できるため、電源入力時のストレスを軽減しスタートアップ時の電流を制御できます。ソフトスタート・コンデンサを使わない場合、デバイスはデフォルトで内部ソフトスタート回路を起動するため、スタートアップ時間はおよそ 1ms です。単調なスタートアップが必要なアプリケーションや、PGOOD ピンを使用するアプリケーションでは、外部ソフトスタート・コンデンサを推奨します。SS/TRK ピンを設定して外部電源をトラッキングすることもできます。設計ガイドラインの Figure 7 に示すとおり、SS/TRK ピンに接続された 2 つの外部抵抗によりトラッキング動作を調節できます。

プリバイアス・スタートアップ機能

出力電圧がゼロより大きい状態で起動することをプリバイアスといいます。この状態は、FPGA、ASIC または DSP に電源を供給するようなマルチレール・アプリケーションで数多く見られます。これらのアプリケーションでは、出力は 1 つの電源から別の電源へ続く寄生伝導経路を通じてプリバイアスされます。LM20134 は同期コンバータですが、プリバイアス状態が発生しても出力は低下させません。スタートアップ時、LM20134 はソフトスタート電圧が FB ピンの電圧を超えない限り電流シンクを行いません。電流シンクしないため、デバイスは電流が負荷の寄生経路を介して導通することによって、発生する被害から負荷を保護します。

パワーグッドおよびオーバーボルテージの異常処理

LM20134 は、出力のアンダーボルテージおよびオーバーボルテージを検出するコンパレータを内蔵しています。設定したオーバーボルテージ保護スレッショルドを超えた出力電圧で異常急変が発生すると、デバイスは現在のオン・パルスを終了し、ローサイド FET をオンし、PGOOD ピンを Low にします。ローサイド FET は、FB 電圧が安定状態に戻るか、またはゼロクロス検出が起動して FET を TRI-STATE にするまで、オンのままです。出力がアンダーボルテージ保護のスレッショルドに達すると、デバイスはスイッチングを継続し、PGOOD ピンは Low になります。PGOOD 抵抗の代表値は、100k のオーダーまたはそれ未満です。一時的なグリッチの間の誤ったトリップを避けるため、PGOOD ピンには立ち上がりおよび立ち下りの両方に 16μs のデグリッチ時間があります。

動作の説明 (つづき)

アンダーボルテージ・ロックアウト

LM20134 は、入力電圧が 2.7V (代表値) に達しない限りスイッチングしないよう、アンダーボルテージ・ロックアウト保護回路を内蔵しています。アンダーボルテージ・ロックアウト・スレッショルドには 45mV のヒステリシスがあり、デバイスが起動中にパワー・オン・グリッチに反応するのを防ぎます。設計ガイドラインの Figure 6 に示すとおり、必要に応じて、高精度イネーブル・ピンおよび V_{IN} に接続された抵抗分圧ネットワークを使うことにより、電源のターンオン点を変更できます。

過熱保護

最大接合部温度を超えた場合に集積回路を保護する目的でサーマル・シャットダウン回路が内蔵されています。通常 160 でアクティブになると、LM20134 はパワー FET を TRI-STATE にし、ソフト・スタートをリセットします。接合部がおよそ 150 まで冷却された後、デバイスは通常のスタートアップ動作によって起動します。この機能はデバイスの予期せぬ過熱に対して致命的な障害を防止します。

軽負荷動作

LM20134 は、軽負荷で動作する際に高い効率を実現します。ピーク・ツー・ピークのインダクタのリップル電流が負荷電流の 2 倍になる値まで負荷電流を減少させると、デバイスはダイオード・エミュレーション・モードに入り、大きな負のインダクタ電流を防止します。この状況が発生する値は連続モードの限界となる境界であり、次式で計算できます。

$$I_{\text{BOUNDARY}} = \frac{(V_{\text{IN}} - V_{\text{OUT}}) \times D}{2 \times L \times f_{\text{SW}}}$$

Figure 1 に、連続モード (CCM)、不連続導通モード、境界条件を示す図を示します。

ダイオード・エミュレーション・モードでは、インダクタ電流がゼロに達すると、SW ノードは必ずハイ・インピーダンスになります。SW ノードがハイ・インピーダンスになると、インダクタと SW ノードの寄生容量によって形成される LC タンク回路のために、このピンでリングングが発生します。このリングングが問題となる場合、スイッチ・ノードからグラウンドへの RC スナバ回路が追加される場合があります。

通常 100mA 未満の非常に軽い負荷では、スイッチング・サイクルの間でいくつかのパルスがスキップされ、スイッチング周波数が効果的に低下し、さらに軽負荷効率が向上します。

動作の説明(つづき)

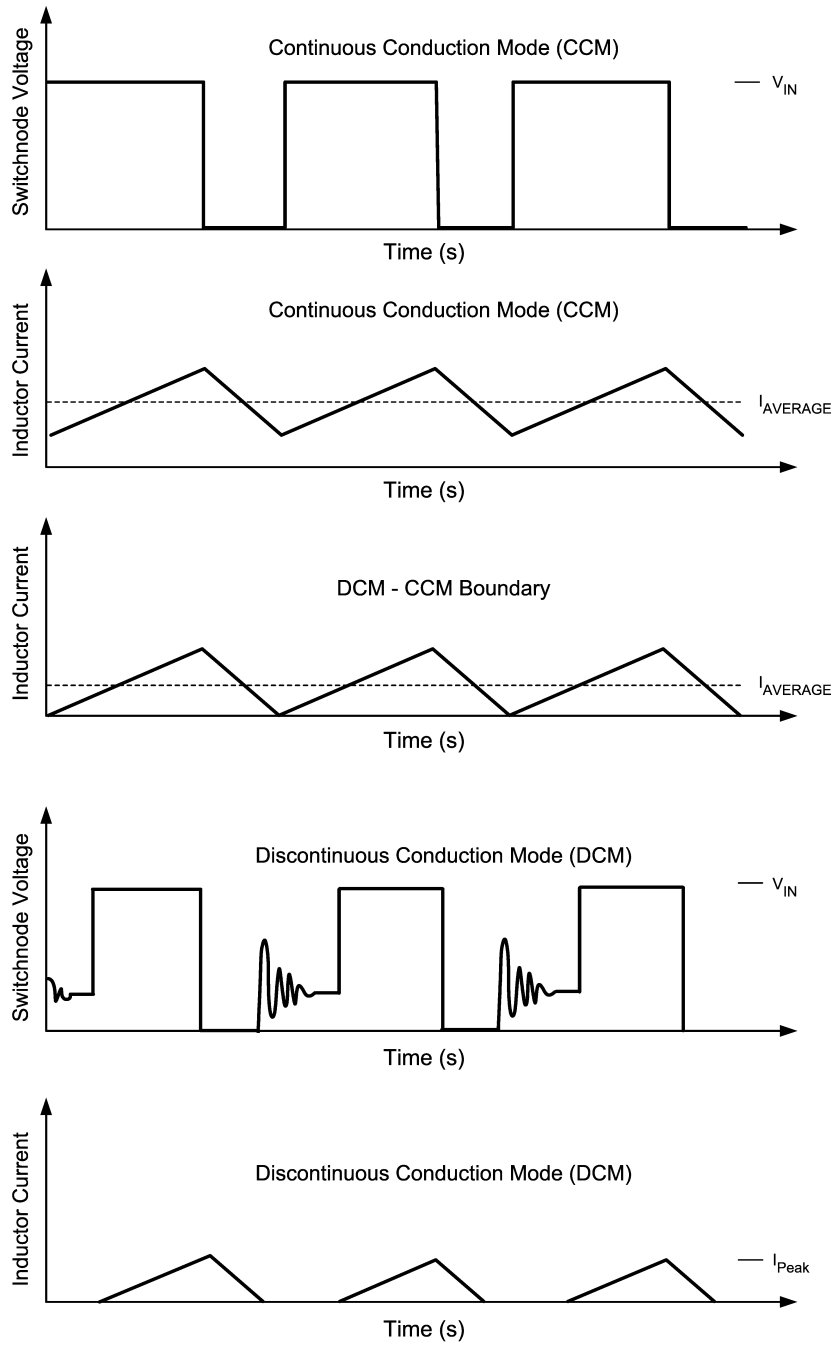


FIGURE 1. Modes of Operation for LM20134

設計ガイドライン

この項では、全機能を有する電源の構築に必要な外付け部品の選定方法を段階を踏んで説明します。どのような DC/DC コンバータの設計であっても、効率、実装面積、性能が最適化のトレードオフになります。このセクションではこれらの設計条件について詳しく取り上げます。部品選定を簡易化するために、下の Figure 2 に示す回路を参考として使用します。特記のない限り、すべての式において単位は電流をアンペア (A)、容量をファラッド (F)、インダクタンスをヘンリー (H)、電圧をボルト (V) とします。

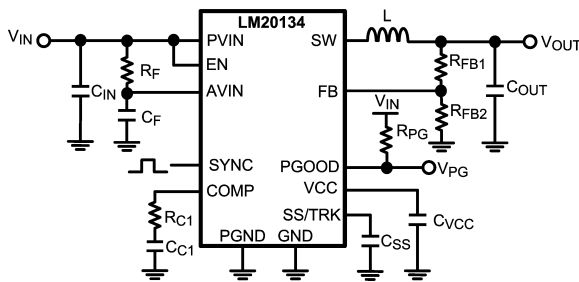


FIGURE 2. Typical Application Circuit

降圧コンバータの設計では最初に登場する式はデューティ・サイクルです。FET によって生じる導通損失と寄生抵抗を無視すると、デューティ・サイクルは次のように近似されます。

$$D = \frac{V_{OUT}}{V_{IN}}$$

インダクタの選択 (L)

インダクタンス値は、動作周波数、負荷電流、リップル電流、およびデューティ・サイクルをもとに決定します。

デバイスのピーク電流制限よりも大きな飽和電流定格を持つインダクタを選択します。規定の電流制限は電流制限コンバータの遅延を考慮していないため、アプリケーションの電流制限は規定値より高くなる可能性があることを念頭においてください。性能を最適化し、デバイスが最大負荷時に電流制限モードに入ることを防止するために、通常リップル電流 i_L が定格出力電流の 30% より低くなるようにインダクタンスを選定します。下の Figure 3 は、スイッチおよびインダクタ・リップル電流波形を示しています。入力電圧、出力電圧、動作周波数、および目標のリップル電流がわかれば、次式によりインダクタの最小値を計算できます。

$$L_{MIN} = \frac{(V_{IN} - V_{OUT}) \times D}{\Delta i_L \times f_{SW}}$$

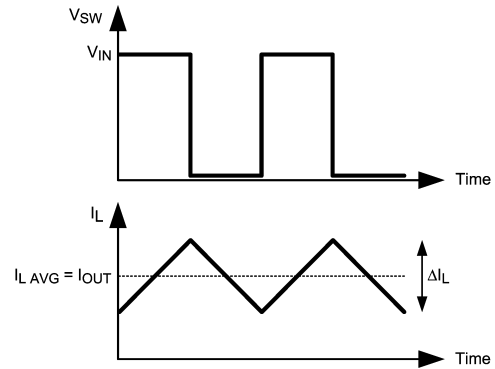


FIGURE 3. Switch and Inductor Current Waveforms

必要に応じて、若干小さい値のインダクタを使用することもできますが、ピーク・インダクタ電流 $I_{OUT} + i_L/2$ はデバイスのピーク電流制限を超えないようにする必要があります。一般に、電流モード制御ループに適切な電流センス情報を提供するために、インダクタ・リップル電流 i_L は、定格出力電流の 10% 以上が必要です。インダクタのリップル電流が低すぎる場合、制御ループに十分な電流センス情報がなく、不安定になる場合があります。

出力コンデンサの選択 (COUT)

出力コンデンサ C_{OUT} は、インダクタ・リップル電流を平滑化するとともに、負荷の変動に対して電荷を供給します。幅広い出力コンデンサを LM20134 と併用し、優れた性能を実現できます。通常セラミック、SP または OS コンデンサなどのケミカル・コンデンサを使うことにより、最高性能が得られます。一般的なレドオフとして、セラミック・コンデンサはきわめて小さな ESR を持ち、出力リップル電圧とノイズ・スパイクを吸収する一方で、SP および OS コンデンサは小型大容量のバルク・コンデンサとして負荷変動に対応します。

出力コンデンサの値を選択する際、考慮すべき 2 つの性能規格は出力電圧リップルと過渡応答です。出力電圧リップルは、次式で近似されます。

$$\Delta V_{OUT} = \Delta i_L \times \left[ESR + \frac{1}{8 \times f_{SW} \times C_{OUT}} \right]$$

ここで、 V_{OUT} (V) は電源出力におけるピーク・ツー・ピーク電圧リップル量、 R_{ESR} () は出力コンデンサの直列抵抗、 f_{SW} (Hz) はスイッチング周波数、 C_{OUT} (F) は設計時に使用した出力容量を示します。許容できる出力リップルの量はアプリケーション固有ですが、一般的に定格出力電圧の 1% 未満に抑えることを推奨します。セラミック・コンデンサは ESR が非常に低いため適していることがありますが、パッケージおよびコンデンサの電圧定格によっては、印加電圧により容量値が著しく落ちる可能性があることを念頭においてください。出力コンデンサの選択は、負荷変動時の出力電圧低下にも影響します。負荷変動時の出力電圧のピーク低下は、多くの要因に依存します。しかし次式を使うことにより、ループ帯域を無視した変動低下量の近似を得ることができます。

$$V_{DROOP} = \Delta I_{OUTSTEP} \times R_{ESR} + \frac{L \times \Delta I_{OUTSTEP}^2}{C_{OUT} \times (V_{IN} - V_{OUT})}$$

ここで、 C_{OUT} (F) は必要な出力容量の最小値、 L (H) はインダクタの値、 V_{DROOP} (V) はループ帯域幅を無視した出力電圧低下、 $I_{OUTSTEP}$ (A) は負荷ステップ変動、 R_{ESR} () は出力コンデンサ ESR、 V_{IN} (V) は入力電圧、 V_{OUT} (V) はレギュレータの出力電

設計ガイドライン (つづき)

圧設定値です。特定の出力リップルまたは変動低下目標で設計する際、コンデンサの誤差および電圧係数の両方を考慮する必要があります。

入力コンデンサの選択 (C_{IN})

VIN ピンに発生するリップル電圧を抑え、かつ、オン期間中のスイッチ電流の大半を供給する目的で、良質の入力コンデンサが必要です。一般に入力コンデンサには、インピーダンスが低く実装面積が小さいセラミック・コンデンサを推奨します。このとき、X5R や X7R など、適切な誘電体特性のセラミック・コンデンサを選択することが重要です。これらは動作温度が変化しても良好な特性を示し、Y5V コンデンサで生じる DC 電圧のデレレーティングを抑えます。大半のアプリケーションでは、22 μ F、X5R、6.3V の入力コンデンサで充分ですが、入力電源への接続が PVIN ピンから遠い場合はコンデンサを追加しなければならない場合があります。また入力コンデンサを PVIN ピンおよび PGND ピンの可能な限り近くに配置してください。

セラミック以外入力コンデンサは、RMS 電流定格と最小リップル電圧で選択します。以下の関係式からリップル電流定格の適切な近似が得られます。

$$I_{IN-RMS} = I_{OUT} \sqrt{D(1-D)}$$

RMS リップル電流式で示したとおり、RMS 電流定格が最も必要なのはデューティ・サイクル 50% のときです。この場合、入力コンデンサの RMS リップル電流定格は出力電流の半分より大きい必要があります。最高性能を引き出すには、低 ESR セラミック・コンデンサはより高容量のコンデンサと並列に配置して、デバイスに最適な入力フィルタリングを行ってください。

出力電圧の設定 (R_{FB1} 、 R_{FB2})

デバイスの出力電圧を設定するには、抵抗 R_{FB1} および R_{FB2} を選択します。下の Table 1 に、一般的な出力電圧における R_{FB1} および R_{FB2} の推奨値を示します。

TABLE 1. Suggested Values for R_{FB1} and R_{FB2}

R_{FB1} (k Ω)	R_{FB2} (k Ω)	V_{OUT}
short	open	0.8
4.99	10	1.2
8.87	10.2	1.5
12.7	10.2	1.8
21.5	10.2	2.5
31.6	10.2	3.3

異なる出力電圧が必要な場合、 R_{FB2} に 4.99k ~ 49.9k を選択し、次式を使って R_{FB1} を計算してください。

$$R_{FB1} = \left(\frac{V_{OUT}}{0.8} - 1 \right) \times R_{FB2}$$

ループ補償 (R_{C1} 、 C_{C1})

ループ補償の目的は、十分な安定性の維持と静的および動的な性能要件を両立させることです。最適なループ補償は、出力コンデンサ、インダクタ、負荷およびデバイス本体に依存します。Table 2 に、100 μ F、6.3V のセラミック X5R 出力コンデンサおよび 1 μ H のインダクタを使用した際にシステムが安定する補償ネットワークの値を示します。

TABLE 2. Recommended Compensation for $C_{OUT} = 100\mu\text{F}$, $L = 1\mu\text{H}$ & $f_{SW} = 1\text{MHz}$

V_{IN}	V_{OUT}	C_{C1} (nF)	R_{C1} (k Ω)
5.00	3.30	4.7	13.3
5.00	2.50	4.7	11
5.00	1.80	4.7	6.81
5.00	1.50	4.7	4.53
5.00	1.20	4.7	3.09
5.00	0.80	4.7	1.33
3.30	1.80	4.7	8.06
3.30	1.50	4.7	5.23
3.30	1.20	4.7	3.16
3.30	0.80	4.7	1.33

必要なソリューションが上の表と異なる場合、ループ伝達関数を分析してループ補償を最適化してください。全体ループ伝達関数は、パワー段と帰還ネットワーク伝達関数の積になります。安定性を確保するには、きわめて低い周波数からクロスオーバー周波数を超える周波数まで、ループ・ゲインの傾きを -20dB/dec とすることが目標になります。下の Figure 4 に、LM20134 のパワー段、帰還 / 補償ネットワーク、およびその結果生じる閉ループ・システムについて、伝達関数を示します。

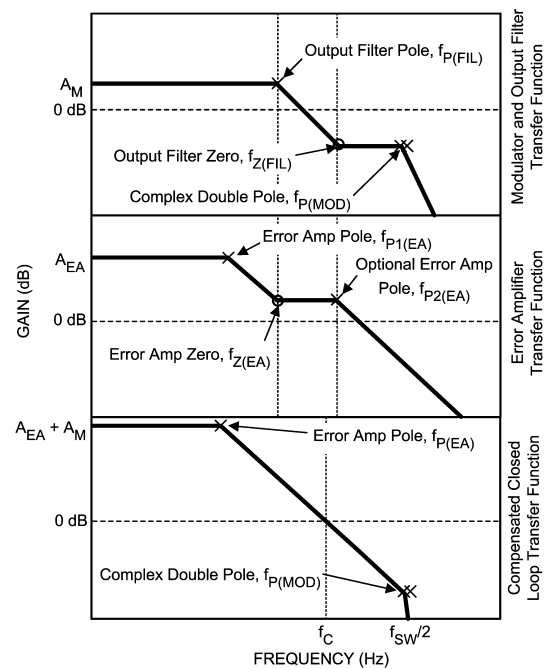


FIGURE 4. LM20134 Loop Compensation

パワー段伝達関数は、変調器、出力 LC フィルタおよび負荷によって記述されます。一方帰還伝達関数は、フィードバック抵抗比、エラー・アンプ・ゲイン、および外部補償ネットワークにより設定されます。

-20dB/dec の傾きを実現するには、 $f_{Z(EA)}$ のエラー・アンプ・ゼロを配置し出力フィルタ・ポール ($f_{P(FIL)}$) をキャンセルします。 $f_{P2(EA)}$ にエラー・アンプ・ポールを追加し、 $f_{Z(FIL)}$ の出力フィルタ・ゼロをキャンセルできます。値の大きいセラミック以外の出力コンデンサを使用する場合、出力フィルタ・ゼロのキャンセルを推奨します。

Figure 5 の RC ネットワークを追加することにより、LM20134 の補償は終了です。

設計ガイドライン (つづき)

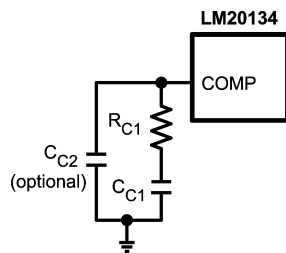


FIGURE 5. Compensation Network for LM20134

大半のアプリケーションにおいて、 C_{C1} の初期値は 4.7nF が適切です。 C_{C1} の値を選択した後、次式を使って RC の値を計算し、Figure 4 に示したとおり出力フィルタ・ポール ($f_{p(\text{FIL})}$) をキャンセルしてください。

$$R_{C1} = \left[\frac{C_{C1}}{C_{\text{OUT}}} \times \left[\frac{I_{\text{OUT}}}{V_{\text{OUT}}} + \frac{1-D}{f_{\text{SW}} \times L} + \frac{15 \times D}{V_{\text{IN}}} \right] \right]^{-1}$$

通常位相マージンを犠牲にして C_{C1} を下げ、 R_{C1} の値を再度計算することにより、高いクロスオーバー周波数を取得できます。同様に、 C_{C1} を上げ、 R_{C1} を再度計算することにより、より低いクロスオーバー周波数において位相マージンを追加します。LM20134 の補償を試みると同時に、必要な変動低下量およびセトリング・タイムでのシステムの安定性を確保してください。

出力フィルタ・ゼロ ($f_{z(\text{FIL})}$) からクロスオーバー周波数 (f_c) にアプローチする場合、追加のコンデンサ (C_{C2}) を COMP ピンからグラウンドに配置してください。このコンデンサはポールを追加して出力フィルタ・ゼロをキャンセルし、 $f_{\text{SW}}/2$ のダブル・ポールで位相マージンが低下する前にクロスオーバー周波数が発生することを保証します。出力フィルタ・ゼロは、次式に示すとおり、出力コンデンサの値と ESR によって設定されます。

$$f_{z(\text{FIL})} = \frac{1}{2 \times \pi \times C_{\text{OUT}} \times R_{\text{ESR}}}$$

必要に応じて、次式を使って C_{C2} の値を計算してください。

$$C_{C2} = \frac{C_{\text{OUT}} \times R_{\text{ESR}}}{R_{C1}}$$

ここでは R_{ESR} は出力コンデンサ直列抵抗、 R_{C1} は補償抵抗の計算値です。

AVIN フィルタ部品 (C_F および R_F)

高周波ノイズのスパイクによって AVIN ピンおよび AGND ピンに接続された高感度のアナログ回路が妨害されることを防ぐため、PVIN と AVIN の間に高周波数 RC フィルタが必要となります。これらの部品は Figure 2 に C_F および R_F として示されています。 R_F に必要な値は 1Ω です。 C_F は必ず使用してください。 C_F の推奨値は $1.0\mu\text{F}$ です。フィルタ・コンデンサ C_F は、AVIN と AGND を直接接続し、可能な限り IC の近くに配置してください。このとき、 C_F には X5R や X7R など、適切なセラミック・コンデンサを選択すべきです。

サブレギュレータ・バイパス・コンデンサ (C_{VCC})

VCC ピンに配置したコンデンサは、ノイズをフィルタする効果と内部のサブレギュレータを安定化する働きがあります。 C_{VCC} の推奨値は $1\mu\text{F}$ 以上 $10\mu\text{F}$ 以下です。品質が良い X5R または X7R のセラミック・コンデンサを使用してください。一般的なアプリケーションでは $1\mu\text{F}$ のセラミック・コンデンサを推奨します。

スタートアップ時間の設定 (C_{SS})

SS ピンとグラウンド間にコンデンサを追加することにより、出力電圧が最終レギュレート値に達する時間を設定できます。 C_{SS} の値が大きいほど、スタートアップ時間は長くなります。Table 3 に、ソフトスタート・コンデンサの一覧と対応する標準的なスタートアップ時間を示します。

TABLE 3. Start Up Times for Different Soft-Start Capacitors

Start Up Time (ms)	C_{SS} (nF)
1	none
5	33
10	68
15	100
20	120

スタートアップ時間の変更が必要な場合、次式を使ってスタートアップ時間を計算できます。

$$t_{\text{SS}} = \frac{0.8V \times C_{\text{SS}}}{I_{\text{SS}}}$$

この式が示すとおり、スタートアップ時間はソフトスタート・コンデンサ C_{SS} (F) と、「電気的特性」の表に示す $5\mu\text{A}$ ソフトスタート・ピン電流 I_{SS} (A) の値によって影響を受けます。

ソフトスタート・コンデンサの容量は複数の起動要件を満足するように選択できますが、この容量には制限があります。スタートアップ時間は内部のデフォルト仕様が 1ms になっているため、ソフトスタート時間をこの値より短くすることはできません。デバイスがイネーブルになっているとき、ソフトスタート・コンデンサが、ソフトスタート上昇の直前に放電する場合、およそ $50\mu\text{s}$ のインターバルがあります。イネーブル・ピンが急激なパルス状になっている場合、またはソフトスタート・コンデンサが大容量の場合、 C_{SS} が完全に放電するために十分な時間がなく、スタートアップ時間が予想より短くなる場合があります。長いディスエーブル期間中のソフトスタート・コンデンサの放電を助けるために、SS/TRK ピンとグラウンドの間に外部の $1\text{M}\Omega$ 抵抗を接続することができます。スタートアップ時間には大きな影響を与えません。

高精度イネーブル・ピンおよびパワーグッド・ピンの使用

LM20134 の高精度イネーブル (EN) ピンおよびパワーグッド (PGOOD) ピンを使って、多くのシーケンス要件に対応できます。Figure 6 に示すとおり、2 つの外部抵抗を使用することにより、高精度イネーブル・ピンで LM20134 のターンオンを制御できます。

設計ガイドライン (つづき)

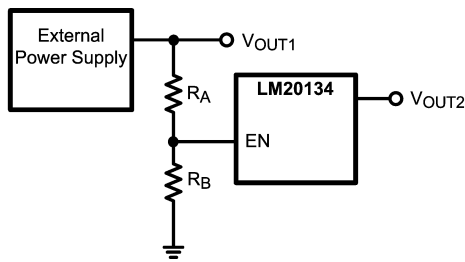


FIGURE 6. Sequencing LM20134 with Precision Enable

抵抗 R_B の値はユーザーが選択でき、分圧抵抗によって電流を制御できます。通常、この抵抗は $10k \sim 1M$ の間で選択されます。 R_B の値を選択すると次式を使って抵抗 R_A が求められ、必要なターンオン電圧を設定できます。

$$R_A = \left(\frac{V_{TO}}{V_{IH_EN}} - 1 \right) \times R_B$$

特定のターンオン・スレッシュホールド (V_{TO}) に設計する場合、入力電源の許容誤差、イネーブル・スレッシュホールド (V_{IH_EN}) および外部抵抗を考慮して、デバイスに適切なターンオンを確定する必要があります。

LM20134 の特長は、オープン・ドレイン・パワーグッド (PGOOD) ピンが外部電源または負荷のシーケンス制御を行い、異常検出を行うことです。このピンには、PGOOD を High にする外部抵抗 (R_{PG}) が必要です。同時に出力が PGOOD 許容誤差ウィンドウ内にある必要があります。この抵抗の一般的な値は、 $10k \sim 100k$ です。

外部電源のトラッキング

Figure 7 に示すとおり、SS/TRK ピンにつながる分圧抵抗ネットワークを適切に選択することにより、LM20134 の出力を外部電源をトラッキングするよう設定し、同時スタートアップまたはレシオメトリック・スタートアップを実現できます。

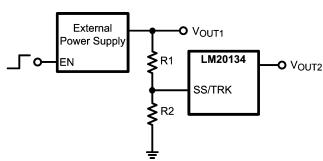


FIGURE 6. Tracking an External Supply

SS/TRK ピンは常に電流 I_{SS} を充電するソフトスタートのため、 R_2 の容量は $10k$ 未満とし、トラッキング出力のエラーを最小限に抑える必要があります。 R_2 の値を選択すると、Figure 8 の適切な式を使って R_1 の値を計算し、必要なスタートアップを求めることができます。Figure 8 に、2 種類の一般的なスタートアップ・シーケンスを示します。上の波形は同時スタートアップを、下の波形はレシオメトリック・スタートアップを示しています。

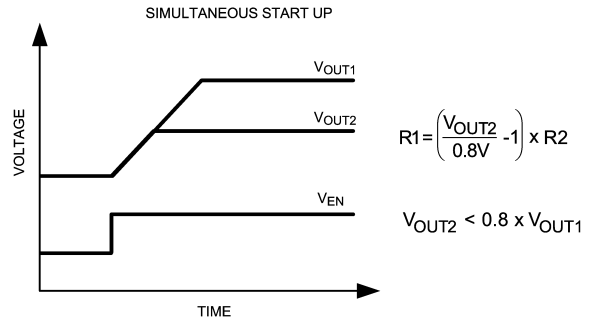


FIGURE 7. Common Start Up Sequences

同時スタートアップは、大半の FPGA、DSP またはその他のマイクロプロセッサに電源供給する際に適しています。これらのシステムでは、通常高い電圧 V_{OUT1} が I/O の電源を供給し、低い電圧 V_{OUT2} がコアの電源を供給します。同時スタートアップでは、プロセッサのコアと I/O ピン間に存在する可能性のある寄生伝導経路をオンすることを避けるため、これらのアプリケーションに対しより堅牢な電源供給を行います。

2 番目に一般的な電源供給は、レシオメトリック・スタートアップとして知られています。このスタートアップは、両方の電源を同時に最終値にする必要のあるアプリケーションに適しています。

ソフトスタート機能と同様、最速のスタートアップは、トラッキング電圧の立ち上がり時間に関係なく、 $1ms$ が可能です。トラッキング機能を使う場合、十分なオーバードライブと過渡変動に対する耐性を持つために、SS/TRACK ピンによって見られる最終電圧は $1V$ を超える必要があります。

熱に関する考慮事項

LM20134 の放熱特性は、接合部温度と周囲温度とを関係付ける J_A パラメータを使用して規定します。 J_A の値は多くの変数に依存しますが、デバイス動作時の接合部温度を概算するために使えます。

デバイスの接合部温度を概算するには、次の関係式を使用します。

$$T_J = P_D J_A + T_A$$

および

$$P_D = P_{IN} \times (1 - \text{Efficiency}) - 1.1 \times I_{OUT2} \times DCR$$

各項の詳細は次のとおりです。

T_J は接合部温度 (単位:)

P_{IN} は入力電力 (単位: W) ($P_{IN} = V_{IN} \times I_{IN}$)

J_A は LM20134 の接合部 - 周囲間熱抵抗

設計ガイドライン (つづき)

T_A は周囲温度 (単位:)

I_{OUT} は出力負荷電流

DCR はインダクタ直列抵抗

動作の信頼性を保つには、動作時の接合部温度 (T_J) を常に 125 未満に保つことが重要です。接合部温度が 160 を超えると、デバイスはサーマル・シャットダウンを繰り返します。サーマル・シャットダウンが発生するのは、デバイス内で不適切なヒートシンクまたは過度な電力消費が発生している徴候です。

Figure 9 に、特定の PCB の銅エリアにおける J_A の適切な概算値を示します。PCB の放熱板には、eTSSOP 露出パッドの直下に、PCB の最下層にある 2oz の銅が含まれています。最下層の銅は、4 × 4 列の 12mil のスルーホールにより、eTSSOP 露出パッドに接続されています。

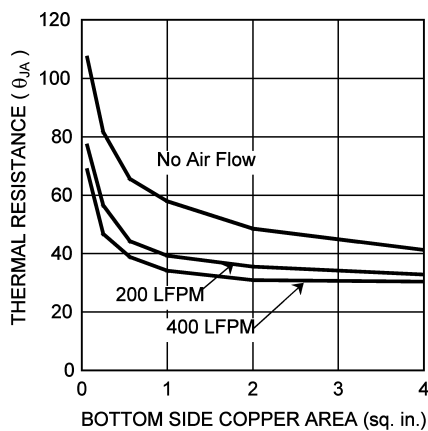


FIGURE 8. Thermal Resistance vs PCB Area

PCB レイアウトの考慮事項

プリント基板のレイアウトはDC/DCコンバータの設計で重要な部分を占めています。設計が適切ではないプリント基板を使用すると、EMI、グラウンド・バウンス、配線での電圧降下などにより、DC/DCコンバータの性能と周辺回路の動作に影響を与えます。不適切な基板では、DC/DCコンバータに不正な信号が入力され、制御性と安定度が低下します。

次に述べる基本的な設計ルールに従い、適切なプリント基板設計を行ってください。

1. スイッチングされた電流ループの面積を最小限に抑えます。降圧型レギュレータには電流がきわめて高速にスイッチする 2 個のループが存在します。最初のループは入力コンデンサから始まり、レギュレータの VIN ピン、レギュレータの SW ピン、インダクタ、そして出力コンデンサおよび出力負荷につながる経路です。もう 1 つは、出力コンデンサのグラウンドから始まり、レギュレータの PGND ピンを通して、インダクタから出力負荷へと至るループです (Figure 10 参照)。両方のループ面積を最小化するために、入力コンデンサを PVIN ピンの可能な限り近くに配置してください。入出力コンデンサ両方の接地には、PGND に接続する小型の局部的な上側プレーンおよびダイ・アタッチ・パッド (DAP) があります。インダクタを SW ピンおよび出力コンデンサの可能な限り近くに配置してください。

2. スイッチ・ノードの銅エリアを最小限に抑えます。LM20134 にはパッケージの反対側に SW ピンがあるため、各 SW ピンから 2 ~ 4 つのスルーホールを介して、下層または基板内部の層と接続することを推奨します。SW ピンはパッケージ下を通るパターンにより直接接続してください。IR 損失を最小限に抑えるために、このパターンの幅は 50mil を下回らないものとしますが、銅エリアを最小限にするため、100mil を超えないものとします。一般に、SW ピンは電源グラウンドへのグラウンド・リターン経路をブロックする可能性があるため、上層には接続しないでください。インダクタは SW ピンの 1 つに可能な限り近付けて配置し、スイッチ・ノードの同エリアを最小化してください。

3. DAP の下に位置するすべてのデバイス・アナログ・グラウンドは、一点アースとしてください。補償、帰還、およびソフトスタート部品のためのグラウンドはまとめて接続し、デバイスの AGND ピンに配線してください。AGND ピンは DAP の下にある PGND に接続してください。このことにより、すべてのスイッチ電流または負荷電流がアナログ・グラウンド層に流れるのを防ぎます。グラウンドが適切に処理されていない場合、負荷制御特性の劣化またはスイッチング動作の不定につながります。

4. FB ピンへの基板配線を最小限に抑えます。帰還ノードのインピーダンスが高くなる可能性があるため、出力の分圧抵抗から FB ピンまでのパターンは可能な限り短くしてください。値の高い抵抗を使って出力電圧を設定している場合、最も重要な点です。帰還配線は SW ピンおよびインダクタから遠ざけ、スイッチ・ノイズで帰還信号に干渉を与えないようにしてください。

5. 入出力バス接続は、可能な限り広くします。このことにより、コンバータ入出力時の電圧降下を和らげ、効率を良くします。負荷の電圧精度が重要な場合、帰還電圧センスを必ず負荷側にしてください。このことにより、負荷の電圧降下を修正し、最適な出力精度を実現します。

6. 適切なデバイスのヒートシンクを行います。可能な限り多くのスルーホールを使い、DAP を電力消費放熱板に接続します。最適な結果を得るために、4 × 4 列のスルーホールを使い、最小のスルーホールの直径を 12mil とします。「熱に関する考慮事項」の項を参照し、十分な銅の放熱面積を使って接合部温度を 125 未満に保ちます。

設計ガイドライン (つづき)

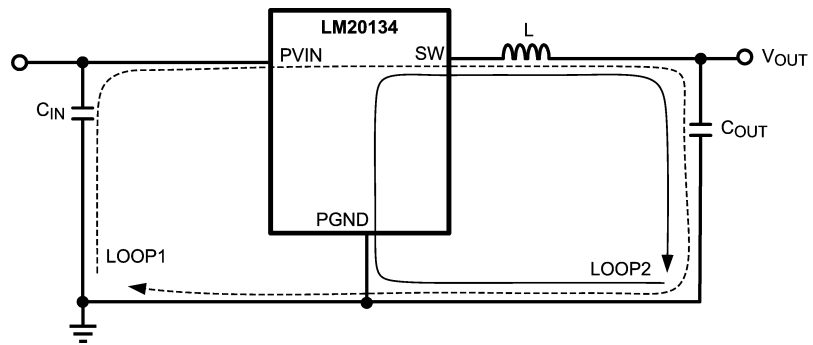
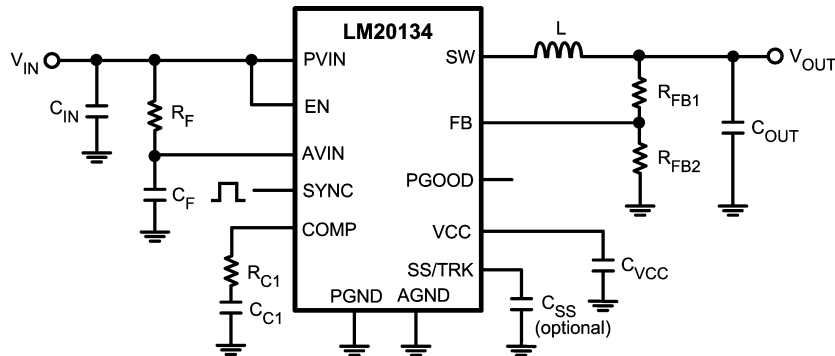


FIGURE 9. Schematic of LM20134 Highlighting Layout Sensitive Nodes

代表的なアプリケーション回路

この項では、アプリケーションのソリューション用に部品リストを示します。以下の図はすべての部品リストから参照します。これらのソリューションの補償は、幅広い入出力電圧にわたって動作す

るよう最適化されています。過渡応答を速くする必要がある場合は、 C_{C1} の値を下げ、設計ガイドラインに沿って新たに R_{C1} の値を計算してください。



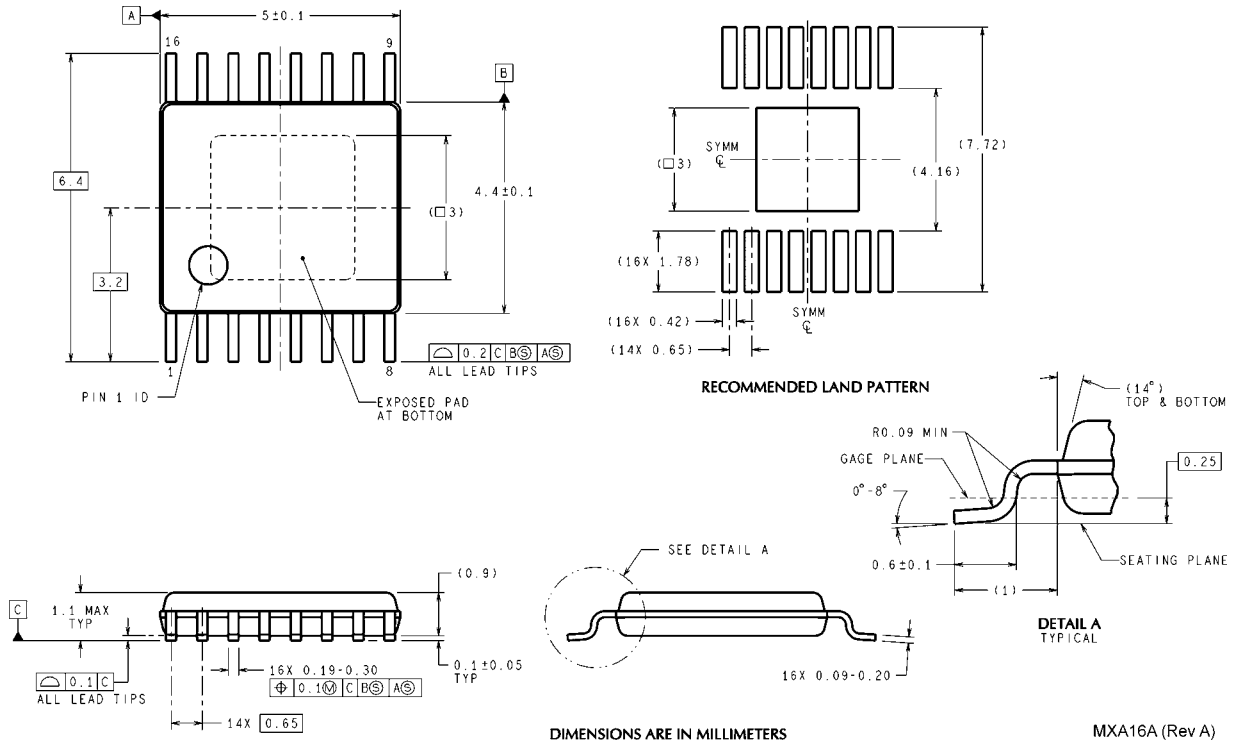
Bill of Materials ($V_{IN} = 5V$, $V_{OUT} = 3.3V$, $I_{OUTMAX} = 4A$, $F_{SYNC} = 750kHz$)

Designator	Description	Part Number	Manufacturer	Qty
U1	Synchronous Buck Regulator	LM20134	National Semiconductor	1
C_{IN}	47 μF , 1210, X5R, 6.3V	GRM32ER60J476ME20	Murata	1
C_{OUT}	47 μF , 1210, X5R, 6.3V	GRM32ER60J476ME20	Murata	1
L	1.5 μH , 8.1 m Ω	MSS1038-152NL	Coilcraft	1
R_F	1 Ω , 0603	CRCW06031R0J-e3	Vishay-Dale	1
C_F	100 nF, 0603, X7R, 16V	GRM188R71C104KA01	Murata	1
C_{VCC}	1 μF , 0603, X5R, 6.3V	GRM188R60J105KA01	Murata	1
R_{C1}	10 k Ω , 0603	CRCW06031002F-e3	Vishay-Dale	1
C_{C1}	1.8 nF, 0603, X7R, 25V	VJ0603Y182KXXA	Vishay-Vitramon	1
C_{SS}	33 nF, 0603, X7R, 25V	VJ0603Y333KXXA	Vishay-Vitramon	1
R_{FB1}	31.6 k Ω , 0603	CRCW06033162F-e3	Vishay-Dale	1
R_{FB2}	10.2 k Ω , 0603	CRCW06031022F-e3	Vishay-Dale	1

Bill of Materials ($V_{IN} = 3.3V$ or $5V$, $V_{OUT} = 1.2V$, $I_{OUTMAX} = 4A$, $F_{SYNC} = 750kHz$)

Designator	Description	Part Number	Manufacturer	Qty
U1	Synchronous Buck Regulator	LM20134	National Semiconductor	1
C_{IN}	47 μF , 1210, X5R, 6.3V	GRM32ER60J476ME20	Murata	1
C_{OUT}	47 μF , 1210, X5R, 6.3V	GRM32ER60J476ME20	Murata	1
L	1.5 μH , 8.1 m Ω	MSS1038-152NL	Coilcraft	1
R_F	1 Ω , 0603	CRCW06031R0J-e3	Vishay-Dale	1
C_F	100 nF, 0603, X7R, 16V	GRM188R71C104KA01	Murata	1
C_{VCC}	1 μF , 0603, X5R, 6.3V	GRM188R60J105KA01	Murata	1
R_{C1}	10 k Ω , 0603	CRCW06031002F-e3	Vishay-Dale	1
C_{C1}	1.8 nF, 0603, X7R, 25V	VJ0603Y182KXXA	Vishay-Vitramon	1
C_{SS}	33 nF, 0603, X7R, 25V	VJ0603Y333KXXA	Vishay-Vitramon	1
R_{FB1}	31.6 k Ω , 0603	CRCW06033162F-e3	Vishay-Dale	1
R_{FB2}	10.2 k Ω , 0603	CRCW06031022F-e3	Vishay-Dale	1

外形寸法図 単位は millimeters



16-Lead eTSSOP Package
NS Package Number MXA16A

このドキュメントの内容はナショナル セミコンダクター 社製品の関連情報として提供されます。ナショナル セミコンダクター 社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター 社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター 社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター 社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター 社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター 社との取引条件で規定される場合を除き、ナショナル セミコンダクター 社は一切の義務を負わないものとし、また、ナショナル セミコンダクター 社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター 社の製品は、ナショナル セミコンダクター 社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えたと予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクター のロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2008 National Semiconductor Corporation
製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは承認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上