



# LM21212-1

2011年5月

## 外部同期機能付き 12A 高効率同期ポイント・オブ・ロード降圧型レギュレータ

### 概要

LM21212-1 は、優れた効率特性で、最少 0.6V の出力電圧で、最大 12A の連続出力電流を供給できるモノリシック型同期整流方式ポイント・オブ・ロード降圧型レギュレータです。デバイスは 2.95V ~ 5.5V の入力電圧範囲で動作するよう最適化され、低電圧システムに適しています。電圧モード制御ループは、高いノイズ耐性で、狭いデューティ・サイクルまで動作可能で、あらゆるタイプの出力コンデンサで安定するように補償でき、最大の柔軟性と使いやすさを実現します。

LM21212-1 は、過電圧保護 (OVP) と過電流保護 (OCP) を内蔵し、システムの信頼性を高めています。デバイスの起動は、高い電圧精度を持ったイネーブル・ピンや内蔵されたアンダーボルテージ・ロックアウトにより、正確なシーケンス制御を実現できます。スタートアップ時の突入電流は、内部固定の過電流制限と外部で調整可能なソフトスタート回路の両方で制限されます。内蔵されたパワーグッド回路により、異常検出や電源シーケンスが可能です。

LM21212-1 は、マルチレール電源アーキテクチャで最適に動作するように設計されています。デバイスの出力電圧は、SS/TRK ピンを使って外部の電圧レールをトラッキングするように設定できます。スイッチング周波数は、300kHz ~ 1.5MHz の周波数の外部クロックの立ち上がりエッジに同期運動することができます。

スタートアップ時に出力がプリバイアスされた場合、電流シンクを行わず、プリバイアスされた電圧を超えてから出力をスムーズに上昇させます。レギュレータは露出パッドの付いた 20 ピン eTSSOP パッケージで提供されるため、PCB にハンダ付けでき、大型ヒートシンクを使用する必要がありません。

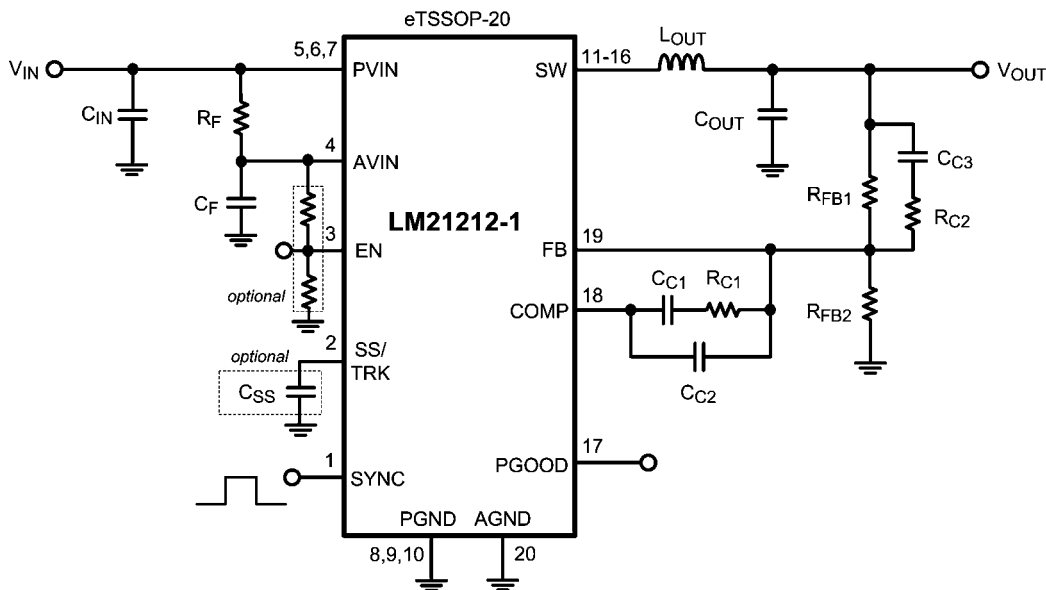
### 特長

- ハイサイド 7.0 mΩ とローサイド 4.3 mΩ の FET スイッチを内蔵
- 300 kHz ~ 1.5 MHz の周波数に同期運動可能な SYNC ピン
- 0.6V ~  $V_{IN}$  (100% デューティ・サイクル動作可能) の可変出力電圧、±1% リファレンス
- 入力電圧範囲: 2.95V ~ 5.5V
- プリバイアス状態での起動に対応
- 出力電圧トラッキング運動可能
- 広帯域の電圧ループ制御用エラー・アンプ
- 外付けコンデンサによりソフトスタート時間を調整可能
- ヒステリシス付き、高い電圧精度のイネーブル・ピン
- OVP、OCP、OTP、UVLO、パワーグッド回路内蔵
- 放熱特性の優れた eTSSOP-20 露出パッド・パッケージ

### アプリケーション

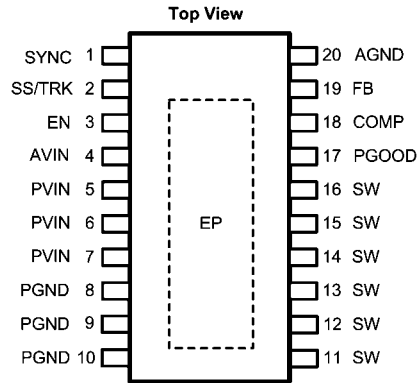
- 広帯域、ネットワーク、無線通信
- 高性能 FPGA、ASIC およびマイクロプロセッサ
- 回路設計がシンプルで、効率の高い 5V または 3.3V バスからのポイント・オブ・ロード電源

### アプリケーションの簡略回路



LM21212-1 外部同期機能付き 12A 高効率同期ポイント・オブ・ロード降圧型レギュレータ

## ピン配置図



Top View  
eTSSOP-20 Package

## 製品情報

Order Number	Package Type	NSC Package Drawing	Package Marking	Supplied As
LM21212MH-1	eTSSOP-20	MYB20A	LM21212MH-1	73 Units per Rail
LM21212MHX-1	eTSSOP-20	MYB20A	LM21212MH-1	2500 Units Per Reel
LM21212MHE-1	eTSSOP-20	MYB20A	LM21212MH-1	250 Units Per Reel

## ピン説明

ピン番号	名称	説明
1	SYNC	外部周波数同期入力ピン。このピンにクロック信号を印加すると、デバイスは強制的にクロック周波数でスイッチングします。未接続状態のままにしておくと、周波数はデフォルトの 1MHz に設定されます。
2	SS/TRK	ソフトスタート制御ピン。2 $\mu$ A の内部電流源により、このピンと AGND の間に接続した外付けコンデンサを充電します。この充電時間によってスタートアップ時の出力電圧のランプアップ速度が決まります。このピンは、トラッキング機能の設定にも使います。
3	EN	デバイスのイネーブル入力。アクティブ High です。制御に使用しない場合、EN ピンはオープン状態のままにでき、内部電流源により High になります。
4	AVIN	内部回路にバイアスを供給するアナログ入力電源ピン。アナログ制御回路への入力リップルやノイズの影響を最小限に抑えるために、RC ローパス・フィルタを介して AVIN ピンと PVIN ピンを接続することを推奨します。
5,6,7	PVIN	デバイス内部のパワー・スイッチへの入力電圧。これらのピンはデバイス近くで互いに接続します。さらに、これらのピンのできる限り近くに低 ESR の入力コンデンサを配置してください。
8,9,10	PGND	内蔵パワー・スイッチ用の電力グラウンド・ピン。
11-16	SW	スイッチ・ノード・ピン。これらのピンは互いにローカルで結線後、フィルタ・インダクタに接続してください。
17	PGOOD	オープンドレイン・パワーグッド・インジケータ。
18	COMP	補償ピンは電圧ループ制御用エラー・アンプの出力に接続されています。
19	FB	フィードバック・ピン。電圧ループ制御用エラー・アンプの反転入力に接続されています。
20	AGND	内部リファレンスとバイアス回路用の低ノイズ・アナログ・グラウンドです。
EP	露出パッド。	PGND に電気的、熱的に接続された、パッケージ裏面の露出金属パッドです。放熱特性を向上させるために、このパッドをプリント基板のグラウンド・プレーンに接続することを推奨します。

**絶対最大定格 (Note 1)**

本データシートには軍用・航空宇宙用の規格は記載されていません。  
関連する電気的信頼性試験方法の規格を参照ください。

GND 基準の PVIN(Note 2)、 AVIN 各電圧	- 0.3V ~ + 6V
SW(Note 3)、EN、FB、COMP、 PGOOD、SS/TRK ~ GND 間	- 0.3V ~ PVIN + 0.3V
保存温度	- 65 °C ~ 150 °C
リード温度 (ハンダ付け、10 秒)	260 °C

ESD 耐圧

人体モデル (Note 4)

2kV

**動作定格 (Note 1)**

GND 基準の PVIN、AVIN 各電圧	+ 2.95V ~ + 5.5V
接合部温度	- 40 °C ~ + 125 °C
$\theta_{JA}$ (Note 5)	24 °C /W

**電気的特性**

特記のない限り、以下の条件が適用されます。V<sub>PVIN</sub>、AVIN = 5V。標準字体で記載されたリミット値は T<sub>J</sub> = 25 °C の場合に限りません。太字で記載されたリミット値は - 40 °C ~ + 125 °C の接合部温度 (T<sub>J</sub>) 範囲にわたって適用されます。最小 / 最大リミット値は、出荷テスト、設計、または統計的相関によって保証されます。代表値 (typ) は T<sub>J</sub> = 25 °C での最も標準的なパラメータ値を表しますが、参考として示す以外の目的はありません。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
<b>SYSTEM</b>						
V <sub>FB</sub>	Feedback pin voltage	V <sub>IN</sub> = 2.95V to 5.5V	-1%	0.6	1%	V
$\Delta V_{OUT}/\Delta I_{OUT}$	Load Regulation			0.02		%V <sub>OUT</sub> / A
$\Delta V_{OUT}/\Delta V_{IN}$	Line Regulation			0.1		%V <sub>OUT</sub> / V
R <sub>DSON HS</sub>	High Side Switch On Resistance	I <sub>SW</sub> = 12A		7.0	<b>9.0</b>	mΩ
R <sub>DSON LS</sub>	Low Side Switch On Resistance	I <sub>SW</sub> = 12A		4.3	<b>6.0</b>	mΩ
I <sub>CLR</sub>	HS Rising Switch Current Limit		<b>15</b>	17	<b>19</b>	A
I <sub>CLF</sub>	LS Falling Switch Current Limit			12		A
V <sub>ZX</sub>	Zero Cross Voltage		-8	3	12	mV
I <sub>Q</sub>	Operating Quiescent Current			1.5	<b>3.0</b>	mA
I <sub>SD</sub>	Shutdown Quiescent Current	V <sub>EN</sub> = 0V		50	<b>70</b>	μA
V <sub>UVLO</sub>	AVIN Under Voltage Lockout	AVIN Rising	<b>2.45</b>	2.70	<b>2.95</b>	V
V <sub>UVLOHYS</sub>	AVIN Under Voltage Lockout Hysteresis		<b>140</b>	200	<b>280</b>	mV
V <sub>TRACKOS</sub>	SS/TRACK PIN accuracy (V <sub>SS</sub> - V <sub>FB</sub> )	0 < V <sub>TRACK</sub> < 0.55V	<b>-10</b>	6	<b>20</b>	mV
I <sub>SS</sub>	Soft-Start Pin Source Current		<b>1.3</b>	1.9	<b>2.5</b>	μA
t <sub>INTSS</sub>	Internal Soft-Start Ramp to V <sub>ref</sub>	C <sub>SS</sub> = 0	<b>350</b>	500	<b>675</b>	μs
t <sub>RESETSS</sub>	DeviceReset to Soft-Start Ramp		<b>50</b>	110	<b>200</b>	μs
<b>OSCILLATOR</b>						
f <sub>SYNCR</sub>	SYNC Frequency Range		<b>300</b>		<b>1500</b>	kHz
f <sub>DEFAULT</sub>	Default (no SYNC signal) Frequency		<b>950</b>	1000	<b>1050</b>	kHz
t <sub>SY_SW</sub>	Time from SYNC falling to V <sub>SW</sub> Rising			200		ns
t <sub>SY_MIN</sub>	Minimum SYNC pin pulse width, high or low			100		ns
t <sub>HSBLANK</sub>	HS OCP Blanking Time	Rising edge of SW to I <sub>CLR</sub> comparison		55		ns
t <sub>LSBLANK</sub>	LS OCP Blanking Time	Falling edge of SW to I <sub>CLF</sub> comparison		400		ns
t <sub>ZXBLANK</sub>	Zero Cross Blanking Time	Falling edge of SW to V <sub>ZX</sub> comparison		120		ns
t <sub>MINON</sub>	Minimum HS on-time			140		ns
$\Delta V_{ramp}$	PWM Ramp p-p Voltage			0.8		V
<b>ERROR AMPLIFIER</b>						
V <sub>OL</sub>	Error Amplifier Open Loop Voltage Gain	I <sub>COMP</sub> = -65μA to 1mA		95		dBV/V
GBW	Error Amplifier Gain-Bandwidth Product			11		MHz
I <sub>FB</sub>	Feedback Pin Bias Current	V <sub>FB</sub> = 0.6V		1		nA

## 電気的特性 (つづき)

特記のない限り、以下の条件が適用されます。V<sub>PVIN</sub>、AV<sub>IN</sub> = 5V。標準字体で記載されたリミット値は T<sub>J</sub> = 25 °C の場合に限りです。太字で記載されたリミット値は -40 °C ~ +125 °C の接合部温度 (T<sub>J</sub>) 範囲にわたって適用されます。最小 / 最大リミット値は、出荷テスト、設計、または統計的相関によって保証されます。代表値 (typ) は T<sub>J</sub> = 25 °C での最も標準的なパラメータ値を表しますが、参考として示す以外の目的はありません。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
<b>SYSTEM</b>						
I <sub>COMPSRC</sub>	COMP Output Source Current			1		mA
I <sub>COMPSINK</sub>	COMP Output Sink Current			65		μA
<b>POWERGOOD</b>						
V <sub>OVP</sub>	Over Voltage Protection Rising Threshold	V <sub>FB</sub> Rising	<b>105</b>	112.5	<b>120</b>	%V <sub>FB</sub>
V <sub>OVPHYS</sub>	Over Voltage Protection Hysteresis	V <sub>FB</sub> Falling		2		%V <sub>FB</sub>
V <sub>UVP</sub>	Under Voltage Protection Rising Threshold	V <sub>FB</sub> Rising	<b>82</b>	90	<b>97</b>	%V <sub>FB</sub>
V <sub>UVPHYS</sub>	Under Voltage Protection Hysteresis	V <sub>FB</sub> Falling		2.5		%V <sub>FB</sub>
t <sub>PGDGL</sub>	PGOOD Deglitch Low (OVP/UVP Condition Duration to PGOOD Falling)			15		μs
t <sub>PGDGH</sub>	PGOOD Deglitch High (minimum low pulse)			12		μs
R <sub>PGOOD</sub>	PGOOD Pull-down Resistance		<b>10</b>	20	<b>40</b>	Ω
I <sub>PGOODLEAK</sub>	PGOOD Leakage Current	V <sub>PGOOD</sub> = 5V		1		nA
<b>LOGIC</b>						
V <sub>IHSYNC</sub>	SYNC Pin Logic High		2.0			V
V <sub>ILSYNC</sub>	SYNC Pin Logic Low				0.8	V
V <sub>IHENR</sub>	EN Pin Rising Threshold	V <sub>EN</sub> Rising	<b>1.20</b>	1.35	<b>1.45</b>	V
V <sub>ENHYS</sub>	EN Pin Hysteresis		<b>50</b>	110	<b>180</b>	mV
I <sub>EN</sub>	EN Pin Pullup Current	V <sub>EN</sub> = 0V		2		μA
<b>THERMAL SHUTDOWN</b>						
T <sub>THERMSD</sub>	Thermal Shutdown			165		°C
T <sub>THERMSDHYST</sub>	Thermal Shutdown Hysteresis			10		°C

**Note 1:** 「絶対最大定格」は、それを超えた場合、デバイスの破壊が発生する可能性があるリミット値を示します。「動作定格」とはデバイスが機能する条件を示しますが、特定の性能リミット値を示すものではありません。保証されている仕様および試験条件については「電気的特性」を参照してください。

**Note 2:** PVIN ピンは最大 6ns の期間、最大 6.5V の過渡電圧に対応できます。このような過渡電圧はデバイスの通常動作時に発生する可能性があります。

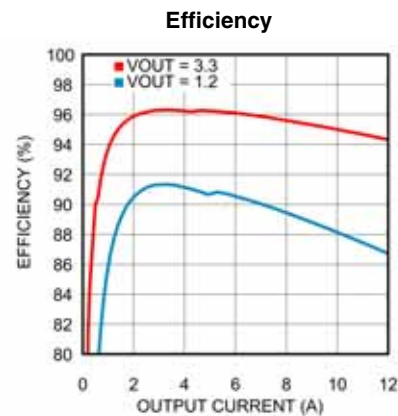
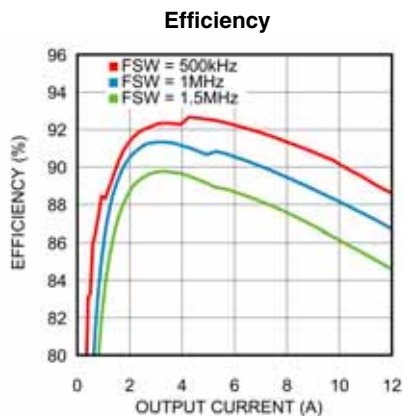
**Note 3:** SW ピンは、最大 6ns の期間は最大 9.0V の過渡電圧、4ns の期間は -1.0V の過渡電圧に対応できます。このような過渡電圧はデバイスの通常動作時に発生する可能性があります。

**Note 4:** 人体モデルでは、100pF のコンデンサから 1.5kΩ の抵抗を介して各ピンへ放電させます。

**Note 5:** 放熱測定は、デバイスの EP の下に 12 個の 8mil のビアを備え、パッケージの非露出部分の下にさらに 16 個の 8mil のビアを備えた、外層に 2 オンスの銅箔を使用し、内層に 1 オンスの銅箔を使用した 2 × 2 インチの 4 層積層基板で行いました。

## 代表的特性

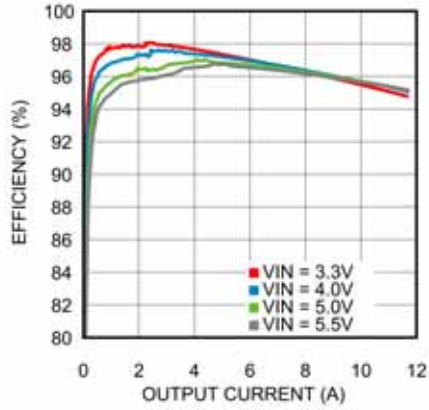
特記のない限り、以下の規格は 効率曲線、ループ・ゲイン・プロットと波形の場合は V<sub>VIN</sub>=5V、V<sub>OUT</sub>=1.2V、L=0.56μH (1.8mΩ R<sub>DCCR</sub>)、C<sub>SS</sub>=33nF、f<sub>sw</sub>=1MHz、T<sub>A</sub>=25°C、それ以外の場合は T<sub>J</sub> = 25 °C になります。



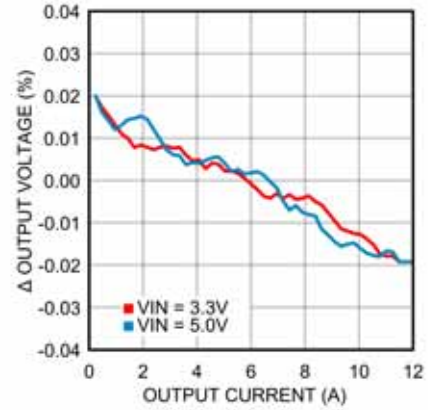
## 代表的特性 (つづき)

特記のない限り、以下の規格は 効率曲線、ループ・ゲイン・プロットと波形の場合は  $V_{VIN}=5V$ 、 $V_{OUT}=1.2V$ 、 $L=0.56\mu H$  (1.8m $\Omega$   $R_{DCR}$ )、 $C_{SS}=33nF$ 、 $f_{SW}=1MHz$ 、 $T_A=25^\circ C$ 、それ以外の場合は  $T_J = 25^\circ C$  になります。

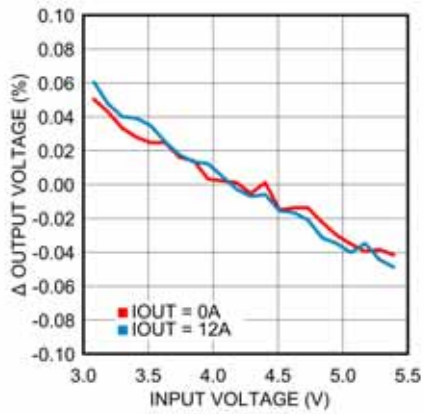
**Efficiency**  
( $V_{OUT} = 2.5 V$ ,  $f_{SW} = 300 kHz$ , Inductor P/N SER2010-102MLD)



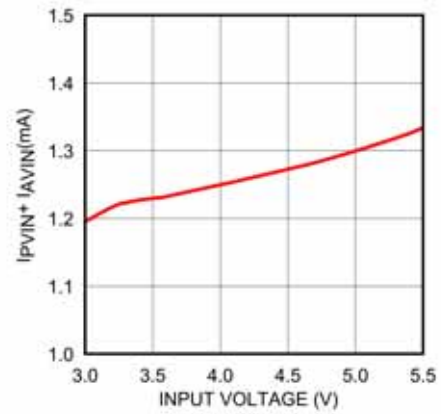
**Load Regulation**



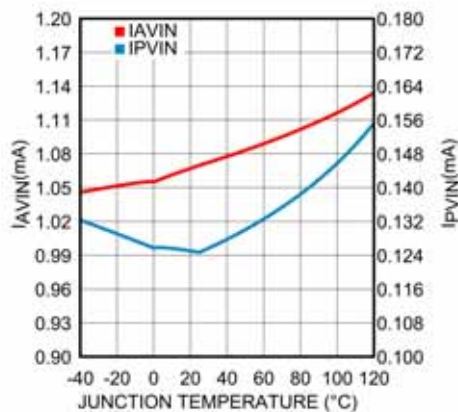
**Line Regulation**



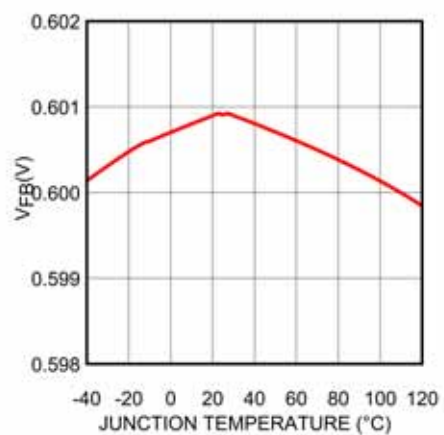
**Non-Switching  $I_{QTOTAL}$  vs.  $V_{IN}$**



**Non-Switching  $I_{AVIN}$  and  $I_{PVIN}$  vs. Temperature**



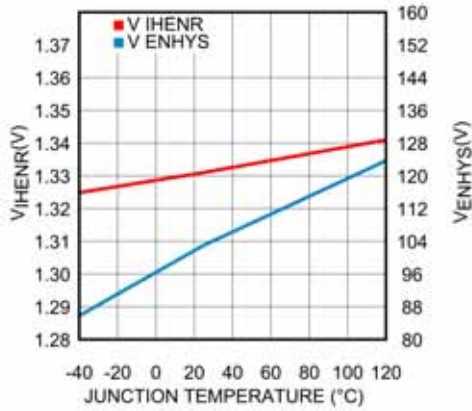
**$V_{FB}$  vs. Temperature**



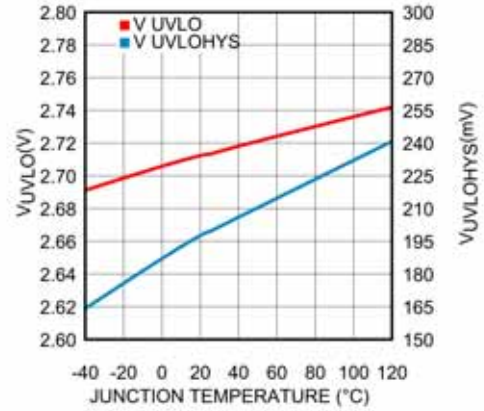
代表的特性 (つづき)

特記のない限り、以下の規格は 効率曲線、ループ・ゲイン・プロットと波形の場合は  $V_{VIN}=5V$ 、 $V_{OUT}=1.2V$ 、 $L=0.56\mu H$  ( $1.8m\Omega$   $R_{DCR}$ )、 $C_{SS}=33nF$ 、 $f_{SW}=1MHz$ 、 $T_A=25^\circ C$ 、それ以外の場合は  $T_J = 25^\circ C$  になります。

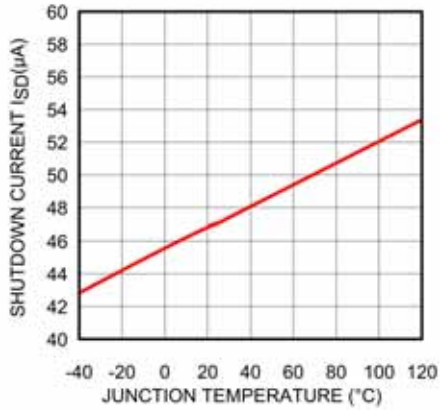
Enable Threshold and Hysteresis vs. Temperature



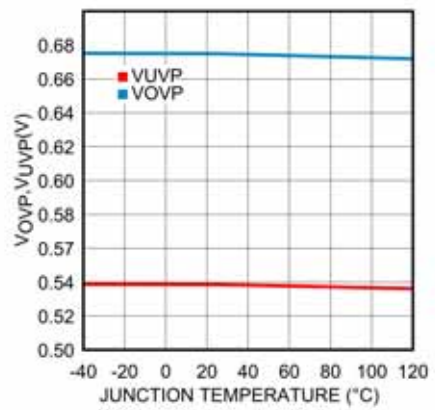
UVLO Threshold and Hysteresis vs. Temperature



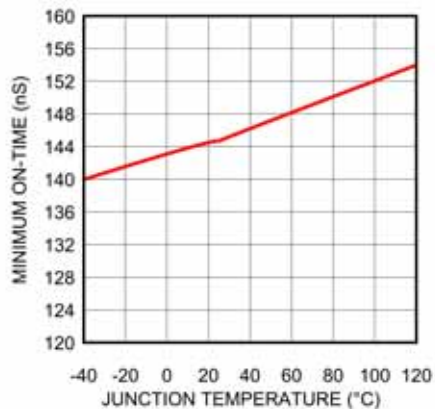
Enable Low Current vs. Temperature



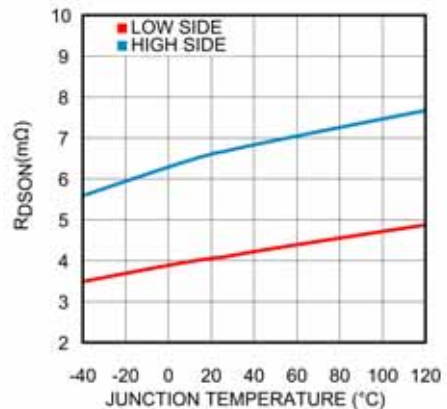
OVP/UVP Threshold vs. Temperature



Minimum On-Time vs. Temperature



FET Resistance vs. Temperature

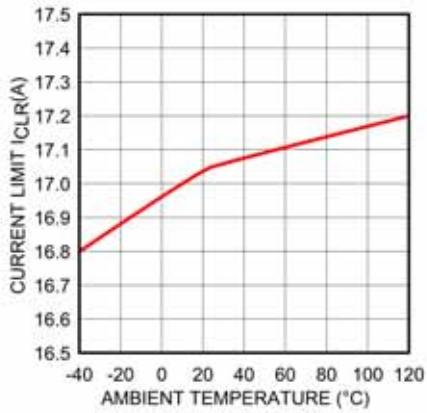




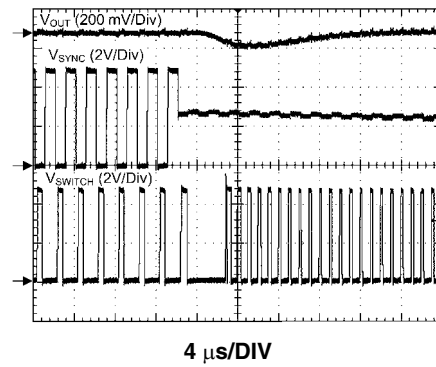
## 代表的特性 (つづき)

特記のない限り、以下の規格は 効率曲線、ループ・ゲイン・プロットと波形の場合は  $V_{VIN}=5V$ 、 $V_{OUT}=1.2V$ 、 $L=0.56\mu H$  ( $1.8m\Omega$   $R_{DCR}$ )、 $C_{SS}=33nF$ 、 $f_{SW}=1MHz$ 、 $T_A=25^\circ C$ 、それ以外の場合は  $T_J = 25^\circ C$  になります。

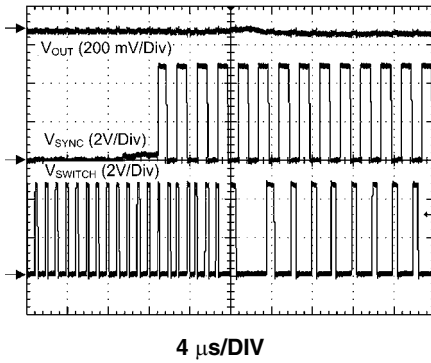
### Peak Current Limit vs. Temperature



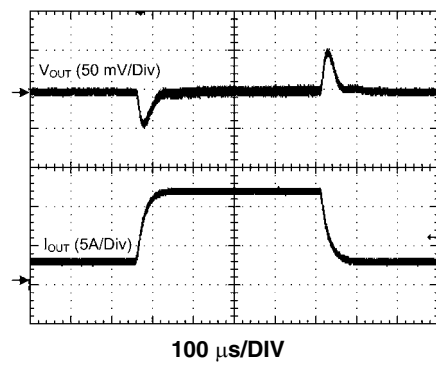
### SYNC Signal Lost



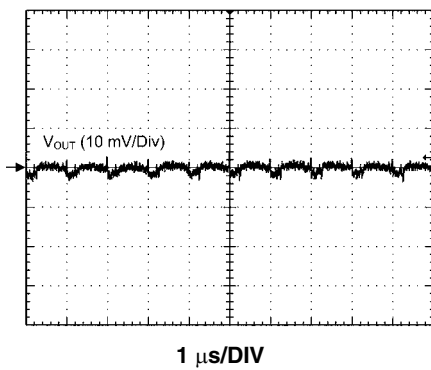
### SYNC Signal Acquired



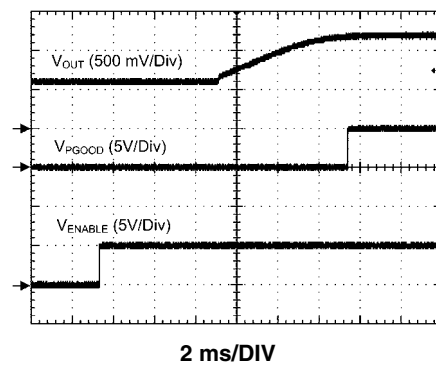
### Load Transient Response



### Output Voltage Ripple



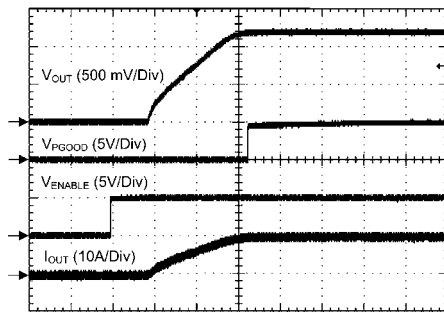
### Startup with Prebiased Output



## 代表的特性 (つづき)

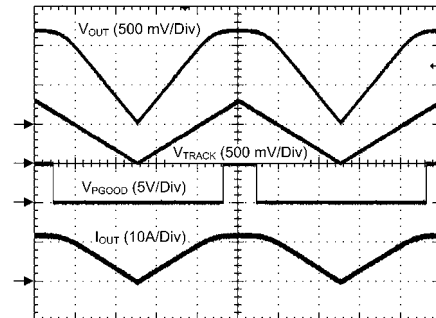
特記のない限り、以下の規格は 効率曲線、ループ・ゲイン・プロットと波形の場合は  $V_{VIN}=5V$ 、 $V_{OUT}=1.2V$ 、 $L=0.56\mu H$  ( $1.8m\Omega$   $R_{DCR}$ )、 $C_{SS}=33nF$ 、 $f_{SW}=1MHz$ 、 $T_A=25^\circ C$ 、それ以外の場合は  $T_J = 25^\circ C$  になります。

### Startup with SS/TRK Open Circuit



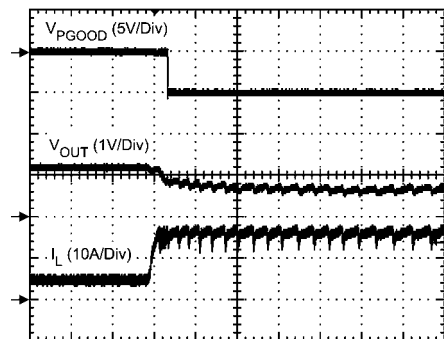
200  $\mu s/DIV$

### Startup with applied Track Signal



200 ms/DIV

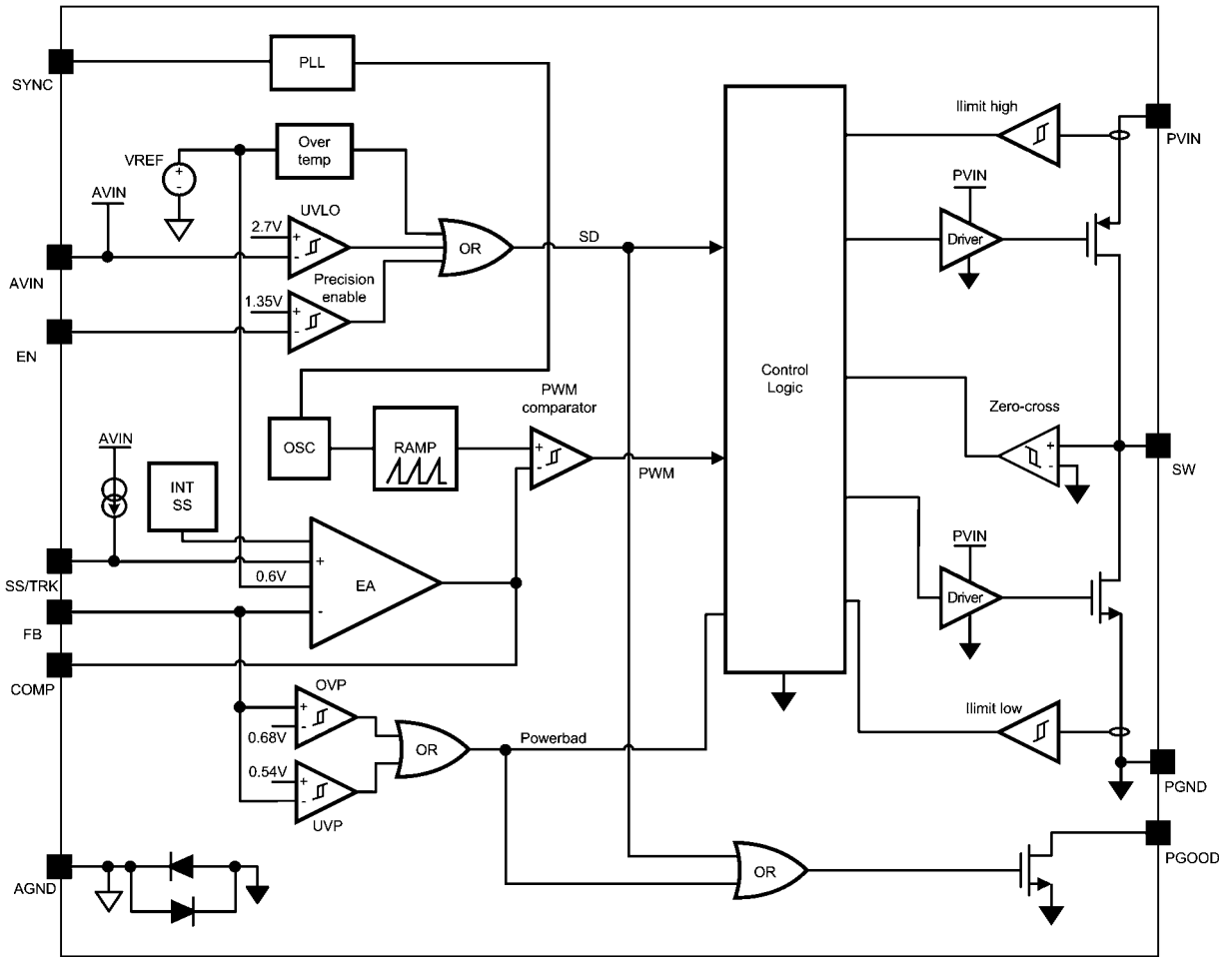
### Output Over-Current Condition



100  $\mu s/DIV$



ブロック図



## 動作の説明

### 概要

LM21212-1 は、できる限り少ない外付け部品で効率的な低電圧降圧レギュレータを構成するために必要なすべての機能を備えたスイッチング・レギュレータです。この使いやすいレギュレータは、2つのスイッチ素子を内蔵し、最大 12A の連続出力電流を供給できます。レギュレータは立ち下がりエッジ PWM 変調による電圧モード制御により、出力電圧範囲全体にわたり最適な安定性と過渡応答を実現します。デバイスは高いスイッチング周波数で動作可能で、小型のインダクタを使用しながら高い効率を達成します。高精度な内部基準電圧により、出力を 0.6V までの低電圧に設定できます。保護機能として、電流制限、過熱保護、過電圧保護などのシャットダウン機能を備えています。デバイスは放熱に有効な露出パッドを組み込んだ eTSSOP-20 パッケージで供給されます。LM21212-1 は 5V または 3.3V バスから効率的に降圧する数多くのアプリケーションに適用することが可能です。

### 外部周波数同期機能

同期 (SYNC) ピンにより、LM21212-1 は外部クロック周波数でスイッチングできます。クロック信号が 300kHz ~ 1.5MHz の許容周波数範囲内で SYNC ピンに供給されると、デバイスはハイサイド FET (スイッチ立ち上がり) のターンオンをクロック信号の立ち下がりエッジに同期させます (Figure 1 を参照)。クロック信号がない場合、LM21212-1 はデフォルトで 1MHz のスイッチング周波数に設定されます。デバイスの電源が ON されていないことにより、クロック信号に負荷のない状態で、SYNC ピンにクロック信号が存在していてもかまいません。逆に、デバイスの電源投入時にクロックが存在しない場合は、1MHz のデフォルトの周波数でスイッチングを開始します。クロック信号が供給開始された時点で、デバイスはクロック周波数への同期を開始します。同期に必要な時間は、クロック周波数に依存します。

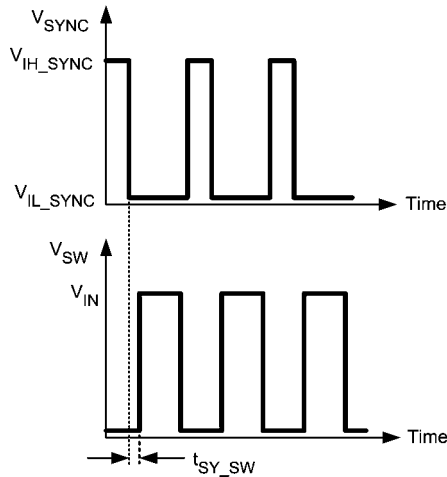


FIGURE 1. Frequency synchronization

### 高精度イネーブル

イネーブル (EN) ピンにより、デバイスの出力を外部制御信号によりイネーブルまたはディスエーブルできます。このピンは、電圧が 1.35V (typ) を超えた場合にデバイスをイネーブルにする高精度アナログ入力です。EN ピンには 110 mV のヒステリシスがあり、イネーブル電圧が 1.24V (typ) を下回ると出力をディスエーブルします。EN ピンを使用しない場合は開放しておくことが可能で、内部の 2  $\mu$ A の電流源によって High にプルアップされます。イネーブル・ピンには高精度のターンオン・スレッショルドがあるため、VIN からの外付け抵抗分圧回路とともに使用することにより、デバイスがオンになる入力電圧を高精度に設定できます。

### アンダーボルテージ・ロックアウト

LM21212-1 は、入力電圧が 2.7V (代表値) に達しない限りスイッチングを開始しないように、アンダーボルテージ・ロックアウト保護回路を内蔵しています。アンダーボルテージ・ロックアウト・スレッショルドには 200mV のヒステリシスがあり、デバイスが起動中にパワー・オン・グリッチに反応するのを防ぎます。設計ガイドの Figure 6 に示すとおり、必要に応じて、高精度イネーブル・ピンと VIN に接続された抵抗分圧ネットワークを使うと、電源の動作開始電圧を変更できます。

### 電流制限

LM21212-1 は、インダクタに危険なレベルの電流が流れるのを避けるために、電流制限保護を備えています。ハイサイド FET に流れるランプにより増加した電流が過電流制限値 ( $I_{CLR}$ ) を超えた時点で、電流制限条件が満たされます。制御回路はハイサイド FET をオフにし、ローサイド FET をオンにすることにより、このイベントに対処します。これによって、インダクタへの印加電圧が負になり、インダクタの電流が減少します。ハイサイド FET は、ローサイド FET に設定されたより低い電流制限レベル ( $I_{CLF}$ ) に減少するまでは、再びオンすることはありません。低方の電流制限レベルに達した時点で、デバイスは通常のスイッチングを再開します。

電流制限状態になると、内部のソフトスタート電圧を下方にランプします。内部ソフトスタート電圧がフィードバック (FB) ピン電圧 (公称値 0.6V) より低下すると、FB も下方にランプを開始します。この電圧のフォールドバックにより、デバイスの消費電力が制限され、デバイスの SOA 領域内に入らない状態で、デバイスが負荷に電力を連続的に供給しないよう保護します。電流制限状態が解除されると、内部ソフトスタート電圧が再度ランプアップします。Figure 2 に  $V_{SS}$ 、 $V_{FB}$ 、 $V_{OUT}$ 、 $V_{SW}$  の電流制限動作を示します。

## 動作の説明 (つづき)

### 短絡保護

グラウンドへのインピーダンスが低い状態で出力が短絡された場合、LM21212-1 はデバイスをリセットすることにより、短絡時の電流を制限します。短絡状態は、電流制限状態において FB ピンの電圧が 100mV よりも低い時に検出されます。この状態が発生すると、デバイスは両方のパワー FET をオフにし、ソフト

スタート・コンデンサを放電した後、 $t_{\text{RESETSS}}$  (公称値 110  $\mu\text{s}$ ) 後にリセット・シーケンスを開始します。その後、デバイスは再起動を試みます。それでも短絡状態が解消していない場合は、再度リセットを行い、短絡が解消されるまでこれを繰り返します。リセットは、デバイスや電源ラインに発熱による損傷が生じる恐れがある過剰な電流が FET に流れるのを非常に効率的な方法で防止します。

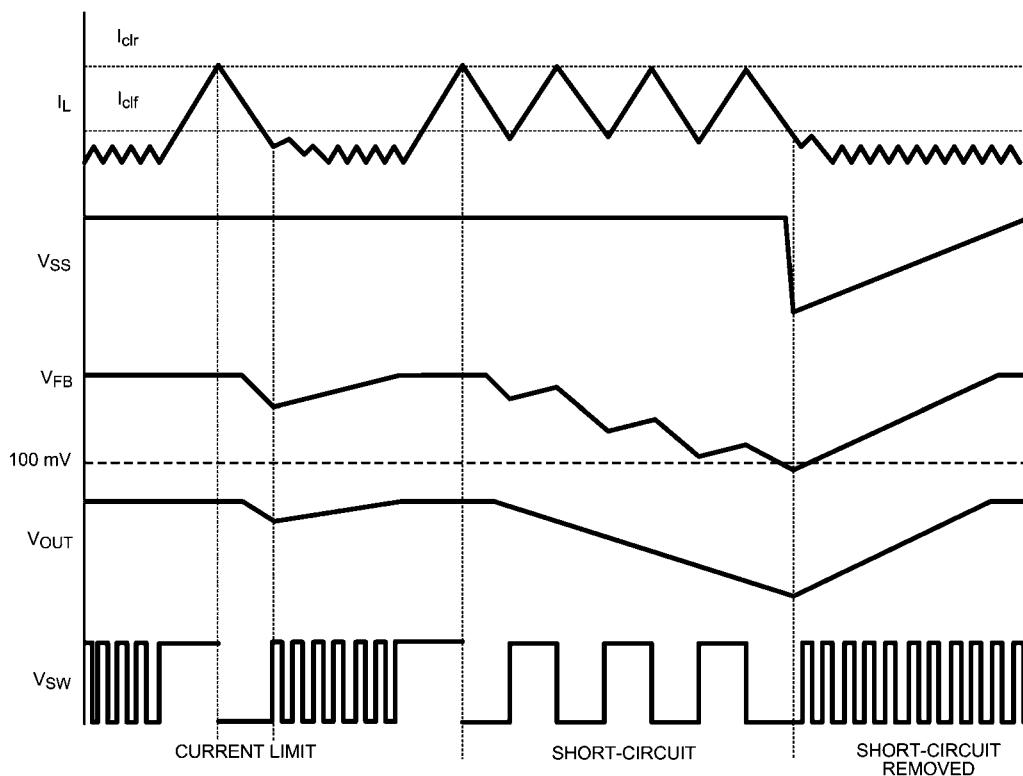


FIGURE 2. Current Limit Conditions

### 過熱保護

最大接合部温度を超えた場合に集積回路を保護する目的でサーマル・シャットダウン回路が内蔵されています。通常 165  $^{\circ}\text{C}$  でアクティブになると、LM21212-1 はパワー FET をハイ・インピーダンス状態にし、ソフトスタートをリセットします。接合部がおおよそ 155  $^{\circ}\text{C}$  まで温度が低下すると、デバイスは通常のスタートアップ動作によって起動します。この機能はデバイスの予期せぬ過熱による致命的な障害の発生を防止します。なお、サーマル・リミットは指定されている最大動作温度 (125 $^{\circ}\text{C}$ ) 以上でダイが動作しないようにするわけではありません。正常な動作を保証するためには、ダイ温度は 125 $^{\circ}\text{C}$  以下にしておく必要があります。

### パワーグッド・フラグ

PGOOD ピンは、LM21212-1 の状態をモニターする方法をユーザーに提供します。PGOOD ピンを使用するには、アプリケーションに必要な DC 電圧 (例えば  $V_{\text{in}}$ ) へのプルアップ抵抗を接続しなければなりません。PGOOD はオープンドレイン出力で、障害状態に対応して PGOOD ピンを Low にします。PGOOD は以下の条件で Low になります。1)  $V_{\text{FB}}$  が  $V_{\text{OVP}}$  を上回るか、または  $V_{\text{UVP}}$  を下回る。2) イネーブル・ピンがイネーブル・スレシールドを下回る。3) デバイスがプリバイアスされた出力状態 ( $V_{\text{FB}} > V_{\text{SS}}$ ) になる。

Figure 3 に、PGOOD が落ちる状態を示します。

## 動作の説明 (つづき)

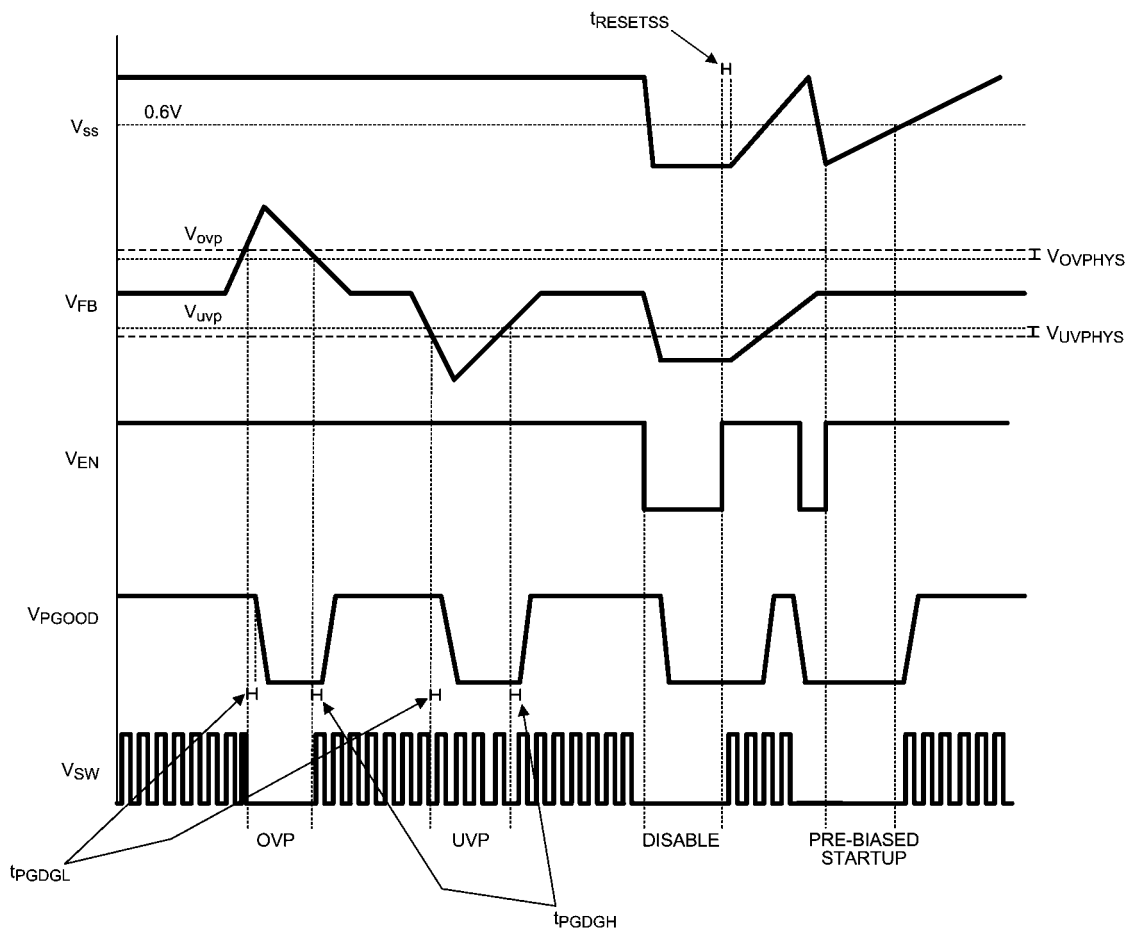


FIGURE 3. PGOOD Conditions

## 軽負荷動作

LM21212-1は、軽負荷での動作時にも高い効率を実現します。負荷電流が減少してピーク・ツー・ピークのインダクタのリップル電流が負荷電流の2倍以上の値になると、デバイスはダイオード・エミュレーション・モードに入り、大きな負のインダクタ電流を防止します。この状況が発生する電流値は連続導通の限界になる境界となり、次式で計算できます。

$$I_{\text{BOUNDARY}} = \frac{(V_{\text{IN}} - V_{\text{OUT}}) \times D}{2 \times L \times f_{\text{SW}}}$$

Figure 4 に、連続モード (CCM)、不連続導通モード (DCM)、境界の状態を表す図を示します。

ダイオード・エミュレーション・モードでは、インダクタ電流がゼロに達すると、SW ノードは必ずハイ・インピーダンスになります。SW ノードがハイ・インピーダンスになると、インダクタと SW ノードの寄生容量によって形成される LC タンク回路のために、このピンでリングングが発生します。このリングングが問題となる場合、スイッチ・ノードからグランドへの RC スナバ回路を追加することができます。

通常 100mA 未満の非常に軽い負荷では、スイッチング・サイクルの中のいくつかのパルスがスキップされ、スイッチング周波数が効果的に低下し、さらに軽負荷効率が向上します。

動作の説明 (つづき)

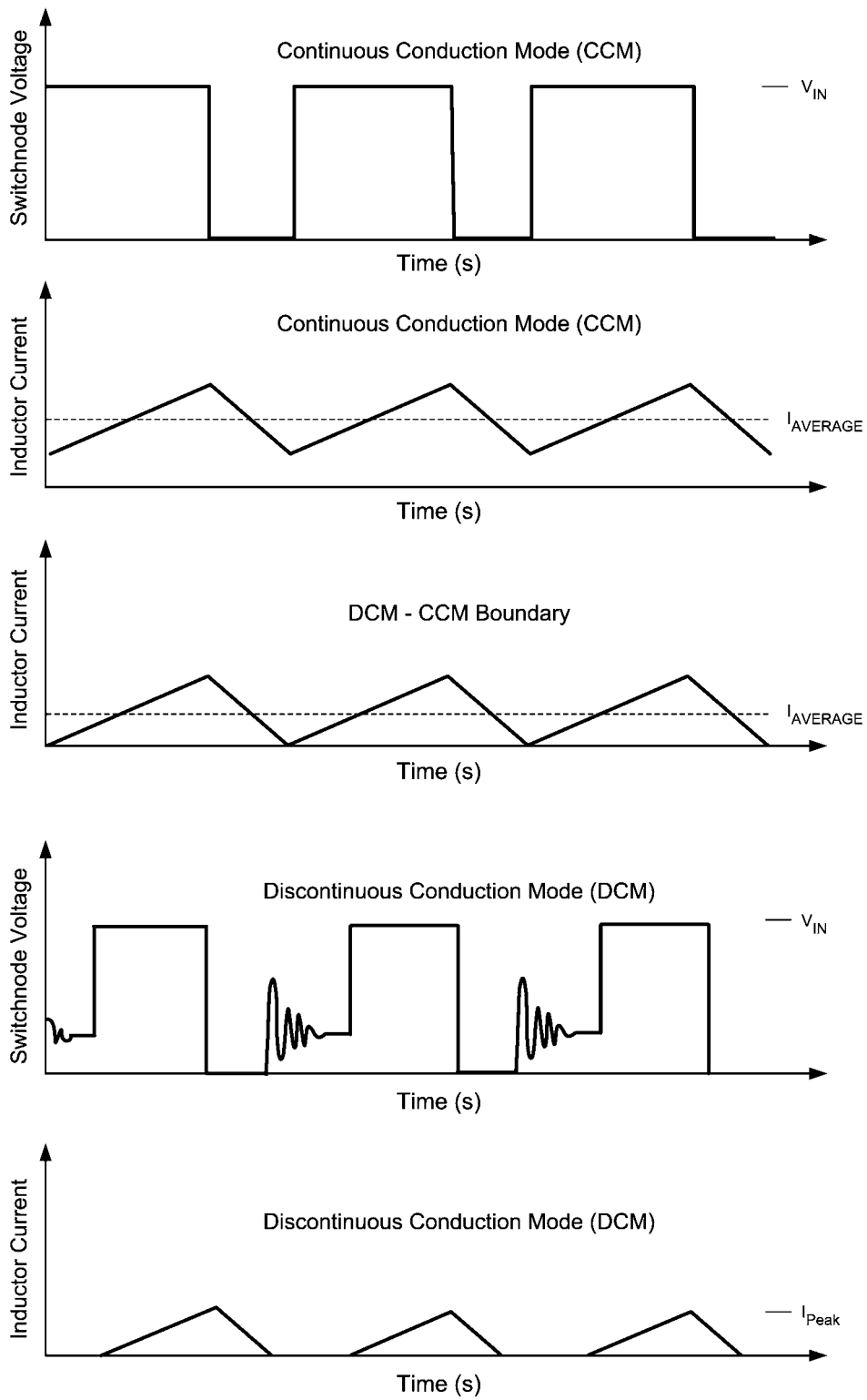


FIGURE 4. Modes of Operation for LM21212-1

## 設計ガイド

### 出力電圧

LM21212-1 アプリケーションを設計するときの最初のステップは、出力電圧を設定することです。このためには、 $V_{OUT}$  と AGND の間に電圧ディバイダを使用し、中央のノードを  $V_{FB}$  に接続します。定常状態での動作時は、LM21212-1 は  $V_{FB}$  が 0.6V になるように、 $V_{OUT}$  を制御します。

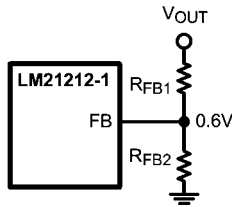


FIGURE 5. Setting  $V_{OUT}$

下側の帰還抵抗  $R_{FB2}$  をまず  $10k\Omega$  に設定して設計を開始すると良いでしょう。 $R_{FB1}$  は、次式で求められます。

$$V_{OUT} = \frac{R_{FB1} + R_{FB2}}{R_{FB2}} \cdot 0.6V$$

### 高精度イネーブル

LM21212-1 のイネーブル (EN) ピンにより、出力のオン/オフを切り替えられます。このピンは高精度アナログ入力です。電圧が 1.35V を超えると、入力電圧が 2.70V の UVLO 電圧を超えている場合は、コントローラは出力電圧のレギュレーションを試みます。EN に接続された内部電流源があるので、イネーブルを使用しない場合、デバイスは自動的にオンになります。EN を直接制御しない場合、UVLO 電圧よりも高い所定の入力電圧でオンになるようデバイスをあらかじめプログラムできます。これは、Figure 6 に示すように、 $AVIN \sim EN$  間と  $EN \sim AGND$  間に外付け抵抗分圧回路を接続することによって可能となります。

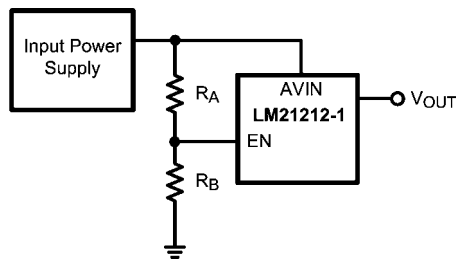


FIGURE 6. Enable Startup Through  $V_{in}$

$R_A$  と  $R_B$  の抵抗値の割合を設定することにより、EN は入力電源電圧に対応してイネーブル・スレッシュホールド電圧に到達します。イネーブルの内部電流源を考慮すると、 $R_A$  を求める式は次のようになります。

$$R_A = \frac{R_B(V_{PVIN} - 1.35V)}{1.35V - I_{EN}R_B}$$

上記の式において、 $R_A$  は  $V_{IN}$  とイネーブルの間に接続された抵抗、 $R_B$  はイネーブルとグランドの間に接続された抵抗、 $I_{EN}$  は内部イネーブル・プルアップ電流 ( $2\mu A$ )、1.35V は固定の高精度イネーブル・スレッシュホールド電圧を示します。 $R_B$  の代表値は、 $10k\Omega \sim 100k\Omega$  です。

### ソフトスタート

$PVIN$  と  $AVIN$  が UVLO スレッシュホールドを上回っている状態で EN が 1.35V を超えると、LM21212-1 は帰還抵抗ネットワークによって決まる電圧レベルまでリニアに出力を充電します。LM21212-1 はユーザーが調整可能なソフトスタート回路を採用しており、出力の充電時間をソフトスタートピンとグランド間に接続されたコンデンサへの設定により長くすることができます。イネーブルが 1.35V を超えた後、 $2\mu A$  の内部電流源がソフトスタート・コンデンサを充電します。これによって、ユーザーは大容量の出力コンデンサへの突入電流を抑制し、過電流状態を起こさないようにできます。ソフトスタート・コンデンサの追加は、入力電力ラインにかかるストレスも低減できます。容量値大きくすると、スタートアップ時間が長くなります。次式を使用して、ソフトスタート・コンデンサの容量を概算します。

$$\frac{t_{SS} \times I_{SS}}{0.6V} = C_{SS}$$

$I_{SS}$  は通常  $2\mu A$  で、 $t_{SS}$  は目的のスタートアップ時間です。 $V_{IN}$  が UVLO レベルよりも大きく、イネーブルが High にトグルされている場合に、ソフトスタート・シーケンスが始まります。イネーブルが High に遷移してからソフトスタート・シーケンスが開始されるまでの間には、若干の遅延が存在します。LM21212-1 はこの遅延時間を使用して、内部回路を初期化します。公称出力電圧の 90% まで出力が充電されると、パワーグッド・フラグが High に遷移します。この動作を Figure 7 に示します。

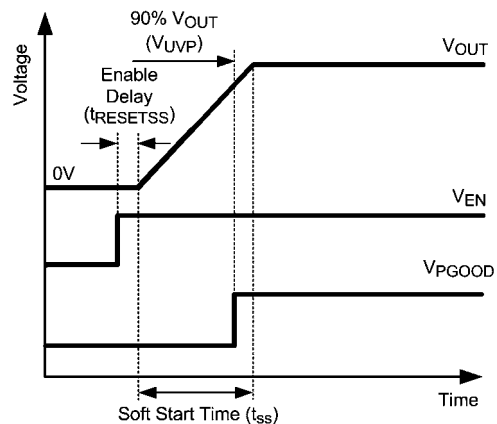


FIGURE 7. Soft Start Timing

上記に示すように、コンデンサの容量は公称帰還電圧レベル 0.6V、ソフトスタート充電電流  $I_{SS}$  ( $2\mu A$ )、目的のソフトスタート時間によって左右されます。ソフトスタート・コンデンサが使用されない場合は、LM21212-1 はデフォルトで  $500\mu s$  の最小スタートアップ時間に設定されます。LM21212-1 のスタートアップは  $500\mu s$  よりも短縮されることはありません。イネーブルがサイクルされるか、またはデバイスが UVLO に入ると、ソフトスタート・コンデンサに蓄積された電荷が放電され、スタートアップ・プロセスがリセットされます。これは、デバイスが過電流状態から短絡モードに入ったときにも発生します。

## 設計ガイド (つづき)

### インダクタの選択

アプリケーションで使用されるインダクタ (L) は、リップル電流値とシステムの効率特性に影響を与えます。最初の基準となる選択肢として、リップル電流  $\Delta I_L$  を定義します。降圧型コンバータでは、通常、最大出力電流の 20% ~ 30% になるように選択します。Figure 8 に、連続モードで動作する標準的な降圧型コンバータのリップル電流を示します。リップル電流が大きいほど、インダクタンス値が小さくなり、インダクタの直列抵抗が低くなり、効率性が向上します。ただし、リップル電流が大きいほど、より高い平均出力電流まで不連続モードでデバイスが動作することになります。

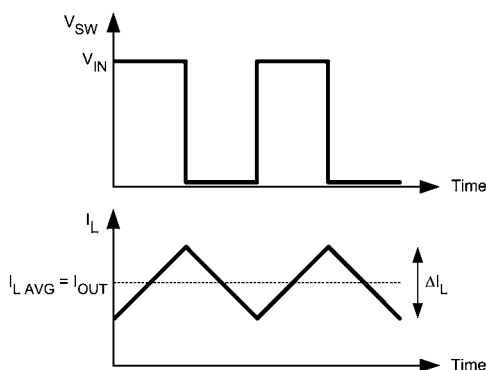


FIGURE 8. Switch and Inductor Current Waveforms

リップル電流が決まったら、次の式を使用して、適切なインダクタンス値を計算できます。

$$L = \frac{(V_{IN} - V_{OUT}) \cdot D}{\Delta I_L \cdot f_{SW}}$$

### 出力コンデンサの選択

出力コンデンサ  $C_{OUT}$  は、インダクタ・リップル電流を平滑化するとともに、負荷の変動に対して電荷を供給します。幅広い出力コンデンサを LM21212-1 と併用し、さまざまな利点を実現できます。通常セラミックや SP または OS コンデンサなどのケミカル・コンデンサを使うと、最高の性能が得られます。一般的なトレードオフとして、セラミック・コンデンサはきわめて小さな ESR を持ち、出力リップル電圧とノイズ・スパイクを吸収する一方で、SP や OSCON コンデンサは小型大容量のバルク・コンデンサとして負荷変動に対応します。

出力コンデンサの値を選択する際、考慮すべき 2 つの性能規格は出力電圧リップルと過渡応答です。出力電圧リップルは、次式で近似されます。

$$\Delta V_{OUT} \approx \Delta I_L \times \left[ R_{ESR} + \frac{1}{8 \times f_{SW} \times C_{OUT}} \right]$$

$\Delta V_{OUT}$  (V) は電源出力におけるピーク・ツー・ピーク電圧リップル量、 $R_{ESR}$  ( $\Omega$ ) は出力コンデンサの直列抵抗、 $f_{SW}$  (Hz) はスイッチング周波数、 $C_{OUT}$  (F) は設計時に使用した出力容量を示します。許容できる出力リップルの値はアプリケーションに依存しますが、一般的に定格出力電圧の 1% 未満に抑えることを推奨します。セラミック・コンデンサは ESR が非常に低い

ため適している場合がありますが、パッケージ寸法とコンデンサの電圧定格によっては、印加電圧により実容量値が著しく落ちる可能性があることを念頭においてください。出力コンデンサの選択は、負荷変動時の出力電圧低下にも影響します。負荷変動時の出力電圧低下のピーク値は、多くの要因に依存します。しかし次式を使えば、ループ帯域域を無視した変動低下電圧量の近似値を得られます。

$$V_{DROOP} = \Delta I_{OUTSTEP} \times R_{ESR} + \frac{L \times \Delta I_{OUTSTEP}^2}{C_{OUT} \times (V_{IN} - V_{OUT})}$$

$C_{OUT}$  (F) は必要な出力容量の最小値、 $L$  (H) はインダクタの値、 $V_{DROOP}$  (V) はループ帯域幅を無視した出力電圧低下量、 $\Delta I_{OUTSTEP}$  (A) は負荷電流ステップ変動、 $R_{ESR}$  ( $\Omega$ ) は出力コンデンサの ESR、 $V_{IN}$  (V) は入力電圧、 $V_{OUT}$  (V) はレギュレータの出力電圧設定値です。出力リップル電圧または変動低下電圧に特定の目標値で設計を行う場合、コンデンサの容量誤差と電圧印加容量特性の両方を考慮してください。

### 入力コンデンサの選択

PVIN ピンに発生するリップル電圧を抑え、かつ、オン期間中のスイッチ電流の大半を供給する目的で、高品質の入力コンデンサが必要です。さらに、出力電流の過渡応答による入力電圧の低下を軽減できます。一般に入力コンデンサには、インピーダンスが低く実装面積が小さいセラミック・コンデンサを推奨します。セラミック・コンデンサに X5R や X7R などハイグレードの誘電体を使用すると、過熱性能が向上するとともに、Y5V コンデンサで発生する DC 電圧印加による容量減少を軽減します。また入力コンデンサ  $C_{IN1}$  および  $C_{IN2}$  を PVIN ピンと PGND ピンの可能な限り近くに配置してください。

セラミック以外の入力コンデンサは、RMS 電流定格と最小リップル電圧で選択します。以下の関係式からリップル電流定格の適切な近似が得られます。

$$I_{IN-RMS} = I_{OUT} \sqrt{D(1-D)}$$

RMS リップル電流式で示したとおり、最も大きな RMS 電流定格が必要となるのはデューティ・サイクルが 50% のときです。この場合、入力コンデンサの RMS リップル電流定格は出力電流の半分より大きい必要があります。最高の性能を引き出すには、低 ESR セラミック・コンデンサをより大容量のコンデンサと並列に配置して、デバイスに最適な入力フィルタリングを行ってください。

低入力電圧 (3.3V 以下) で動作するときは、出力電流変動時にアンダーボルテージ・ロックアウトをトリガしないようにするために、さらにコンデンサを追加する必要があるかもしれません。これは、入力電源と LM21212-1 間のインピーダンスや出力変動の大きさとスルーレートに依存します。

AVIN ピンには、AGND との間に 1 $\mu$ F セラミック・コンデンサと PVIN との間に 1 $\Omega$  の抵抗が必要です。この RC ネットワークが、AVIN に接続された高感度のアナログ回路を PVIN で発生するノイズからフィルタリングします。

### 制御ループ補償

LM21212-1 は FB ピンと COMP ピンの間に高帯域アンプを備えているため、ユーザーはアプリケーションに合った補償ネットワークを設計できます。ここでは、開ループ伝達関数を得るときの各種ステップを紹介します。



設計ガイド (つづき)

電圧モード降圧型スイッチャには、電源設計者が制御システムの設計時に考慮すべき3つのメイン・ブロック (パワートレイン、変調器、補償エラー・アンプ) が存在します。Figure 9 に閉ループ図を示します。

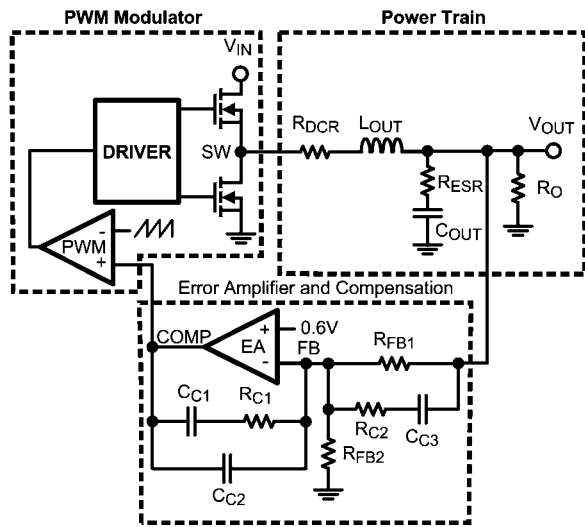


FIGURE 9. Loop Diagram

パワートレインは、DCR (直流抵抗  $R_{DCR}$ ) を持った出力インダクタ ( $L$ )、ESR (実効直列抵抗  $R_{ESR}$ ) を持った出力コンデンサ ( $C_0$ )、負荷抵抗 ( $R_0$ ) で構成されています。エラー・アンプ (EA) は定常的に FB を 0.6V に制御します。エラー・アンプ周辺の受動補償部品は、システムの安定性を維持します。変調器は、スイッチング周波数で内部生成されたランプとエラー・ランプ信号を比較して、デューティ・サイクルを生成します。

総合的な開ループ伝達関数を得るときに考慮に入れる必要がある伝達関数は3つあります (COMP から SW (変調器)、SW から  $V_{OUT}$  (パワートレイン)、 $V_{OUT}$  から COMP (エラー・アンプ))。COMP から SW への伝達関数は、単に PWM 変調器のゲインです。

$$G_{PWM} = \frac{V_{in}}{\Delta V_{ramp}}$$

$\Delta V_{RAMP}$  はオシレータのランプ電圧のピーク・ツー・ピークの (公称値 0.8V) です。SW から COMP への伝達関数には、出力インダクタ、出力コンデンサ、出力負荷抵抗が含まれます。インダクタとコンデンサは、次式の周波数で2つの複合ポールを生成します。

$$f_{LC} = \frac{1}{2\pi} \sqrt{\frac{R_0 + R_{DCR}}{L_{OUT} C_{OUT} (R_0 + R_{ESR})}}$$

2つの複合ポールに加え、出力コンデンサの ESR により、次式の周波数で左半面ゼロが生成されます。

$$f_{esr} = \frac{1}{2\pi C_0 R_{esr}}$$

パワートレイン応答を示すボード線図を以下に示します。

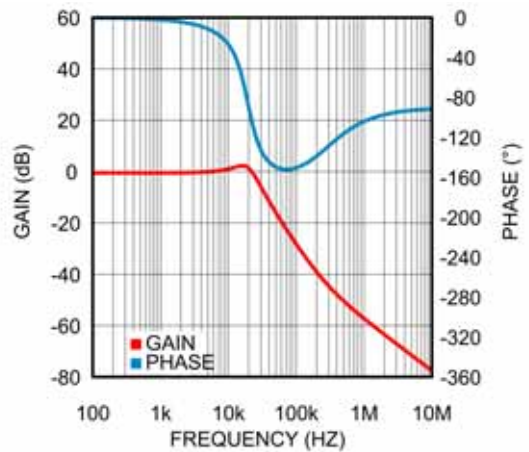


FIGURE 10. Power Train Bode Plot

出力インダクタと出力コンデンサによって生成される複合ポールによって、Figure 10 に示すように、共振周波数で 180° の位相シフトが生じます。この位相は、出力コンデンサの ESR ゼロによって最大で -90° 戻されます。180° の位相シフトは、閉ループ応答を安定化するために、エラー・アンプにより補償され、位相が戻されなければなりません。Figure 9 のエラー・アンプの周辺に配置された補償ネットワークでは、2つのポール、2つのゼロ、原点のポールが生成されます。これらのポールとゼロを適切な周波数に配置すれば、閉ループ応答が安定化されます。補償エラー・アンプの伝達関数は次のとおりです。

$$G_{EA} = K_m \frac{\left(\frac{s}{2\pi f_{z1}} + 1\right) \left(\frac{s}{2\pi f_{z2}} + 1\right)}{s \left(\frac{s}{2\pi f_{p1}} + 1\right) \left(\frac{s}{2\pi f_{p2}} + 1\right)}$$

原点に配置されたポールは、直流で高い開ループ・ゲインをもたらし、負荷電流の変動に対する出力電圧の精度が向上します。このポールはエラー・アンプのゲインが制限されているため、非常に低い周波数で発生しますが、補償の目的では DC で近似できます。その他の2つのポールと2つのゼロは、パワー段の複合ポールと Q 値に応じて適宜配置することにより、電圧モード・ループ制御を安定化できます。Figure 11 は、エラー・アンプの補償により伝達関数がどのように働くを示した図です。

## 設計ガイド (つづき)

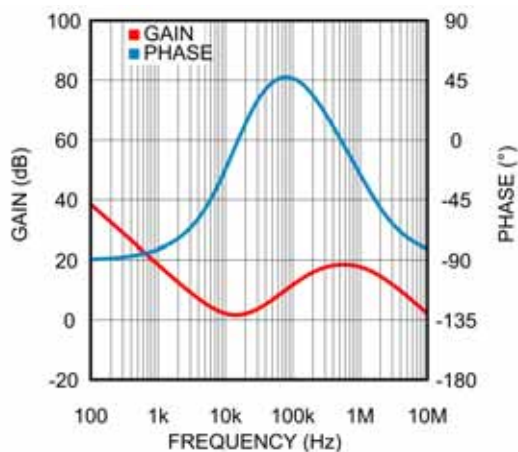


FIGURE 11. Type 3 Compensation Network Bode Plot

Figure 11 に示すように、補償ネットワークの2つのゼロ ( $f_{LC}/2$ 、 $f_{LC}$ ) は位相を進めます。この結果、出力フィルタによる位相遅延の影響が相殺されます。また、補償ネットワークはシステムに2つのポールを追加します。1つのポールは出力コンデンサ ESR ( $f_{ESR}$ ) で生成されたゼロに配置し、もう1つのポールは高い周波数応答をロールオフするようにスイッチング周波数の半分 ( $f_{SW}/2$ ) に配置します。補償部品におけるポールとゼロの位置の依存関係は次の通りです。

$$f_{z1} = \frac{f_{LC}}{2} = \frac{1}{2\pi R_{C1} C_{C1}}$$

$$f_{z2} = f_{LC} = \frac{1}{2\pi(R_{C1} + R_{FB1})C_{C3}}$$

$$f_{p1} = f_{ESR} = \frac{1}{2\pi R_{C2} C_{C3}}$$

$$f_{p2} = \frac{f_{sw}}{2} = \frac{C_{C1} + C_{C2}}{2\pi R_{C1} C_{C1} C_{C2}}$$

代表的なアプリケーション・セットアップ (Figure 16 を参照) を使用して補償部品の値を設計するための各手順の例を示します。補償値に必要なパラメータは次の表の通りです。

Parameter	Value
$V_{IN}$	5.0V
$V_{OUT}$	1.2V
$I_{OUT}$	12A
$f_{CROSSOVER}$	100 kHz
L	0.56 $\mu$ H
$R_{DCR}$	1.8 m $\Omega$
$C_O$	150 $\mu$ F
$R_{ESR}$	1.0 m $\Omega$
$\Delta V_{RAMP}$	0.8V
$f_{SW}$	500 kHz

$\Delta V_{RAMP}$  はオシレータのピーク・ツー・ピークのランプ電圧 (公称値 0.8V) で、 $f_{CROSSOVER}$  は開ループ・ゲインの大きさが1である周波数です。 $f_{crossover}$  がスイッチング周波数の5分の1を超えないようにすることが推奨されます。出力コンデンサ  $C_O$  はコンデンサの組成とバイアス電圧に依存します。積層セラミック・コンデンサ (MLCC) では、DC バイアス電圧が高くなるにつれ、トータルのコンデンサ容量が低下します。補償ネットワークを正確に計算するには、出力電圧における出力コンデンサの実際のコンデンサ容量を測定することが推奨されます。ここに示す例は、代表的なアプリケーション図である Figure 16 に示すように、1.2V にバイアスされた3つの MLCC 出力コンデンサを使用した出力コンデンサの合計容量です。より保守的な安定性の見地からすると、帯域幅が低くなるものの、位相マージンが増えるため、出力コンデンサの容量誤差の大きい方ではなく、小さい方で補償計算時を行うのが一般的です。

まず、 $R_{FB1}$  の値を選択します。公称値は 10k $\Omega$  です。ここから、 $R_{C1}$  の値を計算して、目的のクロスオーバー周波数になるように、中帯域のゲインを設定できます。

$$R_{C1} = \frac{f_{crossover}}{f_{LC}} \cdot \frac{\Delta V_{RAMP}}{V_{IN}} \cdot R_{FB1}$$

$$= \frac{100 \text{ kHz}}{17.4 \text{ kHz}} \cdot \frac{0.8 \text{ V}}{5.0 \text{ V}} \cdot 10 \text{ k}\Omega$$

$$= 9.2 \text{ k}\Omega$$

次に、LC の2重ポール周波数 ( $f_{LC}$ ) の半分にゼロを配置することによって、 $C_{C1}$  の値を計算できます。

$$C_{C1} = \frac{1}{\pi f_{LC} R_{C1}}$$

$$= 1.99 \text{ nF}$$

次に、スイッチング周波数 ( $f_{SW}$ ) の半分にポールを配置するために、 $C_{C2}$  の値を計算します。

$$C_{C2} = \frac{C_{C1}}{\pi f_{SW} R_{C1} C_{C1} - 1}$$

$$= 71 \text{ pF}$$

その後、LC の2重ポール周波数に2番目のゼロを設定するために、 $R_{C2}$  を計算します。

$$R_{C2} = \frac{R_{FB1} f_{LC}}{f_{ESR} - f_{LC}}$$

$$= 166\Omega$$

最後に、出力コンデンサ ESR によって生成されたゼロと同じ周波数にポールを配置するために、 $C_{C3}$  を計算します。

$$C_{C3} = \frac{1}{2\pi f_{ESR} R_{C2}}$$

$$= 898 \text{ pF}$$

トータルのループ応答の図を Figure 12 に示します。

## 設計ガイド (つづき)

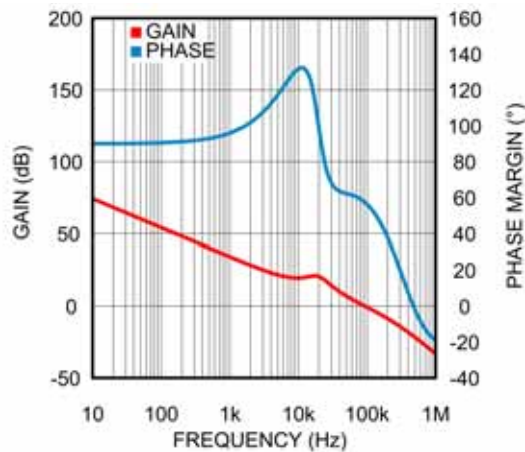


FIGURE 12. Loop Response

負荷過渡応答を観測するか、ネットワーク・アナライザを使用して安定性を確認することが重要です。電圧モードのシステムには通常、 $45^\circ \sim 70^\circ$  の位相マージンが適しています。位相マージンが過剰だと負荷変動に対するシステム応答が低速になり、位相マージンが少ないと負荷過渡応答時に出力にリングングが生じる可能性があります。負荷ステップに対する応答でピーク偏差が必要以上に大きい場合は、 $f_{\text{CROSSOVER}}$ を増やして補償部品を再計算すると効果的ですが、通常は位相マージンが犠牲になります。

## 熱についての考慮事項

LM21212-1 の放熱特性は、接合部温度と周囲温度とを関係付ける  $\theta_{JA}$  パラメータを使用して規定されています。 $\theta_{JA}$  の値は多くの変数に依存しますが、デバイス動作時の接合部温度を概算するために使えます。

デバイスの接合部温度を概算するには、次の関係式を使用します。

$$T_J = P_D \cdot \theta_{JA} + T_A$$

および

$$P_D = P_{IN} \cdot (1 - \text{Efficiency}) - I_{OUT}^2 \cdot R_{DCR}$$

各項の詳細は次のとおりです。

$T_J$  は接合部温度 ( $^\circ\text{C}$ )、 $P_{IN}$  は入力電力 (ワット;  $P_{IN} = V_{IN} \times I_{IN}$ )、 $\theta_{JA}$  は LM21212-1 の接合部から周囲空間への熱抵抗、 $T_A$  は周囲温度 ( $^\circ\text{C}$ )、 $I_{OUT}$  は出力負荷電流です。

動作の信頼性を保つには、動作時の接合部温度 ( $T_J$ ) を常に  $125^\circ\text{C}$  未満に保つことが重要です。接合部温度が  $165^\circ\text{C}$  を超えると、デバイスはサーマル・シャットダウンを繰り返します。サーマル・シャットダウンが発生するのは、不適切なヒートシンクが使用されているかまたはデバイス内で過度な電力消費が発生している徴候です。

Figure 13 に、特定の PCB の銅領域に対する  $\theta_{JA}$  の適切な概算値を示します。このテストで使用した PCB は、4 層構成になっています。内部の層には 1 オンスの銅箔を使用し、外部

の層は 2 オンスの重量の銅箔が積層されています。熱的な結合を最適にするために、サーマル・パッドの下に  $3 \times 4$  列の 8mil のビアを使用し、デバイスの下に残りの部分にさらに 16 個の 8mil のビアを使用して、4 つの層を接続しました。

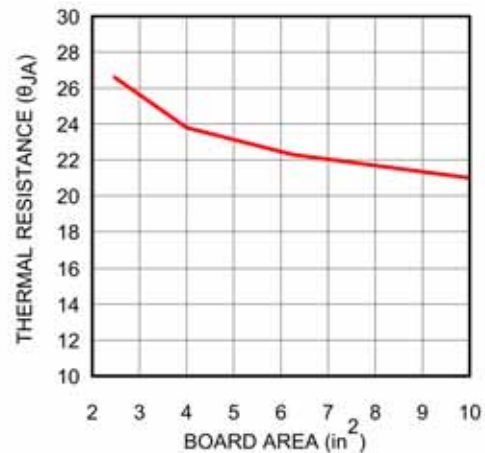


FIGURE 13. Thermal Resistance vs PCB Area (4 Layer Board)

Figure 14 は、Figure 16 に示す代表的なアプリケーション回路で、 $\theta_{JA}$  値を  $24^\circ\text{C}/\text{W}$  と仮定した場合の最大周囲温度と出力電流の比較図を示したものです。

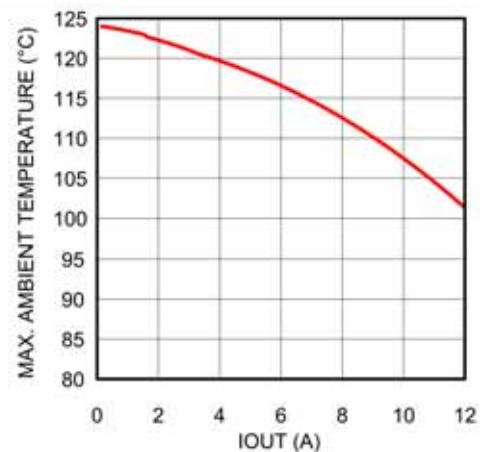


FIGURE 14. Maximum Ambient Temperature vs. Output Current (0 LFM)

## プリント基板レイアウトの考慮事項

プリント基板のレイアウトは DC/DC コンバータの設計の重要な部分を占めています。設計が適切ではないプリント基板を使用すると、EMI、グラウンド・バウンス、配線での電圧降下などにより、DC/DC コンバータの性能と周辺回路の動作に影響を与えます。不適切な基板では、DC/DC コンバータに不正な信号が入力され、制御性と安定度が低下します。

以下の基本的な設計ルールに従い、適切なプリント基板設計を行ってください。

## 設計ガイド (つづき)

1. スwitchングされた電流ループの面積を最小限に抑えます。降圧型レギュレータには電流が高いスルーレートでスイッチする2個のループが存在します。最初のループは入力コンデンサから始まり、レギュレータの PVIN ピン、レギュレータの SW ピン、インダクタ、そして出力コンデンサと出力負荷につながる経路です。もう1つは、出力コンデンサのグラウンドから始まり、レギュレータの GND ピンを通して、インダクタから出力負荷へと至るループです (Figure 15 を参照)。両方のループ面積を最小化するために、入力コンデンサを VIN ピンの可能な限り近くに配置してください。入力コンデンサと出力コンデンサのグラウンドは近くにしてください。理想的には、表面層にグラウンド・プレーンを配置し PGND ピン、デバイスの露出パッド (EP)、入力コンデンサと出力コンデンサのグラウンド接続をデバイスのピン 10 とピン 11 の近くの小さな面積で接続してください。インダクタを SW ピンと出力コンデンサの可能な限り近くに配置してください。
2. スイッチ・ノードの銅面積を最小限に抑えます。6 つの SW ピンは、単一の最上層のプレーンでインダクタのパッドへ配線してください。インダクタは、導通損失を最小限に抑えるために、幅の広いパターンを使ってデバイスのスイッチ・ピンのできるだけ近くに配置します。インダクタは LM21212-1 に対して PCB の裏面にも配置できますが、インダクタの磁界が高感度の帰還回路パターンまたは補償回路パターンにカップリングしないように十分注意する必要があります。
3. PGND、EP、入力コンデンサと出力コンデンサのグラウンド間の接続は、ソリッドなグラウンド・プレーンにします。AGND、補償、帰還、ソフトスタートの各 부품のグラウンド接続は、パワー・グラウンド・プレーンと物理的に分離 (ピン 1 とピン 20 の近くに配置) しますが、必ずしもグラウンド接続を別にする必要はありません。グラウンド・レイアウトが適切に設計されていないと、負荷制御特性が劣化したり、スイッチング動作が不安定になります。

償、帰還、ソフトスタートの各 부품のグラウンド接続は、パワー・グラウンド・プレーンと物理的に分離 (ピン 1 とピン 20 の近くに配置) しますが、必ずしもグラウンド接続を別にする必要はありません。グラウンド・レイアウトが適切に設計されていないと、負荷制御特性が劣化したり、スイッチング動作が不安定になります。

4. VOUT 信号から補償ネットワークへの接続を十分注意して配線します。このノードはインピーダンスが高く、ノイズ・カップリングの影響を受けやすくなります。配線は SW ピンとインダクタから遠ざけ、スイッチ・ノイズで帰還信号に干渉を与えないようにしてください。

5. 入出力の電源バス接続は、可能な限り広くします。これで、コンバータ入出力時の電圧降下を低下させ、効率を良くします。負荷の電圧精度は重要です。そのため帰還電圧の検出点を必ず負荷側にしてください。負荷の電圧降下を補正し、最適な出力電圧精度を実現します。

6. 適切なデバイスのヒートシンクを行います。ほとんどの 12A 設計では、4 層のボードを推奨します。可能な限り多くのスルーホールを使い、EP を熱拡散層に接続します。EP の下に配置されたスルーホールが埋められていないと、ハンダが吸い込まれます。前のセクションで説明した  $\theta_{JA}$  値を得るには、ボードと EP の間をハンダで完全に覆うことが必要です。EP パッドに十分な量のハンダを使ってスルーホールを埋めるか、または製造段階でスルーホールを埋めておく必要があります。「熱に関する考慮事項」を参照し、十分な銅の放熱面積を確保して接合部温度を 125°C 未満に保ちます。

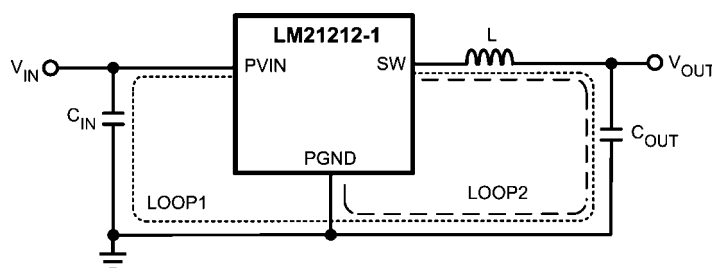


FIGURE 15. Schematic of LM21212-1 Highlighting Layout Sensitive Nodes

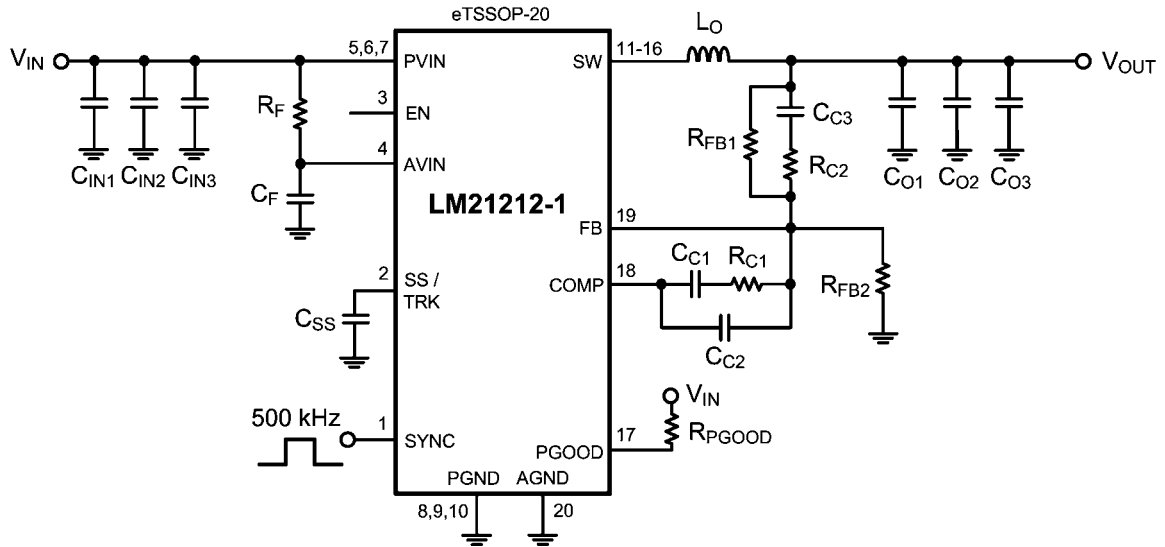


FIGURE 16. Typical Application Schematic 1

部品表 ( $V_{IN} = 3.3 \sim 5.5V$ 、 $V_{OUT} = 1.2V$ 、 $I_{OUT} = 12A$ 、 $f_{SW} = 500kHz$ )

ID	DESCRIPTION	VENDOR	PART NUMBER	QUANTITY
$C_F$	CAP, CERM, 1uF, 10V, +/-10%, X7R, 0603	MuRata	GRM188R71A105KA61D	1
$C_{IN1}$ , $C_{IN2}$ , $C_{IN3}$ , $C_{O1}$ , $C_{O2}$ , $C_{O3}$	CAP, CERM, 100uF, 6.3V, +/-20%, X5R, 1206	MuRata	GRM31CR60J107ME39L	6
$C_{C1}$	CAP, CERM, 1800pF, 50V, +/-5%, C0G/NP0, 0603	TDK	C1608C0G1H182J	1
$C_{C2}$	CAP, CERM, 68pF, 50V, +/-5%, C0G/NP0, 0603	TDK	C1608C0G1H680J	1
$C_{C3}$	CAP, CERM, 820pF, 50V, +/-5%, C0G/NP0, 0603	TDK	C1608C0G1H821J	1
$C_{SS}$	CAP, CERM, 0.033uF, 16V, +/-10%, X7R, 0603	MuRata	GRM188R71C333KA01D	1
$L_O$	Inductor, Shielded Drum Core, Powdered Iron, 560nH, 27.5A, 0.0018 ohm, SMD	Vishay-Dale	IHLP4040DZERR56M01	1
$R_F$	RES, 1.0 ohm, 5%, 0.1W, 0603	Vishay-Dale	CRCW06031R00JNEA	1
$R_{C1}$	RES, 9.31k ohm, 1%, 0.1W, 0603	Vishay-Dale	CRCW06039K31FKEA	1
$R_{C2}$	RES, 165 ohm, 1%, 0.1W, 0603	Vishay-Dale	CRCW0603165RFKEA	1
$R_{FB1}$ , $R_{FB2}$ , $R_{PGOOD}$	RES, 10k ohm, 1%, 0.1W, 0603	Vishay-Dale	CRCW060310K0FKEA	3

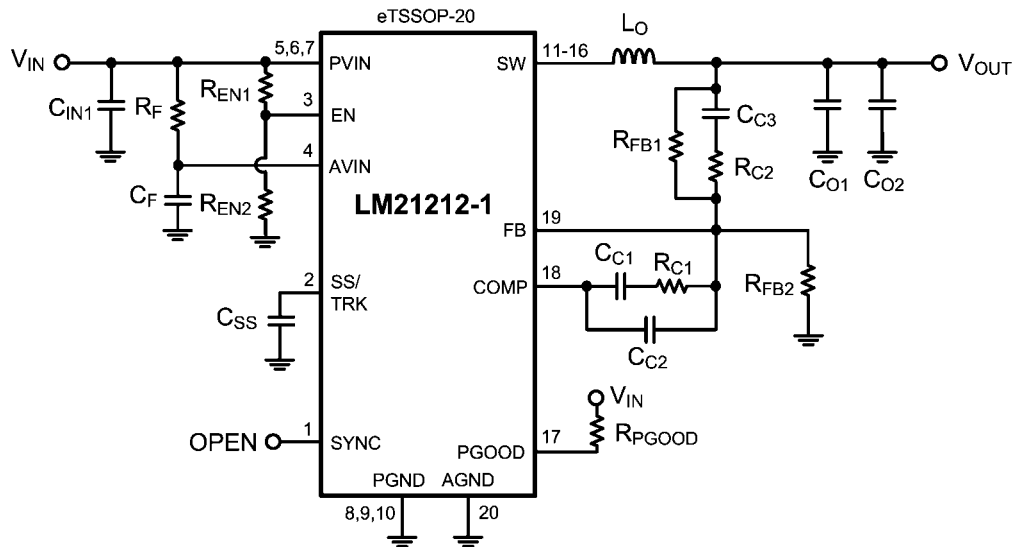
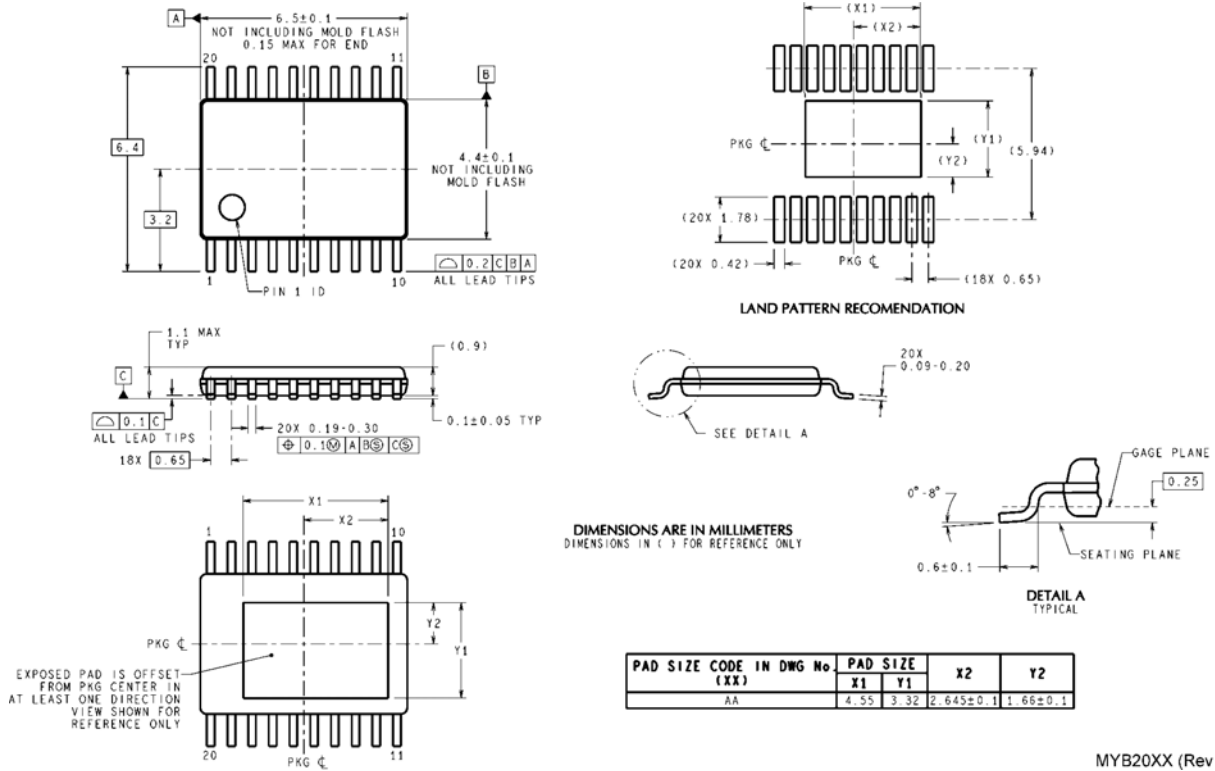


FIGURE 17. Typical Application Schematic 2

部品表 ( $V_{IN} = 4.0 \sim 5.5V$ 、 $V_{OUT} = 0.9V$ 、 $I_{OUT} = 8A$ 、 $f_{SW} = 1MHz$ )

ID	DESCRIPTION	VENDOR	PART NUMBER	QUANTITY
$C_F$	CAP, CERM, 1 $\mu$ F, 10V, +/-10%, X7R, 0603	MuRata	GRM188R71A105KA61D	1
$C_{IN1}$ , $C_{O1}$ , $C_{O2}$	CAP, CERM, 100 $\mu$ F, 6.3V, +/-20%, X5R, 1206	MuRata	GRM31CR60J107ME39L	3
$C_{C1}$	CAP, CERM, 1800pF, 50V, +/-5%, C0G/NP0, 0603	MuRata	GRM1885C1H182JA01D	1
$C_{C2}$	CAP, CERM, 68pF, 50V, +/-5%, C0G/NP0, 0603	TDK	C1608C0G1H680J	1
$C_{C3}$	CAP, CERM, 470pF, 50V, +/-5%, C0G/NP0, 0603	TDK	C1608C0G1H471J	1
$C_{SS}$	CAP, CERM, 0.033 $\mu$ F, 16V, +/-10%, X7R, 0603	MuRata	GRM188R71C333KA01D	1
$L_O$	Inductor, Shielded Drum Core, Superflux, 240nH, 20A, 0.001 ohm, SMD	Würth Elektronik eiSos	744314024	1
$R_F$	RES, 1.0 ohm, 5%, 0.1W, 0603	Vishay-Dale	CRCW06031R00JNEA	1
$R_{C1}$	RES, 4.87k ohm, 1%, 0.1W, 0603	Vishay-Dale	CRCW06034K87FKEA	1
$R_{C2}$	RES, 210 ohm, 1%, 0.1W, 0603	Vishay-Dale	CRCW0603210RFKEA	1
$R_{EN1}$ , $R_{FB1}$ , $R_{PGOOD}$	RES, 10k ohm, 1%, 0.1W, 0603	Vishay-Dale	CRCW060310K0FKEA	3
$R_{EN2}$	RES, 19.6k ohm, 1%, 0.1W, 0603	Vishay-Dale	CRCW060319K6FKEA	1
$R_{FB2}$	RES, 20.0k ohm, 1%, 0.1W, 0603	Vishay-Dale	CRCW060320K0FKEA	1

外形寸法図 特記のない限り inches (millimeters)



MYB20XX (Rev D)

20-Lead eTSSOP Package  
NS Package Number MYB20

すべて商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。





# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated (TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを含みません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしているとして特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2012, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上