

LM2642

LM2642 Two-Phase Synchronous Step-Down Switching Controller



Literature Number: JAJSA18

LM2642

デュアル同期整流降圧型スイッチング・コントローラ

概要

LM2642 は、スイッチング周波数 300kHz で動作する 2 回路構成の電流モード同期整流降圧型レギュレータ・コントローラです。

2 回路のスイッチング・レギュレータ・コントローラは 180 の位相差で動作します。この特長により入力リップル RMS 電流が低減され、入力コンデンサの条件が大幅に低減されます。2 回路のスイッチング・レギュレータ出力は、並列接続により 2 相の単出力レギュレータとして動作させることも可能です。

出力電圧は各チャンネルそれぞれ個別に 1.3V から $V_{IN} \times$ 最大デューティ・サイクルの範囲で設定できます。内部で生成される 5V 電圧は、ブートストラップ回路の駆動用として外部にも出力されます。

電流モードの帰還制御によって、高速な負荷変動に対して良好な応答特性が得られる広いリニア帯域を確保し、また優れたライン、ロード・レギュレーションを実現しました。電流はハイサイド FET の R_{ds} 、またはハイサイド FET のドレインに直列に挿入された電流センス抵抗の両端電圧によりセンスされます。電流制限値は、各チャンネルごとに独立して設定できます。

LM2642 はアナログ・ソフトスタート回路を備えており、出力負荷や出力容量には依存しません。そのため従来のソフトスタート回路に比べて、ソフトスタート時の動作に対する予測と制御が容易になっています。

PGOOD1 ピンはチャンネル 1 の DC 出力のモニタ出力です。両チャンネルの出力ともにオーバーボルテージ保護がなされています。UV-Delay ピンは出力アンダーボルテージ時のシャットオフ時間を遅延させます。

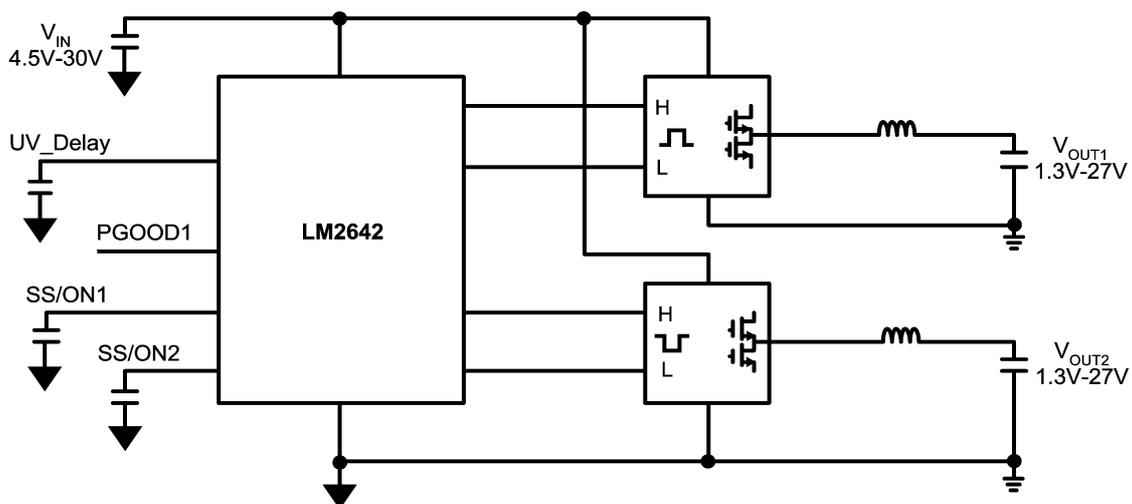
特長

- 2 回路の同期整流降圧型レギュレータ
- 180 の位相差で動作
- 入力電圧範囲 4.5V ~ 30V
- パワーグッド出力 (チャンネル 1 のみ)
- シャットダウン電流 37 μ A
- ライン、ロード・レギュレーションの誤差 0.04% (typ)
- センス抵抗有無の両方に対応した電流モード制御
- 各チャンネルにシーケンシャル・スタートアップ動作を容易にする、イネーブル/ソフトスタート機能
- 並列接続構成による単一出力が可能 (Figure 2 参照)
- サイクルごとの電流制限調整可能
- 入力アンダーボルテージ・ロックアウト
- 出力オーバーボルテージ・ラッチアップ保護
- 遅延つき出力アンダーボルテージ保護
- サーマル・シャットダウン
- レギュレータ・オフ時の出力コンデンサの自己放電
- TSSOP パッケージ

アプリケーション

- 組み込み型コンピュータ・システム
- ハイエンド・ゲームマシン
- セットトップ・ボックス
- WebPAD

ブロック図



ピン配置図

TOP VIEW

| | | | |
|----|---------|--------|----|
| 1 | KS1 | RSNS1 | 28 |
| 2 | ILIM1 | SW1 | 27 |
| 3 | COMP1 | HDRV1 | 26 |
| 4 | FB1 | CBOOT1 | 25 |
| 5 | PGOOD1 | VDD1 | 24 |
| 6 | UVDELAY | LDRV1 | 23 |
| 7 | VLIN5 | VIN | 22 |
| 8 | SGND | PGND | 21 |
| 9 | ON/SS1 | LDRV2 | 20 |
| 10 | ON/SS2 | VDD2 | 19 |
| 11 | FB2 | CBOOT2 | 18 |
| 12 | COMP2 | HDRV2 | 17 |
| 13 | ILIM2 | SW2 | 16 |
| 14 | KS2 | RSNS2 | 15 |

28-Lead TSSOP (MTC)
Order Number LM2642MTC
See NS Package Number MTC28

ピン説明

KS1 (1 ピン): チャネル 1 の電流センス・アンプ用の正極性 (+) ケルビン・センスです。このピンから電流センス・ノードまでは独立した配線にしてください。電流センス抵抗のノードを可能な限り VIN の近くに接続します。電流センス抵抗を使用しない場合は、ハイサイド MOSFET のドレイン・ノードに可能な限り近くに接続してください。

ILIM1 (2 ピン): チャネル 1 の電流制限スレッシュホールドを設定します。このピンが引き込む 10 μ A の定電流は、このピンと VIN 間に接続された抵抗によって電圧に変換されます。電圧はハイサイド MOSFET の R_{ds} または外部センス抵抗の両端電圧と比較され、チャネル 1 の過電流状態を検出します。

COMP1 (3 ピン): チャネル 1 の補償ピンです。内部トランスコンダクタンス・アンプの出力です。補償ネットワークは、このピンと信号グラウンド SGND (8 ピン) に接続してください。

FB1 (4 ピン): チャネル 1 の帰還入力です。VOUT を抵抗分圧してチャネル 1 の出力電圧を設定します。

PGOOD1 (5 ピン): チャネル 1 のパワーグッド出力で、オープンドレイン出力です。チャネル 1 の出力電圧が +15% から -9% の範囲を外れると、本信号は LOW (グラウンドに対してロー・インピーダンス) になります。PGOOD1 は、どちらかのチャネルで OVP または UVP 状態が続いている限り LOW を保持します。チャネル 1 の出力がアンダーボルテージ状態 (< 91%) から回復して公称値の 6% 以内に達すると、本信号は HIGH (グラウンドに対してハイ・インピーダンス) に戻ります。詳細は「動作説明」を参照してください。

UV_DELAY (6 ピン): 本ピンとグラウンド間に接続したコンデンサにより、UVP 時の遅延時間が設定されます。コンデンサは 5 μ A の定電流源によって充電されます。UV_DELAY 信号が 2.3V (typ) に達するとシステムは即座にラッチオフになります。本ピンをグラウンドに接続すると出力アンダーボルテージ保護機能は無効になります。

VLIN5 (7 ピン): VIN を入力とする内蔵 5V LDO レギュレータの出力電圧です。チップ内にバイアス電圧を供給するとともに、ゲート駆動のためにブートストラップ回路に電圧を与えます。4.7 μ F 以

上のコンデンサを使用して、信号グラウンドにバイパスしてください。

SGND (8 ピン): 信号回路用のグラウンドです。システムのグラウンドに接続してください。

ON/SS1 (9 ピン): チャネル 1 のイネーブル・ピンです。本ピンは、VLIN5 よりダイオード電圧降下 1 つ分高い電圧で、内部でプルアップされています。本ピンを外部オープンコレクタ信号によって 1.2V 以下に低下させると、チャネル 1 はターンオフされます。また ON/SS1 と ON/SS2 両方のピンを 1.2V 以下にすると、チップ全体がシャットダウン状態に移行します。本ピンにコンデンサを接続すると、ターンオン時にソフトスタート機能が働き、突入電流と出力電圧のオーバーシュートを緩和します。

ON/SS2 (10 ピン): チャネル 2 のイネーブル・ピンです。動作については ON/SS1 (9 ピン) を参照してください。チャネル 1 との同時スタートアップあるいは出力を並列接続動作させる場合、ON/SS1 に接続します。

FB2 (11 ピン): チャネル 2 の帰還入力です。VOUT を抵抗分圧してチャネル 2 の出力電圧を設定します。

COMP2 (12 ピン): チャネル 2 の補償ピンです。内部トランスコンダクタンス・アンプの出力です。補償ネットワークは、このピンと信号グラウンド SGND (8 ピン) に接続してください。

ILIM2 (13 ピン): チャネル 2 の電流制限スレッシュホールドを設定します。動作については ILIM1 (2 ピン) を参照してください。

KS2 (14 ピン): チャネル 2 の電流センス・アンプ用の正極性 (+) のケルビン・センスです。動作については KS1 を参照してください (1 ピン)。

RSNS2 (15 ピン): チャネル 2 の電流センス・アンプ用の負極性 (-) ケルビン・センスです。本ピンは、ハイサイド MOSFET のドレインと VIN 間に置かれている、電流センス抵抗のローサイドに接続してください。ハイサイド MOSFET の R_{ds} を用いて電流センスを行う場合は、このピンはトップ MOSFET のソースに接続します。ケルビン接続を構成するために、本ピンには独立した配線を使用してください。

ピン説明 (つづき)

SW2 (16 ピン): チャンネル 2 のスイッチ・ノード接続で、チャンネル 2 のハイサイド MOSFET のソースに接続します。ハイサイド・ゲート・ドライバ HDRV2 に対する負電源となります。

HDRV2 (17 ピン): チャンネル 2 のハイサイド・ゲート駆動出力です。HDRV2 はフローティング駆動のため、対応するスイッチ・ノード電圧が重畳します。

CBOOT2 (18 ピン): ブートストラップ・コンデンサを接続します。チャンネル 2 のハイサイド・ゲート駆動の正電源となります。本ピンは、ダイオードを介して VDD2 (19 ピン) に接続するとともに、ローサイドのブートストラップ・コンデンサを介して SW2 (16 ピン) に接続します。

VDD2 (19 ピン): チャンネル 2 のローサイド・ゲート駆動用電源です。4.7 を介して VLIN5 (7 ピン) に接続し、あわせて 1 μ F 以上のセラミック・コンデンサを介してパワー段用グラウンドにバイパスします。本ピンは VDD1 (24 ピン) と接続します。

LDRV2 (20 ピン): チャンネル 2 のローサイド・ゲート駆動出力です。

PGND (21 ピン): 両チャンネルのパワー段用のグラウンドです。システムのグラウンドに接続します。

VIN (22 ピン): チップ用の電源ピンです。システムの正の電源に接続します。本ピンは、ハイサイド FET のドレイン (または電流センス抵抗) と同じ電源系統に接続しなければなりません。

LDRV1 (23 ピン): チャンネル 1 のローサイド・ゲート駆動出力です。

VDD1 (24 ピン): チャンネル 1 のローサイド・ゲート駆動用電源です。ピンは VDD2 (19 ピン) と接続します。

CBOOT1 (25 ピン): ブートストラップ・コンデンサを接続します。チャンネル 1 のハイサイド・ゲート駆動の正電源となります。CBOOT2 (18 ピン) を参照してください。

HDRV1 (26 ピン): チャンネル 1 のハイサイド・ゲート駆動出力です。HDRV2 (17 ピン) を参照してください。

SW1 (27 ピン): チャンネル 1 のスイッチ・ノード接続です。SW2 (16 ピン) を参照してください。

RSNS1 (28 ピン): チャンネル 1 の電流センス・アンプ用の負極性 (-) ケルビン・センスです。RSNS2 (15 ピン) を参照してください。

絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電気的信頼性試験方法の規格を参照ください。

特記のない限り SGND/PGND に対する各ピンの電圧 :

| | |
|-----------------------------------|-------------------------|
| VIN, ILIM1, ILIM2, KS1, KS2 | - 0.3V ~ 32V |
| SW1, SW2, RSNS1, RSNS2 | - 0.3 ~ (VIN + 0.3)V |
| FB1, FB2, VDD1, VDD2 | - 0.3V ~ 6V |
| PGOOD, COMP1, COMP2, UV Delay | - 0.3V ~ (VLIN5 + 0.3)V |
| ON/SS1, ON/SS2 (Note 2) | - 0.3V ~ (VLIN5 + 0.6)V |
| CBOOT1 と SW1 間、CBOOT2 と SW2 間 | - 0.3V ~ 7V |
| LDRV1, LDRV2 | - 0.3V ~ (VDD + 0.3)V |
| HDRV1 と SW1 間、HDRV2 と SW2 間 | - 0.3V |
| HDRV1 と CBOOT1 間、HDRV2 と CBOOT2 間 | + 0.3V |

消費電力 (TA = 25) (Note 3) 1.1W

保存周囲温度範囲 - 65 ~ + 150

ハンダ付け実装時間、温度 (Note 4)

| | |
|-----------|----------|
| ウェーブ | 4 秒、260 |
| 赤外線 | 10 秒、240 |
| ペーパー・フェーズ | 75 秒、219 |

ESD 定格 (Note 5) 2kV

動作定格 (Note 1)

VIN (VLIN5 を VIN に接続) 4.5V ~ 5.5V

VIN (VIN と VLIN5 は独立) 5.5V ~ 30V

接合部温度 - 40 ~ + 125

電気的特性

特記のない限り、VIN = 15V、GND = PGND = 0V、VLIN5 = VDD1 = VDD2。太字で記載されているリミット値は、規定の動作接合部温度範囲に適用されます (特記のない限り - 20 ~ + 125)。通常の字体で記載されている仕様は、デューティ・サイクルが小さいパルスを用いて室温 (TA = 25) の状態で測定されています (Note 6、7)。Min/Max リミット値は、設計、検査、統計的解析により保証されています。

| Symbol | Parameter | Conditions | Min | Typ | Max | Units |
|--|---|---|--|-------------|--------------|-------------|
| System | | | | | | |
| $\Delta V_{OUT}/V_{OUT}$ | Load Regulation | VIN = 15V, V _{comp} = 0.5V to 1.5V | | 0.04 | | % |
| $\Delta V_{OUT}/V_{OUT}$ | Line Regulation - | 5.5V ≤ VIN ≤ 30V, V _{comp} = 1.25V | | 0.04 | | % |
| V _{FB1_F12} | Feedback Voltage | 5.5V ≤ VIN ≤ 30V | 1.215 | 1.238 | 1.260 | V |
| | | 0°C to 125°C | 1.217 | | 1.259 | |
| | | -40°C to 125°C | 1.212 | | 1.261 | |
| I _{VIN} | Input Supply Current | V _{ON_SSx} > 2V 5.5V ≤ VIN ≤ 30V | | 1.0 | 2.0 | mA |
| | | Shutdown (Note 8) V _{ON_SS1} = V _{ON_SS2} = 0V | | 37 | 110 | μA |
| | | VLIN5 Output Voltage (Note 9) | VLIN5 = 0 to 25mA, 5.5V ≤ VIN ≤ 30V | 4.70 | 5 | 5.30 |
| | -40°C to 125°C | 4.68 | | 5.30 | | |
| V _{CLos} | Current Limit Comparator Offset (VILIMX - VRSNSX) | | | ±2 | ±7.0 | mV |
| I _{CL} | Current Limit Sink Current | | 9 | 10 | 11 | μA |
| | | -40°C to 125°C | 8.67 | | 11 | |
| I _{ss_SC1} , I _{ss_SC2} | Soft-Start Source Current | V _{ON_SS1} = V _{ON_SS2} = 1.5V (on) | 0.5 | 2 | 5.0 | μA |
| I _{ss_SK1} , I _{ss_SK2} | Soft-Start Sink Current | V _{ON_SS1} = V _{ON_SS2} = 2V | 2 | 5.2 | 10 | μA |
| V _{ON_SS1} , V _{ON_SS2} | Soft-Start On Threshold | | 0.7 | 1.12 | 1.4 | V |
| V _{SSTO} | Soft-Start Timeout Threshold | (Note 10) | | 3.3 | | V |
| I _{sc_uvdelay} | UV_DELAY Source Current | UV-DELAY = 2V | 2 | 5 | 9 | μA |

電气的特性 (つづき)

特記のない限り、 $V_{IN} = 15V$ 、 $GND = PGND = 0V$ 、 $V_{LINS} = V_{DD1} = V_{DD2}$ 。太字で記載されているリミット値は、規定の動作接合部温度範囲に適用されます (特記のない限り - 20 ~ + 125)。通常の字体で記載されている仕様は、デューティ・サイクルが小さいパルスを用いて室温 ($T_A = 25$) の状態で測定されています (Note 6, 7)。Min/Max リミット値は、設計、検査、統計的解析により保証されています。

| Symbol | Parameter | Conditions | Min | Typ | Max | Units |
|------------------------|--|--|--------------|------|-------------|----------|
| $I_{sk_uvdelay}$ | UV_DELAY Sink Current | UV-DELAY = 0.4V | 0.2 | 0.48 | 1.2 | mA |
| $V_{UVDelay}$ | UV_DELAY Threshold Voltage | | | 2.3 | | V |
| V_{UVP} | FB1, FB2, Under Voltage Protection Latch Threshold | As a percentage of nominal output voltage (falling edge) | 75 | 80 | 86 | % |
| | Hysteresis | | | 4 | | % |
| V_{OVP} | V_{OUT} Overvoltage Shutdown Latch Threshold | As a percentage measured at V_{FB1} , V_{FB2} | 107 | 113 | 122 | % |
| V_{pwrbad} | Regulator Window Detector Thresholds (PGOOD1 from High to Low) | As a percentage of output voltage | 86.5 | 90.3 | 94.5 | % |
| V_{pwrigd} | Regulator Window Detector Thresholds (PGOOD1 from Low to High) | | 91.5 | 94 | 97.0 | % |
| S_{wx_R} | SW1, SW2 ON-Resistance | $V_{SW1} = V_{SW2} = 2V$ | 420 | 480 | 535 | Ω |
| Gate Drive | | | | | | |
| I_{CBOOT} | CBOOTx Leakage Current | $V_{CBOOT1} = V_{CBOOT2} = 7V$ | | 10 | | nA |
| I_{SC_DRV} | HDRVx and LDRVx Source Current | $V_{CBOOT1} = V_{CBOOT2} = 5V$, $V_{SWx}=0V$, $HDRVx=LDRVx=2.5V$ | | 0.5 | | A |
| I_{sk_HDRV} | HDRVx Sink Current | $V_{CBOOTx} = V_{DDx} = 5V$, $V_{SWx} = 0V$, $HDRVx = 2.5V$ | | 0.8 | | A |
| I_{sk_LDRV} | LDRVx Sink Current | $V_{CBOOTx} = V_{DDx} = 5V$, $V_{SWx} = 0V$, $LDRVx = 2.5V$ | | 1.1 | | A |
| R_{HDRV} | HDRV1 & 2 Source On-Resistance | $V_{CBOOT1} = V_{CBOOT2} = 5V$, $V_{SW1} = V_{SW2} = 0V$ | | 3.1 | | Ω |
| | HDRV1 & 2 Sink On-Resistance | | | 1.5 | | Ω |
| R_{LDRV} | LDRV1 & 2 Source On-Resistance | $V_{CBOOT1} = V_{CBOOT2} = 5V$, $V_{SW1} = V_{SW2} = 0V$, $V_{DD1} = V_{DD2} = 5V$ | | 3.1 | | Ω |
| | LDRV1 & 2 Sink On-Resistance | | | 1.1 | | Ω |
| Oscillator | | | | | | |
| F_{osc} | Oscillator Frequency | | 260 | 300 | 340 | kHz |
| | | -40°C to 125°C | 257.5 | | 340 | |
| Don_max | Maximum On-Duty Cycle | $V_{FB1} = V_{FB2} = 1V$, Measured at pins HDRV1 and HDRV2 | 96 | 98 | | % |
| | | -40°C to 125°C | 95.64 | | | |
| T_{on_min} | Minimum On-Time | | | 166 | | ns |
| SS_{OT_delta} | HDRV1 and HDRV2 Delta On Time | ON/SS1 = ON/SS2 = 2V | | 20 | 150 | ns |
| Error Amplifier | | | | | | |

電氣的特性 (つぎ)

特記のない限り、 $V_{IN} = 15V$ 、 $GND = PGND = 0V$ 、 $VLIN5 = VDD1 = VDD2$ 。太字で記載されているリミット値は、規定の動作接合部温度範囲に適用されます (特記のない限り - 20 ~ + 125)。通常の字体で記載されている仕様は、デューティ・サイクルが小さいパルスを用いて室温 ($T_A = 25$) の状態で測定されています (Note 6, 7)。Min/Max リミット値は、設計、検査、統計的解析により保証されています。

| Symbol | Parameter | Conditions | Min | Typ | Max | Units |
|---|--|--|-------------|------|-------------|-------|
| I_{FB1} , I_{FB2} | Feedback Input Bias Current | $V_{FB1_FIX} = 1.5V$, $V_{FB2_FIX} = 1.5V$ | | 65 | ±200 | nA |
| I_{comp1_SC} , I_{comp2_SC} | COMP Output Source Current | $V_{FB1_FIX} = V_{FB2_FIX} = 1V$, $V_{COMP1} = V_{COMP2} = 1V$ | 18 | 113 | | μA |
| | | 0°C to 125°C | 32 | | | |
| | | -40°C to 125°C | 6 | | | |
| I_{comp1_SK} , I_{comp2_SK} | COMP Output Sink Current | $V_{FB1_FIX} = V_{FB2_FIX} = 1.5V$ and $V_{COMP1} = V_{COMP2} = 0.5V$ | 18 | 108 | | μA |
| | | 0°C to 125°C | 32 | | | |
| | | -40°C to 125°C | 6 | | | |
| $gm1$, $gm2$ | Transconductance | | | 650 | | μmho |
| GI_{SNS1} , GI_{SNS2} | Current Sense Amplifier (1&2) Gain | $V_{COMPx} = 1.25V$ | 4.2 | 5.2 | 7.5 | |
| Voltage References and Linear Voltage Regulators | | | | | | |
| UVLO | VLIN5 Under-voltage Lockout Threshold Rising | ON/SS1, ON/SS2 transition from low to high | 3.6 | 4.0 | 4.4 | V |
| Logic Outputs | | | | | | |
| I_{OL} | PGOOD Low Sink Current | $V_{PGOOD} = 0.4V$ | 0.60 | 0.95 | | mA |
| I_{OH} | PGOOD High Leakage Current | $V_{PGOOD} = 5V$ | | 5 | 200 | nA |

Note 1: 「絶対最大定格」とは、デバイスが破壊する可能性のあるリミット値をいいます。「動作定格」とはデバイスが正しく機能する条件を示しますが、特定の性能限界を保証するものではありません。保証された仕様とそのテスト条件については「電氣的特性」を参照してください。仕様の保証は、表記のテスト条件にのみ適用されます。記載のテスト条件以外でデバイスを動作させると、性能特性が低下することがあります。

Note 2: ON/SS1 と ON/SS2 は、VLIN5 よりダイオード電圧降下 1 つ分高い電圧で、内部でプルアップされています。チップを破壊するおそれがあるため、これらのピンは外部でプルアップしてはなりません。

Note 3: 最大許容消費電力は、 $P_{DMAX} = (T_{JMAX} - T_A) / \theta_{JA}$ の式を使用して計算します。 T_{JMAX} は最大接合部温度、 T_A は周囲温度、 θ_{JA} はパッケージの接合部 - 周囲間熱抵抗です。1.1W の定格値は、 T_{JMAX} 、 T_A 、 θ_{JA} にそれぞれ 125、25、90.6 /W の値を代入して得たものです。 θ_{JA} の 90.6 /W は、28 ピン TSSOP パッケージに放熱用の銅箔を設けないワーストケース条件での値です。熱暴走保護回路は、デバイスの温度が最大接合部温度を超えると動作します。

Note 4: プラスチック小型パッケージのハンダ付けの詳細については、ナショナル・セミコンダクターの "Packaging Databook" を参照してください。

Note 5: ESD テストには、100pF のコンデンサから 1.5k を通じて各ピンへ放電する人体モデルが使用されています。

Note 6: デューティ・サイクルが小さいパルスを用いて室温 ($T_A = 25$) の状態で測定された特性データの中央値が typical 値です。typical 値は保証されません。

Note 7: リミット値はすべて保証されます。室温リミット値がある電氣的特性はすべて、 $T_A = T_J = 25$ で製造時にテストされます。温度の上下限値はすべて、製造工程や温度のばらつきと電氣的特性の相関関係を把握し、統計的工程管理を適用することにより保証されています。

Note 8: 2 回路のスイッチング・コントローラが共にオフとなっている状態です。リニア・レギュレータ (VLIN5) はオンしています。

Note 9: VLIN5 ピンの出力電圧はシャットダウン・モード (ON/SS1 = ON/SS2 = 0V) では、5.9V もの大きさになる場合があります。

Note 10: 充電により SS1 と SS2 ピンがこの電圧より高くなり、さらに V_{out1} または V_{out2} のどちらかがレギュレーション・リミットより低い場合、アンダーボルテージ保護機能の初期化が行われます。

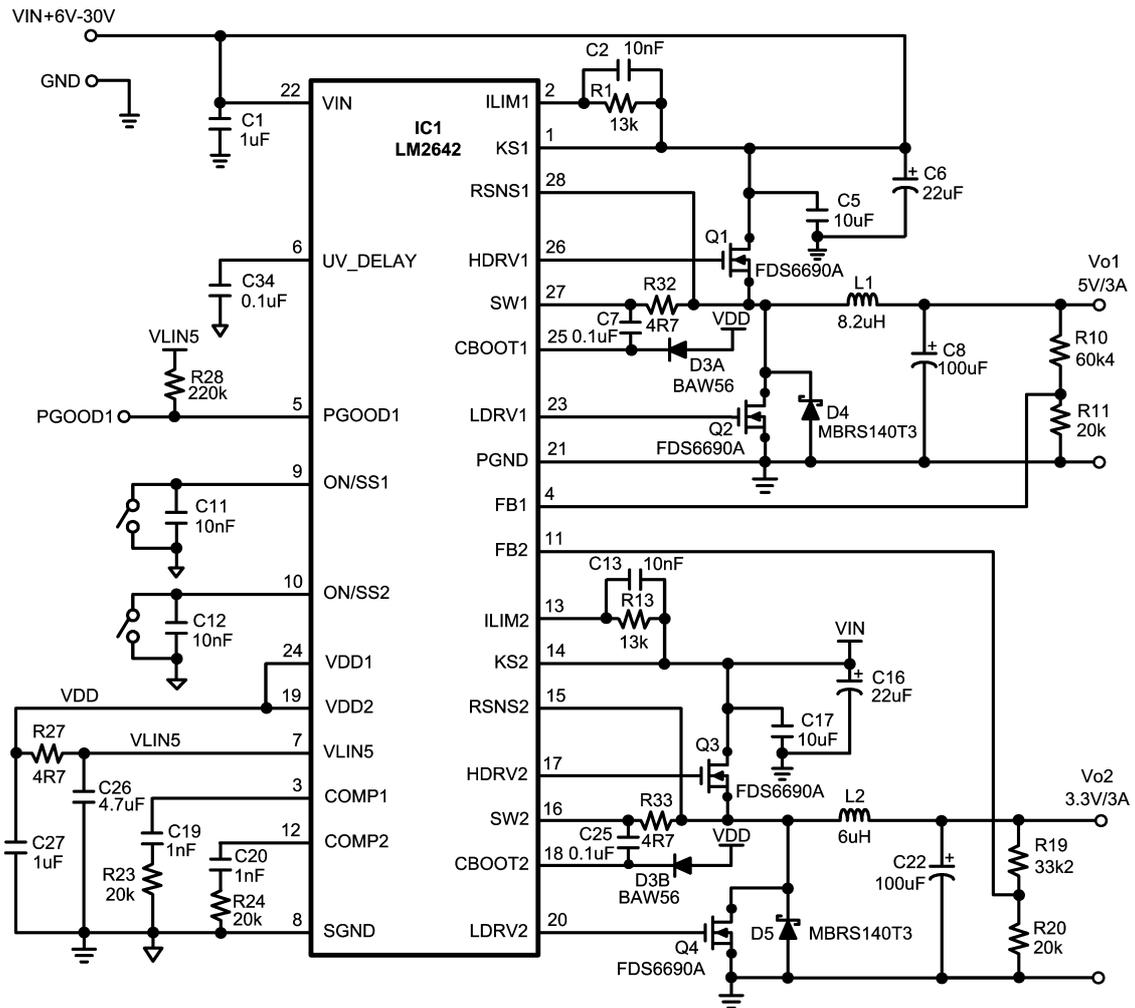


FIGURE 1. Typical 2 Channel Application Circuit

- ・ 信号系グラウンド (↓) は、パワー系グラウンド (≡) からの影響を避けるため、グラウンドを分離させてください。
- ・ KS_x 、 $RSNS_x$ ピンは、ケルビン接続にて電流制限抵抗またはハイサイド MOSFET に接続してください。
- ・ スイッチング・レギュレータを設計する上で、パターンの設計は重要です。AN-1149、AN-1229 (いずれも和文あり) に記載されているパターン設計のガイドラインをご参照ください。

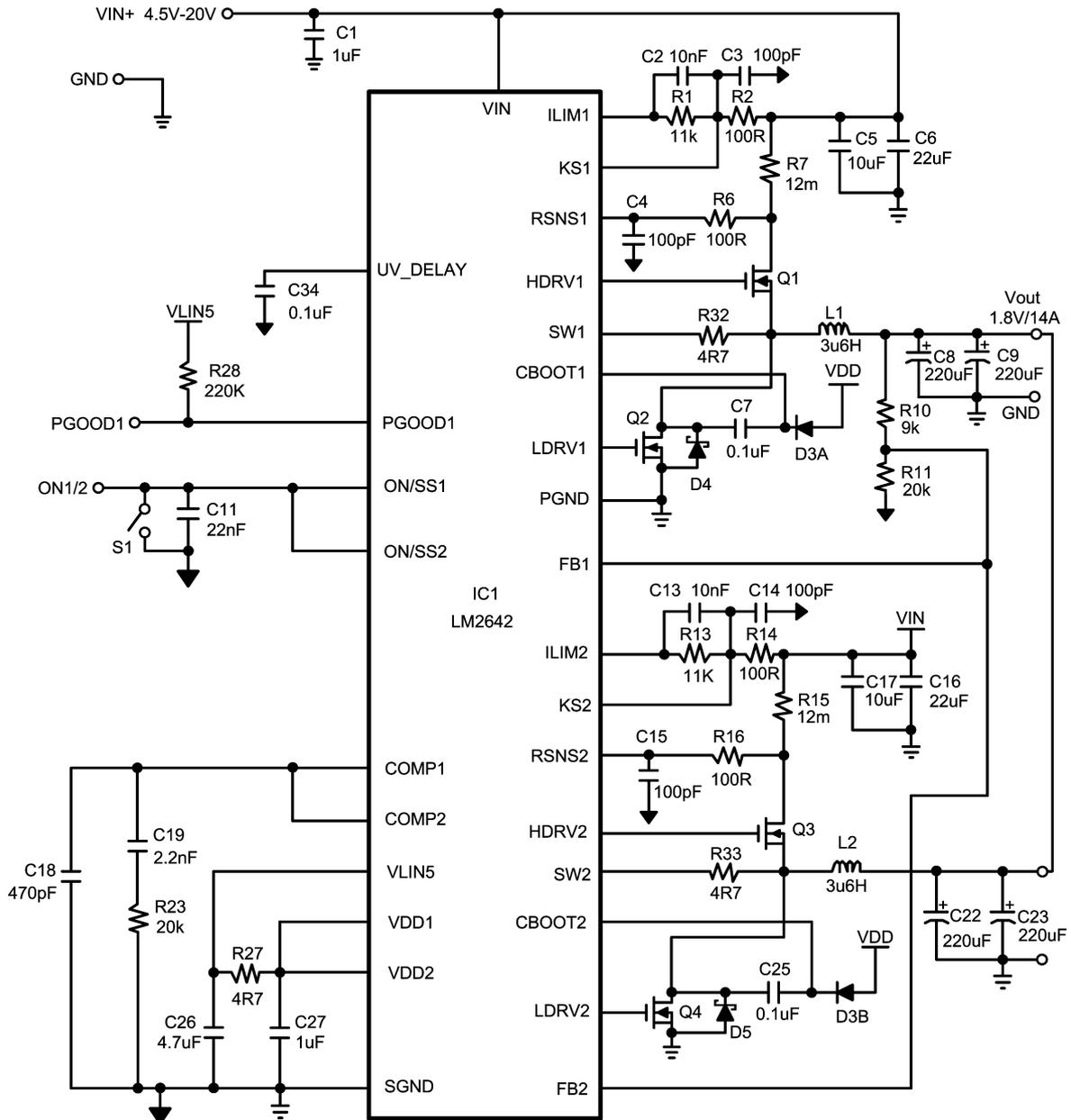
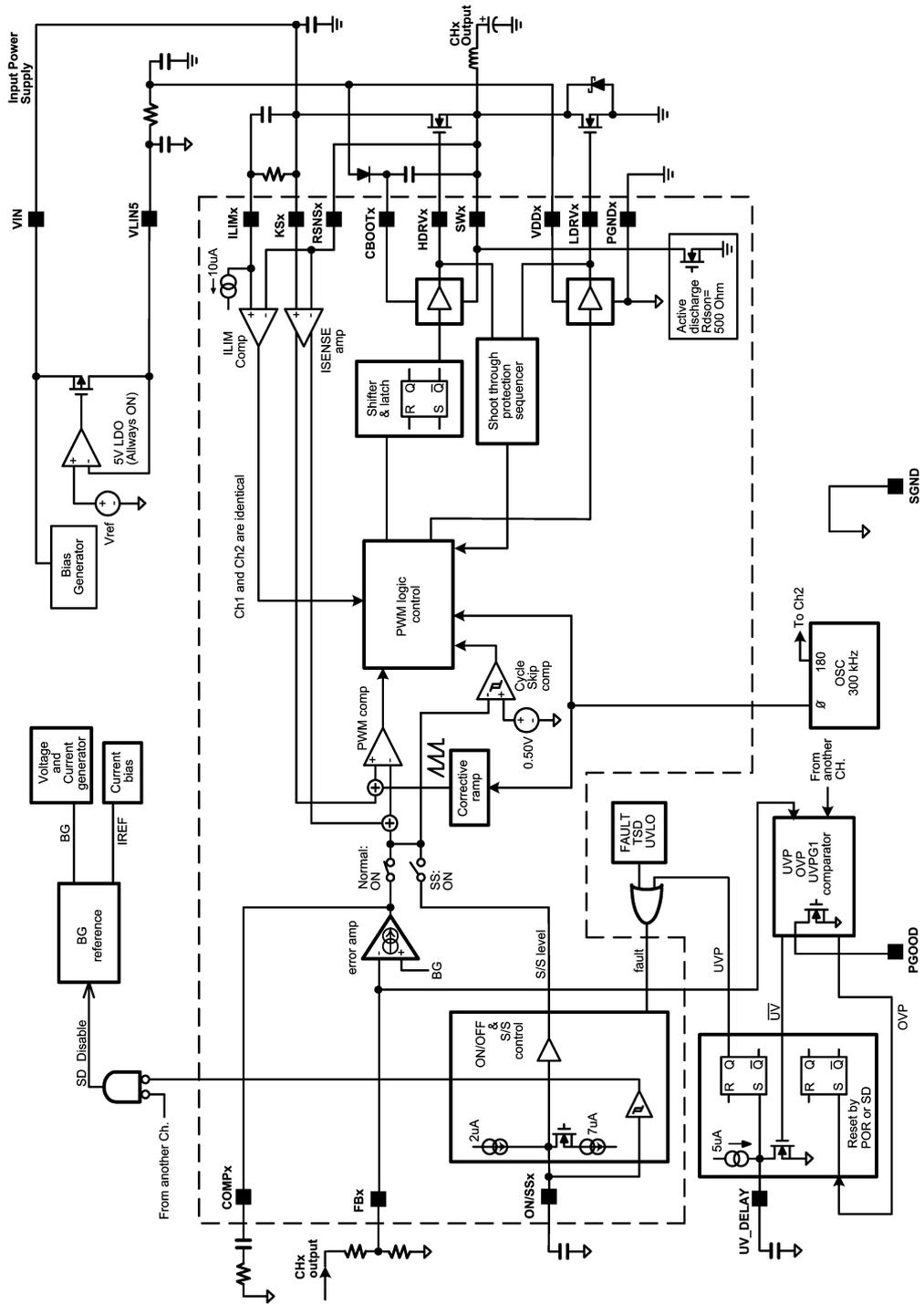


FIGURE 2. Typical Single Channel Application Circuit

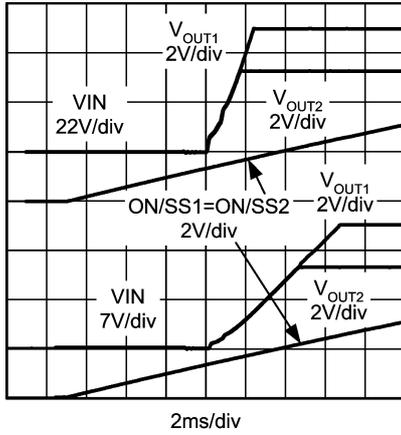
- ・ 信号系グラウンド (↓) は、パワー系グラウンド (≡) からの影響を避けるため、グラウンドを分離させてください。
- ・ KS_x、RSNS_x ピンは、ケルビン接続にて電流制限抵抗またはハイサイド MOSFET に接続してください。
- ・ スイッチング・レギュレータを設計する上で、パターン設計は重要です。AN-1149、AN-1229 (いずれも和文あり) に記載されているパターン設計のガイドラインをご参照ください。

ブロック図

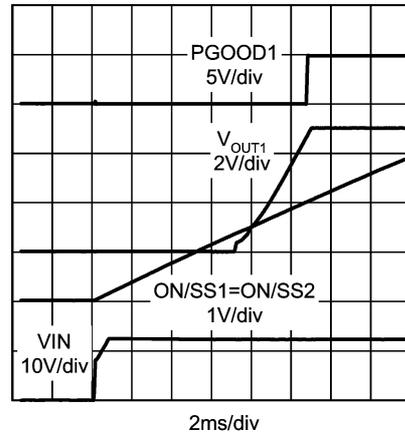


代表的な性能特性

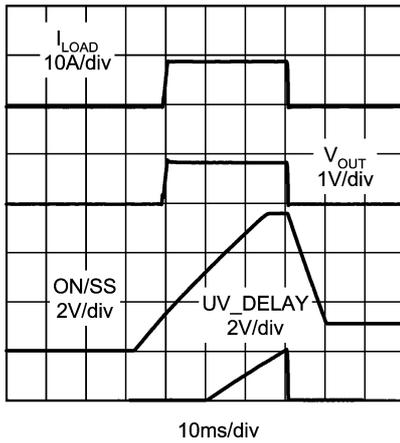
Softstart Waveforms
($I_{LOAD1} = I_{LOAD2} = 0A$)



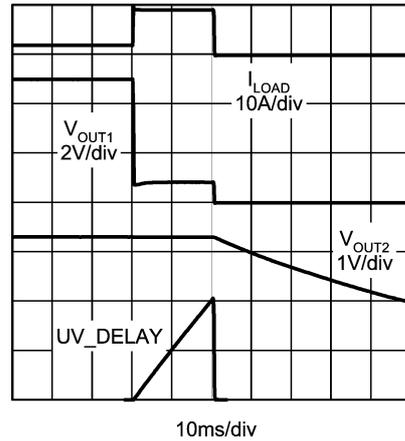
Power On and PGOOD1 Waveforms
($I_{LOAD1} = I_{LOAD2} = 0A$)



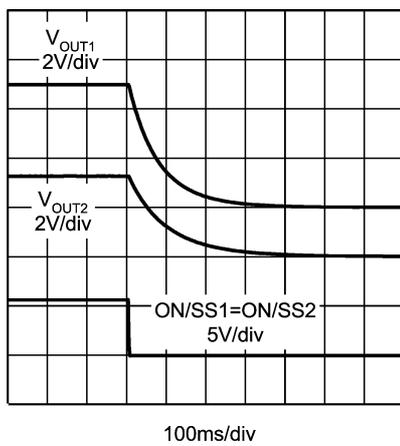
UVP Startup Waveforms



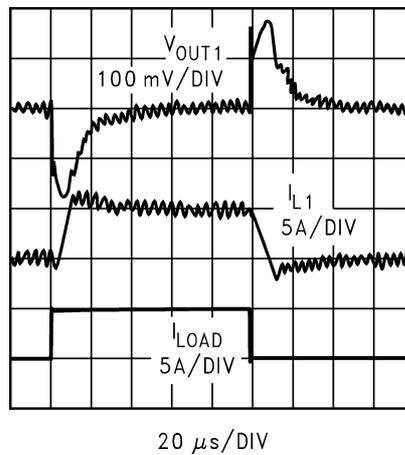
Over-Current and UVP Shutdown
($I_{LOAD2} = 0A$)



Shutdown Waveforms
($I_{LOAD1} = I_{LOAD2} = 0A$)

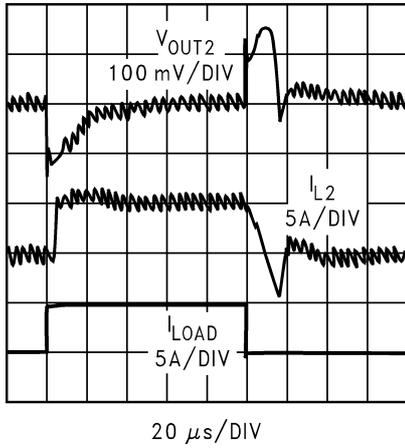


Ch.1 Load Transient Response
5V_{OUT}, 12V_{IN}

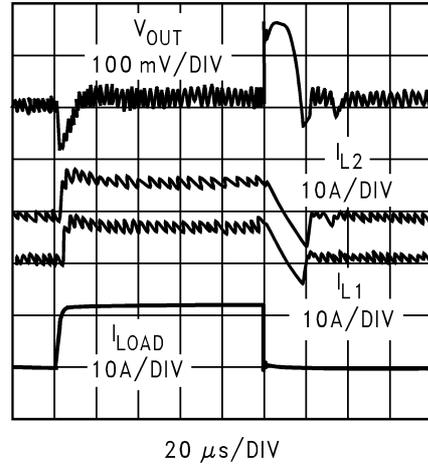


代表的な性能特性 (つづき)

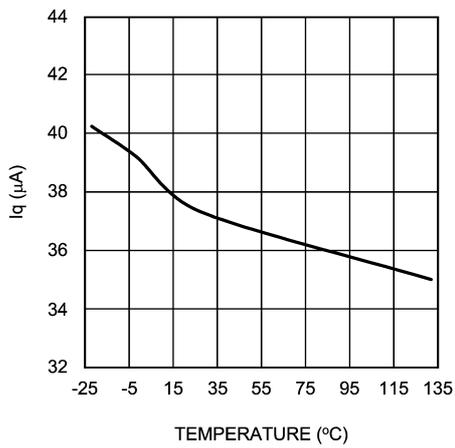
Ch.2 Load Transient Response
3.3V_{OUT}, 12V_{IN}



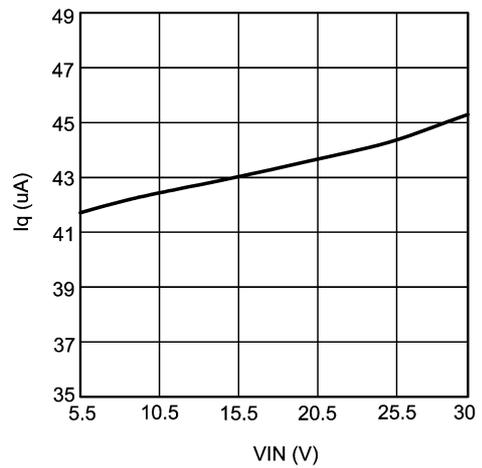
Load Transient Response
Parallel Operation 1.8V_{OUT}, 12V_{IN}



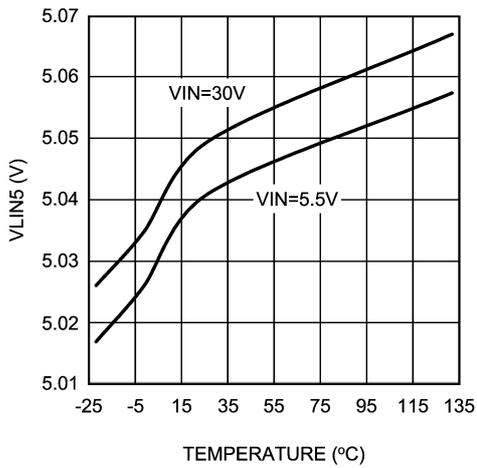
Input Supply Current vs Temperature
(Shutdown Mode V_{IN} = 15V)



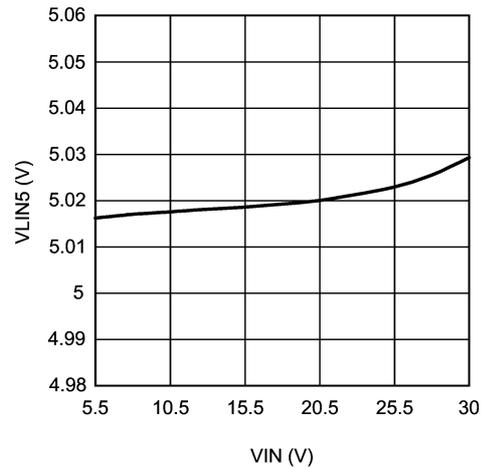
Input Supply Current vs V_{IN}
Shutdown Mode (25 °C)



VLIN5 vs Temperature

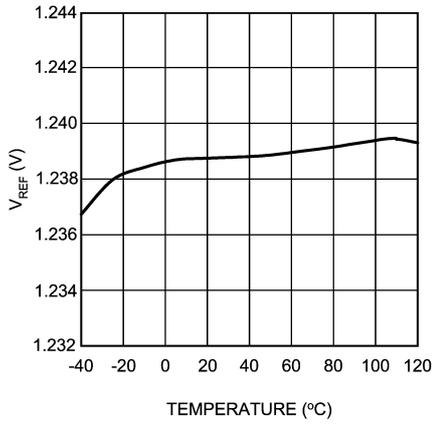


VLIN5 vs V_{IN} (25 °C)

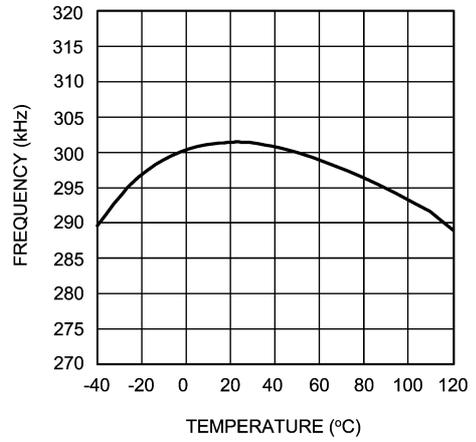


代表的な性能特性 (つづき)

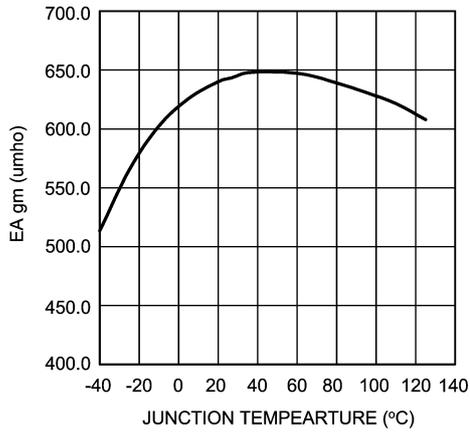
FB Reference Voltage vs Temperature



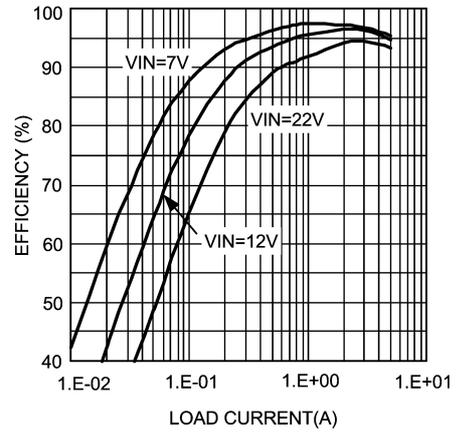
Operating Frequency vs Temperature



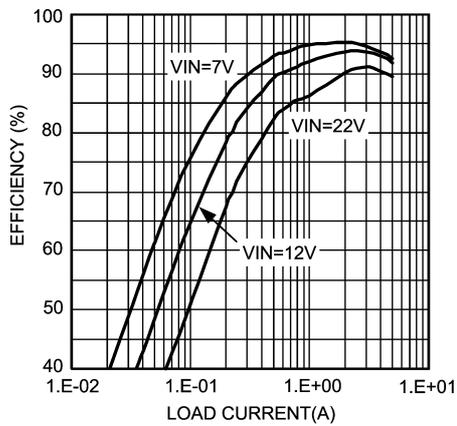
Error Amplifier Gain vs Temperature



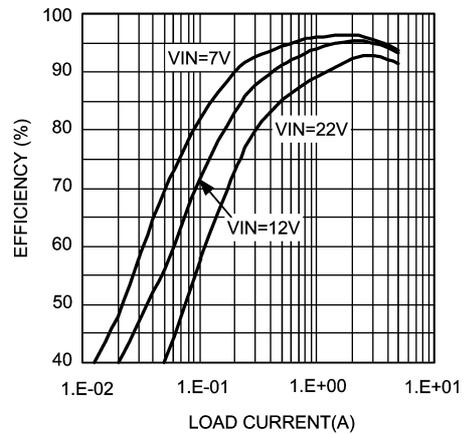
Efficiency vs Load Current
Ch.1 = 5V, Ch.2 = Off



Efficiency vs Load Current
Ch.2 = 2.5V, Ch.1 = Off



Efficiency vs Load Current
Ch.2 = 3.3V, Ch.1 = Off



動作説明

ソフトスタート

ON/SSx ピンは、それぞれのチャンネルのイネーブルとソフトスタート制御の 2 つの役割を持っています。ソフトスタートのブロック図を Figure 3 に示します。

両方の ON/SSx ピンがグラウンド・レベルの場合、LM2642 はシャットダウン状態を保持します。ON/SSx ピンと SGND 間にソフトスタート・コンデンサが接続されている通常のアプリケーションでは、ソフトスタート機能は次のように働きます。入力電圧が上昇し (注意: VIN = 2.2V になると Iss は流れ始めます)、内部 5V LDO がスタートアップし、内部 2μA 電流がソフトスタート・コンデンサを充電します。ソフトスタート期間中は、COMPx に出力されるエラー・アンプの出力電圧は 0.55V にクランプされ、デューティ・サイクルは ON/SSx 電圧によって制御されます。ON/SSx ピンの電圧の上昇に比例してデューティ・サイクルは増大し、その結果出力電圧が上昇します。デューティ・サイクルが増大する率はソフトスタート・コンデンサの容量によって決まり、容量が大きいと出力電圧のランプアップは緩やかになります。出力電圧が設定電圧の 98% (typ) に達すると、レギュレータはソフトスタート・モードから通常の動作モードに遷移します。このとき、エラー・アンプ出力は 0.55V のクランプから解放され、ピーク電流帰還制御が引き継ぎます。ピーク電流帰還制御モードに移行すると、PWM 制御を行うために、エラー・アンプは 0.5V から 2.0V の範囲の電圧を出力します。Figure 4 を参照してください。

ソフトスタートの間も、オーバーボルテージ保護と電流制限は機能を維持しています。アンダーボルテージ保護機能は、ON/SSx ピンがタイムアウト・スレッショルド (3.3V typ) を超えるとアクティブになります。ON/SSx コンデンサの容量が小さすぎると、デューティ・サイクルがきわめて速く増大するおそれがあり、出力電圧のオーバーシュートが OVP スレッショルドを超えてデバイスのラッチオフを引き起こす可能性があります。この問題は、アプリケーションが必要とする出力電圧が低く、負荷が軽く、かつ入力電圧が高い場合に起こりやすくなります。出力をスムーズにランプアップさせるために、それぞれの ON/SSx ピンには 10nF のコンデンサを推奨します。

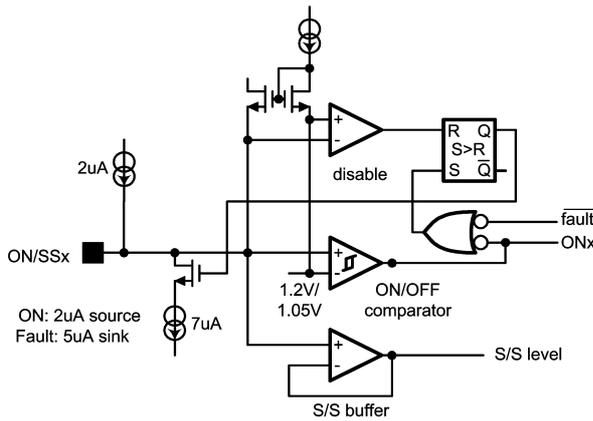


FIGURE 3. Soft Start and ON/OFF

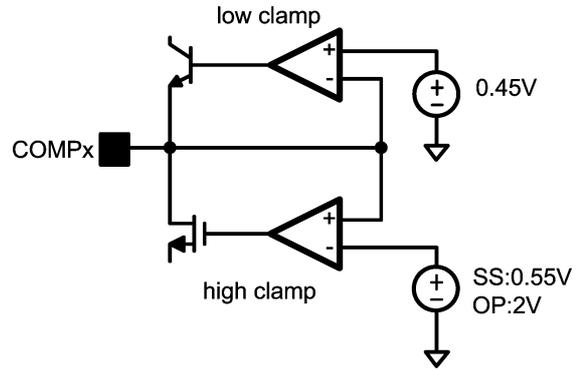


FIGURE 4. Voltage Clamp at COMPx Pin

シーケンシャル・スタートアップ

シーケンシャル・スタートアップを実現するには、PGOOD1 を ON/SS2 に接続します。チャンネル 1 が公称電圧の 94%に達すると PGOOD1 は HIGH になり、ON/SS2 をイネーブルにします。この構成の場合、チャンネル 2 はチャンネル 1 の状態によって制御されます。したがって、仮にチャンネル 1 の電圧が PGOOD1 の電圧範囲を外れると、チャンネル 2 は速やかにスイッチオフされます。

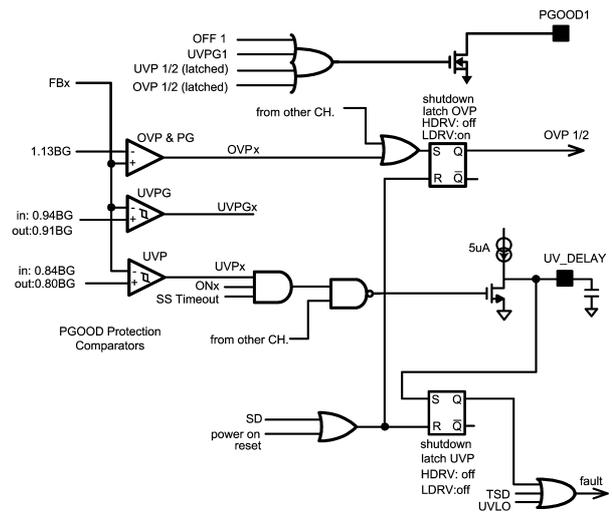


FIGURE 5. PGOOD, OVP and UVP

オーバーボルテージ保護 (OVP)

どちらかのチャンネルの出力電圧が公称値の 113%を超えるとオーバーボルテージ保護が働きます。どちらのチャンネルもラッチオフとなり、PGOOD1 は LOW になります。OVP ラッチがセットされると、ハイサイド FET ドライバ HDRVx は速やかにターンオフされ、一方ローサイド FET ドライバ LDRVx はターンオンにされ、インダクタを介して出力コンデンサを放電させます。OVP ラッチをリセットするには、電源を一度オフにするか、両方のチャンネルをスイッチオフする必要があります。

動作説明 (つづき)

アンダーボルテージ保護 (UVP) と UV_DELAY

どちらかのチャネルの出力電圧が公称値の 80%を下回ると、出力アンダーボルテージ保護がアクティブとなります。Figure 5 に示すように、出力アンダーボルテージ状態になると UV_DELAY MOSFET はターンオフされ、定電流源は UV_DELAY コンデンサを $5\mu\text{A}$ (typ) で充電します。UV_DELAY スレッシュホールド (2.3V typ) で、両チャネルはラッチオフとなります。さらに、UV_DELAY はディスエーブルされ、UV_DELAY ピンは 0V に戻ります。UVP の間、ハイサイドとローサイドの両 FET ドライバはターンオフされています。UV_DELAY ピンにコンデンサが接続されていない場合は、UVP ラッチは速やかにアクティブとなります。UVP ラッチをリセットするには、電源を一度オフにするか、どちらかの ON/SSx ピンを LOW にする必要があります。なお UVP 機能は、UV_DELAY ピンをグラウンドに接続するとディスエーブルとなります。

パワーグッド

パワーグッド・ピン (PGOOD1) はチャネル 1 の出力電圧を監視します。Figure 5 に示すように、この信号はオープン・ドレイン MOSFET として出力され、チャネル 1 が動作範囲にあればオープン状態を維持します。PGOOD1 は、以下の 4 条件のどれかが成立したときに LOW (グラウンドに対してロー・インピーダンス) になります。

1. チャネル 1 がターンオフ
2. チャネル 1 の出力が公称値の 90.3%以下に低下 (UVPG1)
3. どちらかのチャネルが OVP
4. どちらかのチャネルが UVP

PGOOD1 ピンは、LOW のとき 0.95mA (typ) のシンク能力があります。OVP または UVP 状態のとき両チャネルはラッチオフとなり、PGOOD1 ピンは LOW にラッチされます。ただし UVPG1 状態では PGOOD1 はラッチオフされず、チャネル 1 の出力電圧が公称値の 94% (typ) に回復すれば HIGH に戻ります。HIGH に戻る電圧は、「電気的特性」の表の Vpwrgrd 項を参照してください。

出力コンデンサの放電

各チャネルには、ドレインが SWx ピンに接続されている 480 MOSFET が内蔵されています。いずれかのチャネルがオフのとき、この MOSFET はそのチャネルの出力コンデンサを放電します。また、次の状態のどれかが起こると、チップはフォールト状態に移ります。

1. UVP
2. UVLO
3. サーマル・シャットダウン (TSD)

出力オーバーボルテージ状態になると、HDRVx はターンオフされるとともに、インダクタを介して両チャネルの出力コンデンサを放電させるために、LDRVx は即座にターンオンされます。

ブートストラップ・ダイオードの選定

ブートストラップ・ダイオードとコンデンサはスイッチ・ノード電圧の上にフロートする電源を構成します。VLINS がこの電源に給電して、ハイサイド FET ドライバとドライバ・ロジックの給電用の約 5V (ダイオードの分だけさらに低下) を生成します。ブートストラップ用ダイオードを選定する場合は、その順方向電圧降下が小さいためショットキ・ダイオードを推奨します。しかし、高温で動作する回路に対しては注意を要します。高温ではショットキ・ダイオードによっては、その逆方向漏れ電流が 1000 倍以上に大きくなるものがあり、この漏れ電流経路のためにブートストラップ・コンデンサの電荷を枯渇させ、ドライバとロジックの電圧が不足します。標準の PN 接合ダイオードおよび高速整流器ダイオードも使用することができ、これらのタイプのダイオードは広い温度範囲での逆方向漏れ電流をより厳密に制御することができます。

スイッチング・ノイズの低減

パワー MOSFET はきわめて高速なスイッチング・デバイスです。同期整流器コンバータで、寄生インダクタを有するハイサイド FET のドレイン電流の急激な増加は、FET のソース・ノード (SWx ノード) と VIN ノード間に好ましくない $L\text{di}/\text{dt}$ ノイズ・スパイクを生じさせます。ノイズ振幅は出力電流に伴って大きくなります。寄生スパイク・ノイズは不要な電磁放射 (EMI) を招く場合があります。またチップ性能に問題を与えることがあります。そのため、以下のいずれかの方法を使用してこれを抑えなければなりません。

電流センス・アンプには、Figure 7 に示すように、RC フィルタの追加が強く求められます。特にオン時間が短く、かつ負荷が大きく変動する場合に、スイッチング・ノイズに対する感受性を低下させる働きがあります。フィルタ素子はできるだけチップの近くに配置してください。電流センス抵抗を使用する場合は必ずフィルタを追加してください。

Figure 6 に示すように、SWx ピンに直列抵抗を追加するとゲート駆動 (HDRVx) がスローダウンされるため、ハイサイド FET の立ち上がり¹と立ち下がり²は遅くなり、結果としてドレイン電流移行時間は長くなります。

通常、ノイズを抑えるには 3.3 から 4.7 が適切です。抵抗値を大きくすると、ハイサイド FET のスイッチング損失が増大してしまいます。

低抵抗 ($1 \sim 5$) を HDRVx か CBOOTx ピンに直列に挿入すると、スイッチノード・リングングを効果的に低下できます。なお、CBOOT に抵抗を入れると FET の立ち上がり¹時間のみが緩やかになるのに対し、HDRV に抵抗を入れると立ち上がり¹と立ち下がり²の両方の時間が緩やかになります。

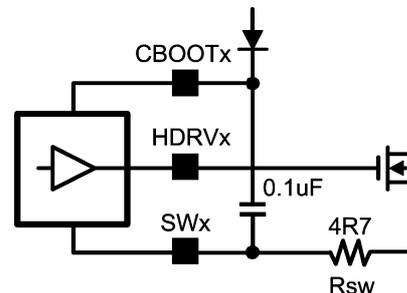


FIGURE 6. SW Series Resistor

電流センスと電流制限

KSx と RSNSx ピンは、Figure 7 に示すように、電流センス・アンプの入力です。電流センスは、ハイサイド FET の V_{ds} か、または VIN とハイサイド FET のドレイン間に接続された電流センス抵抗の両端電圧をセンスして実現します。ハイサイド FET の電流センスには、部品点数、コスト、消費電力を抑えられる利点があります。それに対して、電流センス抵抗を用いると電流センス精度の向上が図れます。電流センス・アンプを直線領域で動作させるためには、差動電流センス電圧を 200mV 以下に維持する必要があります。そのため、ハイサイド FET がオンのときのセンス電圧が 200mV を超えないように、ハイサイド FET の $R_{\text{ds(on)}}$ または電流センス抵抗は充分小さくしてはなりません。前縁ブランキング回路により、ハイサイド FET は短くとも 166ns はオンになります。この最小オン時間を過ぎて、PWM コンバータの出力がハイサイド FET をターンオフします。また、電流センス・アンプを高 SNR に保つため、 R_{sns} の両端電圧の最小値は 50mV 以上を推奨します。

R_{sns} 両端電圧の最大を 200mV と仮定した場合、電流センス抵抗値は次のように求められます。

動作説明 (つづき)

$$R_{\text{sns max}} = \frac{200 \text{ mV}}{I_{\text{max}} + \frac{1}{2} I_{\text{rip}}}$$

I_{max} は過負荷時の余裕分 (例えば 120%) も考慮した見込まれる最大負荷電流、 I_{rip} はインダクタのリップル電流です (「インダクタの選択」の項を参照)。上式で、 R_{sns} として使用できる最大値が与えられます。 R_{sns} が大きくなるに伴ってスイッチング損失も大きくなり効率は低下します。

ピーク電流制限値は、 $ILIMx$ ピンと KSx ピン間に接続した外部抵抗によって設定されます。 $ILIMx$ ピンを持つ $10\mu\text{A}$ シンクの定電流源により抵抗両端に電圧が発生し、この電圧が電流センス電圧と比較され、電流制限スレッシュホールドが決まります。正しい電流制限比較が得られるように、この外部抵抗には 10nF コンデンサを接続して不要ノイズをフィルタしてください。

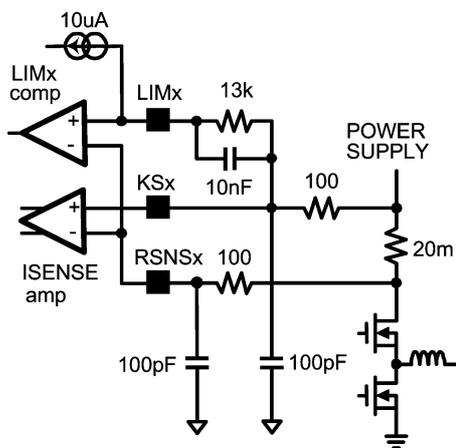


FIGURE 7. Current Sense and Current Limit

インダクタ電流が高くなり過ぎて $RSNSx$ ピンの電圧が $ILIMx$ ピン電圧より低くなると、電流制限機能が働きます。コンパレータはトリグされ、ハイサイド FET は速やかにターンオフされます。ハイサイド FET がターンオフされたとき、または前縁ブランキング時間の間、コンパレータはディスエーブルされます。電流制限抵抗 R_{lim} を求める式は次のとおりです。

$$R_{\text{lim}} = \frac{(I_{\text{lim}} + \frac{1}{2} I_{\text{rip}}) R_{\text{sns}}}{10 \mu\text{A}}$$

I_{lim} は、電流制限コンパレータが動作を始める負荷電流です。

電流センスをハイサイド FET で行う場合は、上式の R_{sns} を FET の R_{dson} で置き換えます。算出された R_{lim} 値では、最小電流制限が I_{max} を下回ることはありません。なお誤差 1% 品の抵抗を推奨します。

ハイサイド FET の両端電圧をセンスする場合、 R_{dson} は電流センス抵抗に比べ、温度に対し大幅な変動を生じる点に注意が必要です。 R_{dson} は固有の温度係数を持ち、温度に比例して抵抗値が高くなります。FET メーカーのデータシートを参照して動作温度範囲に対する R_{dson} 値の範囲を求めるか、「ハイサイド FET の選択」の項を参照して R_{dson} の最大値を求めてください。 R_{dson} の変動がわかれば、動作温度の上昇に伴って R_{dson} が高くなっても、電流制限コンパレータが本来の値より早く動作してしまわないように設計することが可能です。

電流センスの精度を確保するには、基板設計に注意が必要です。 KSx と $RSNSx$ ピンは、ケルビン接続を形成するために、そ

れぞれの電流センス・ノードに対して個別の配線を行ってください。

入力アンダーボルテージ・ロックアウト (UVLO)

$VLIN5$ の内部 LDO 出力でセンスされる入力アンダーボルテージ・ロックアウト・スレッシュホールドは 4.0V (typ) です。このスレッシュホールド以下では $HDRVx$ と $LDRVx$ はターンオフされ、また内部 480 MOSFET はターンオンされ、 SWx ピンを介して出力コンデンサを放電します。UVLO の間、 ON/SSx ピンは $5\mu\text{A}$ の電流をシンクしソフトスタート・コンデンサを放電させ、あわせてどちらのチャンネルもターンオフにします。入力電圧が再び 4.0V に上昇すると、UVLO は機能を停止し、チップはソフトスタート段階からリスタートをします。 $VLIN5$ 電圧が 4.5V 以下で、かつ UVLO スレッシュホールド 4.0V より高い場合、チップの仕様内での動作は保証されません。

入力電圧が 4.0V から 5.2V の範囲にある場合、 $VLIN5$ ピンの内部 LDO はレギュレートを行わず、(入力電圧 - 200mV) に追従した電圧を出力します。

デュアル・フェーズ並列動作

大出力電流を必要とするアプリケーションでは、位相が 180 離れた 2 回路のスイッチング・チャンネルを、スイッチング・チャンネル間で電流をシェアする、単一電圧出力のコンバータとして構成できます。この方法は、入力リップル電流を抑え、かつ出力段部品のストレスと熱を大幅に緩和します。総インダクタ・リップル電流が減少するため、出力リップル電圧も小さくなります。Figure 2 に、デュアル・フェーズ回路の代表的な例を示します。2 つのチャンネル間で電流を適切にシェアするためには、高精度の電流センスが設計上の主要な課題の一つとなっており、両チャンネルともに外部センス抵抗を使用した電流センス方法を採用しなければなりません。エラー・アンプのチャンネル間誤差を抑えるために、帰還ピン $FB1$ と $FB2$ の両方を、出力電圧をセンスする単一の分圧回路に接続します。また、 $COMP1$ と $COMP2$ は一緒に補償ネットワークに接続します。 $ON/SS1$ と $ON/SS2$ も、両チャンネルを同時にイネーブルまたはディスエーブルするために、一緒に接続しなくてはなりません。

部品の選択

出力電圧の設定

各チャンネルの出力電圧は、Figure 8 に示すように、抵抗分圧の比によって決まります。抵抗値は以下の式から求めます。

$$R_1 = \frac{R_2}{\left(\frac{V_{\text{nom}}}{V_{\text{fb}}} - 1\right)} \quad (1)$$

$V_{\text{fb}} = 1.238\text{V}$ です。 R_1 と R_2 を大きくすると効率は向上しますが、精度は低下します。 V_{nom} の 0.3% 精度を維持するために、 R_2 には最大値の採用を推奨します。まず始めに、次式を用いて R_2 の最大値を求めてください。

$$R_2 \text{ max} = \frac{.3\% \cdot V_{\text{nom}}}{200 \text{ nA}} \quad (2)$$

200nA は、 FBx ピンが引き込む最大電流です。

部品の選択 (つぎ)

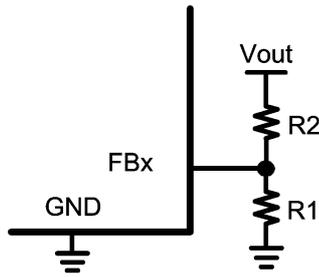


FIGURE 8. Output Voltage Setting

例 : $V_{nom} = 5V$ 、 $V_{fb} = 1.238V$ 、 $I_{fbmax} = 200nA$

$$R_{2\ max} = \frac{.003 \cdot 5V}{200\ nA} = 75\ k\Omega \quad (3)$$

これから 60k を選択します。

$$R_1 = \frac{60k}{\left(\frac{5V}{1.238V} - 1\right)} = 19.75\ k\Omega \cong 20\ k\Omega \quad (4)$$

出力電圧の範囲は、最小オンタイムと最大デューティ・サイクルによって決まります。Figure 9 に、入力電圧と出力電圧のリミットを示します。最大出力電圧は、入力電圧からおよそ 1V 低い電圧に設定することを推奨します。入力電圧が 30V の場合、最小出力電圧はおよそ 2.3V、最大出力電圧はおよそ 27V になります。

入力電圧が 5.5V より低い場合、VLIN5 は 4.7 程度の低抵抗を介して V_{in} に接続してください。これにより、VLIN5 が UVLO スレッシュホールドを下回ることはありません。

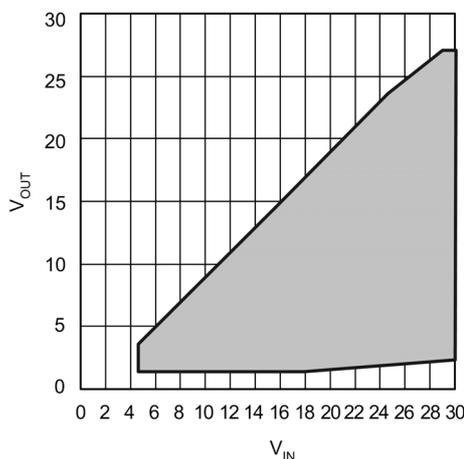


FIGURE 9. Available Output Voltage Range

出力コンデンサの選択

負荷電流の変動が高速で大きい場合、負荷電流変化のスレートを、レギュレータの応答速度を上回る可能性があります。そのため、ワーストケースの負荷変動でも電圧変動要件を満足するように、出力コンデンサの選択には注意が必要です。出力コンデンサの総容量は必要な容量より大きくなければなりません、一

方の総 ESR は、ある上限値より小さくなくてはなりません。また、出力電圧レギュレーションの仕様が厳しく、かつリップル電圧が小さくしなければならないアプリケーションの場合、出力電圧リップルの要求仕様を基準とすれば、部品選択手順の繰り返しを少なくできます。

許容される出力電圧偏移

負荷変動に対し、許容される出力電圧の偏移 (V_{c_s}) は、

$$\Delta V_{c_s} = (\delta\% - \varepsilon\%) \cdot V_{nom} - \frac{1}{2} V_{rip}$$

$\pm \%$ は出力電圧レギュレーションの許容範囲、 $\pm \%$ は出力電圧精度の初期値です。

例 : $V_{nom} = 5V$ 、 $\delta\% = 7\%$ 、 $\varepsilon\% = 3.4\%$ 、 $V_{rip} = 40mV_{pp}$

$$\begin{aligned} \Delta V_{c_s} &= (7\% - 3.4\%) \times 5V - \frac{40\ mV}{2} \\ &= 160\ mV. \end{aligned}$$

V_{c_s} の計算にはリップル電圧分が含まれているため、ワーストケースの負荷変動偏移にはインダクタ・リップル電流を含めてはなりません。すなわちワーストケースの負荷電流偏移は、単なる最大負荷電流変化仕様 I_{c_s} となります。

最大 ESR の算出

負荷変動の立ち上がり、立ち下がり時間のほうが制御ループの応答速度より高速で、しかも総 ESR (R_e) がきわめて大きい場合、どのような容量のコンデンサを用いても負荷遷移要求を満たすことはできません。

許容される最大総 ESR は、

$$R_{e_max} = \frac{\Delta V_{c_s}}{\Delta I_{c_s}}$$

例 : $V_{c_s} = 160mV$ 、 $I_{c_s} = 3A$ のとき、 $R_{e_max} = 53.3m\Omega$ 。

最大 ESR の判断基準は、対応するコンデンサが充分大きいときに適用可能です。容量が充分でない場合は、この判断基準で必要とされる個数以上のコンデンサを並列に使用します。

最小容量の算出

スイッチ・モード電源では一般に、負荷変動要求により出力コンデンサの最小容量が決まります。コンデンサの容量が充分でない場合、最大 ESR 要求を満たしていても、出力電圧偏移は許容値を超えてしまいます。ワーストケースの負荷偏移は、入力電圧が最も高い状態で、進行中のスイッチング・サイクルがちょうど終了し、その時点で負荷が軽くなった場合に起こります。対応する最小容量は次の式で求められます。

$$C_{min} = \frac{L \cdot \left[\Delta V_{c_s} - \sqrt{(\Delta V_{c_s})^2 - (\Delta I_{c_s} \cdot R_e)^2} \right]}{V_{nom} \cdot R_e^2}$$

総 ESR R_e は、すでに R_{e_max} より小さいと仮定している点に注意してください。ルート内の項が負になってしまうからです。また、 L はすでに選択されていると仮定しています。 L の最小値は R_e を求めたあとで、かつ C_{min} を求める前に算出してください (後述の「インダクタの選択」参照)。例 : $R_e = 20m\Omega$ 、 $V_{nom} = 5V$ 、 $V_{c_s} = 160mV$ 、 $I_{c_s} = 3A$ 、 $L = 8\mu H$

出力コンデンサの選択 (つづき)

$$C_{\min} = \frac{8 \mu\text{H} \cdot \left[160 \text{ mV} - \sqrt{(160 \text{ mV})^2 - (3\text{A} \times 20 \text{ m}\Omega)^2} \right]}{5 \times (20 \text{ m}\Omega)^2}$$

$$= 47 \mu\text{F}.$$

一般に、Cmin を小さくすると Re、Ic_s、L も小さくすみますが、Vnom と Vc_s は大きくなります。

インダクタの選択

出力インダクタのサイズは、出力リップル電圧 Vrip の要求仕様と、スイッチング周波数の出力コンデンサのインピーダンスから決まります。最小インダクタンスを求める式は次のとおりです。

$$L_{\min} = \frac{V_{\text{in}} - V_{\text{nom}}}{f \cdot V_{\text{in}}} \cdot \frac{V_{\text{nom}} \cdot R_e}{V_{\text{rip}}}$$

上の式では、出力コンデンサのインピーダンスの代わりに Re を使用しています。これは多くの場合、スイッチング周波数の出力コンデンサのインピーダンスは、Re に替わって近い理由によります。ただしセラミック・コンデンサでは、Re の代わりに実際のインピーダンスを用います。

例：Vin (max) = 30V、Vnom = 5.0V、Vrip = 40mV、Re = 20mΩ、f = 300kHz

$$L_{\min} = \frac{30\text{V} - 5.0\text{V}}{300 \text{ kHz} \cdot 30\text{V}} \cdot \frac{5.0\text{V} \cdot 20 \text{ m}\Omega}{40 \text{ mV}}$$

$$L_{\min} = 7 \mu\text{H}$$

$$L_{\min} = 7 \mu\text{H}$$

実際の部品選択では、リップル電圧の決定から始まりコンデンサの選択とインダクタの選択にいたる上記の各ステップを数回繰り返します。入力電圧の最大値と最小値、出力電圧と負荷遷移の要求仕様を必ず考慮してください。また Lmin より大きいインダクタ値を選択する場合、Cmin の要求仕様に違反していないか確かめてください。

部品選択では、選択自由度が少ないもの、またはコストの高いものから優先するようにします。例えば、選択できるコンデンサの容量種類が少なく、要求を満たすためには 3.2 個のコンデンサが必要となった場合、これを 3 個で実現できるようにインダクタを変更するといった考え方で。

インダクタリップル電流は、出力インダクタの選択基準になる場合が多いため、この値は重ねて確認することを推奨します。式は、

$$I_{\text{rip}} = \frac{(V_{\text{in}} - V_{\text{nom}})}{f \cdot L} \cdot D$$

D は Vnom/Vin で定義されるデューティ・サイクルです。

また、重要な項目は Irip/Inom で表されるリップル電流です。一般的に、リップル成分が 50% 未満であれば問題ありません。リップル成分が多いとインダクタ損失が大幅に増大します。

例：Vin = 12V、Vnom = 5.0V、f = 300kHz、L = 8μH

$$I_{\text{rip}} = \frac{12\text{V} - 5.0\text{V}}{300 \text{ kHz} \cdot 8 \mu\text{H}} \cdot \frac{5.0\text{V}}{12\text{V}} = 1.22\text{A}$$

最大負荷電流が 3A と与えられたとき、リップル成分は 1.2A/3A = 40% となります。

インダクタは、飽和電流が最大ピーク・インダクタ電流より大きく、さらに RMS 電流定格が最大負荷電流より大きいものを選択してください。

入力コンデンサの選択

LM2642 の 2 つのスイッチング・チャネルは位相が 180 ずれているので、入力コンデンサに現れるリップル電流の RMS 値は低くなります。この効果により入力コンデンサの寿命が延び、結果として経済的なシステムを構築できます。入力コンデンサは動作周囲温度が最高で、かつ最大入力電圧の状態、最大リップル RMS 電流を扱えるものを選択しなければなりません。出力電圧が入力電圧の 1/2 未満となるアプリケーションでは、デューティ・サイクルは 50% 未満です。これは 2 つのチャネルの入力電流パルスがオーバーラップしないことを意味します。デューティ・サイクル 50% 未満の場合の最大総リップル RMS 電流の計算式は次のとおりです。

$$I_{\text{irrm}} = \sqrt{I_1^2 D_1 (1 - D_1) + I_2^2 D_2 (1 - D_2) - 2 I_1 I_2 D_1 D_2}$$

I1 はチャネル 1 の最大負荷電流、I2 はチャネル 2 の最大負荷電流、D1 はチャネル 1 のデューティ・サイクル、D2 はチャネル 2 のデューティ・サイクルです。

例：Imax_1 = 3.6A、Imax_2 = 3.6A、D1 = 0.42、D2 = 0.275

$$I_{\text{irrm}} = \left[(3.6\text{A})^2 \cdot 0.42 \cdot (1 - 0.42) + (3.6\text{A})^2 \cdot 0.275 \cdot (1 - 0.275) - 2 \cdot 3.6\text{A} \cdot 3.6\text{A} \cdot 0.42 \cdot 0.275 \right]^{.5}$$

$$= 1.66\text{A}.$$

周囲温度が最高となる条件で、1.66A のリップル RMS 電流を扱える入力コンデンサを選択してください。一方、出力電圧が入力電圧の 50% 以上のアプリケーションでは、デューティ・サイクルは 50% 以上となり、入力電流パルスはオーバーラップします。入力リップル電流はこうした条件で最大になります。この場合の入力 RMS 電流は次で与えられます。

$$I_{\text{irrm}} = \left[\left[I_1 (1 - D_1) + I_2 (1 - D_2) \right]^2 (D_1 + D_2 - 1) + \left[I_1 (1 - D_1) - I_2 (D_2) \right]^2 (1 - D_2) + \left[I_2 (1 - D_2) - I_1 (D_1) \right]^2 (1 - D_1) \right]^{.5}$$

同様に、I1 と I2 はチャネル 1 とチャネル 2 の最大負荷電流、D1 と D2 はデューティ・サイクルです。この式は、両チャネルのデューティ・サイクルが 50% より大きいと想定される場合に適用してください。

入力コンデンサは、電圧とリップル電流容量に対する最小要求仕様を満たさなければなりません。コンデンサの容量は、ホールドアップ時間の要求仕様に基づいて選択してください。入力コンデンサを確実に選択するには、アプリケーションごとに試作を行い評価するのが最善の方法です。入力コンデンサは、電流センス抵抗またはハイサイド FET のドレインの可能な限り近くに配置してください。

MOSFET の選択

ローサイド FET の選択

通常動作で、ローサイド FET は、電圧がほぼゼロの状態ですイッチングオンとオフを行います。そのためローサイド FET では導通損失のみを考慮します。ローサイド FET の選択で最も重要なパラメータはオン抵抗 ($R_{ds(on)}$) です。オン抵抗が小さいと電力損失も小さくなります。ローサイド FET の電力損失は、最大入力電圧かつ最大負荷電流のときにピークとなります。与えられた FET パッケージで、室温の場合、最大許容可能なオン抵抗は次のとおりです。

$$R_{ds(on)_{max}} = \frac{1}{I_{max}^2 \cdot \left(1 - \frac{V_{nom}}{V_{in_max}}\right)} \times \frac{T_{j_max} - T_{a_max}}{\left[1 + TC \cdot (T_{j_max} - 25^\circ\text{C}/\text{W})\right] \cdot R_{\theta ja}}$$

T_{j_max} は FET の最大許容接合部温度、 T_{a_max} は最大周囲温度、 $R_{\theta ja}$ は FET の接合部周囲熱抵抗、 TC はオン抵抗の温度係数で通常は 10,000ppm/°C の範囲です。

選択可能な FET の $R_{ds(on)}$ 最小値が、求めた $R_{ds(on)_{max}}$ より大きい場合は、複数の FET を並列接続して使用してください。並列接続により上式の I_{max} 項が小さくなるので、 $R_{ds(on)}$ が小さくなります。2 個の FET を並列で使用する場合は、 $R_{ds(on)_{max}}$ に 4 を乗じた値が各 FET に許容される $R_{ds(on)_{max}}$ となります。3 個の FET を使用する場合は 9 を乗じます。

$$R_{ds_max} = \frac{1}{(3.6\text{A})^2 \cdot \left(1 - \frac{5\text{V}}{30\text{V}}\right)} \times \frac{100^\circ\text{C} - 60^\circ\text{C}}{\left[1 + 0.01/^\circ\text{C} \cdot (100^\circ\text{C} - 25^\circ\text{C})\right] \cdot 60^\circ\text{C}/\text{W}}$$

$$= 35.3\text{m}\Omega$$

選択した FET が 35.3mΩ より先大きな R_{ds} 値を持っている場合でも、141mΩ ($4 \times 35.3\text{m}\Omega$) 以下の $R_{ds(on)}$ であれば、2 個の FET を並列に使用すれば適用可能となります。この場合、それぞれの FET は総電力損失の半分しか消費しないので、温度が T_{j_max} に達することはありません。

ハイサイド FET の選択

ハイサイド FET では、スイッチング損失と導通損失の 2 種類の損失が発生します。スイッチング損失は、クロスオーバー損失と下側ダイオードのリカバリ損失が主因です。スイッチング損失を見積るのは比較的難しいため、ハイサイド FET の熱容量の 60% を、スイッチング損失の算出開始点として使用するのが一般的です。スイッチング損失を精度高く求めるには、試作評価を行うことが最善です。ハイサイド FET のオン抵抗を求める式は、次のようになります。

$$R_{ds_max} = \frac{V_{in_min} \cdot .4}{I_{max}^2 \cdot V_{nom}} \times \frac{T_{j_max} - T_{a_max}}{\left[1 + TC \cdot (T_{j_max} - 25^\circ\text{C}/\text{W})\right] \cdot R_{\theta ja}}$$

例: $T_{j_max} = 100$ 、 $T_{a_max} = 60$ 、 $R_{\theta ja} = 60$ /W、 $V_{in_min} = 5.5\text{V}$ 、 $V_{nom} = 5\text{V}$ 、 $I_{load_max} = 3.6\text{A}$

$$R_{ds_max} = \frac{5.5\text{V} \times .4}{(3.6\text{A})^2 \times 5\text{V}} \times \frac{100^\circ\text{C} - 60^\circ\text{C}}{\left[1 + 0.01/^\circ\text{C} \cdot (100^\circ\text{C} - 25^\circ\text{C})\right] \cdot 60^\circ\text{C}/\text{W}}$$

$$= 13\text{m}\Omega$$

FET を並列接続で使用する場合、ローサイド FET に適用したガイドラインをハイサイド FET にも適用します。

ループ補償

ループ補償の一般的な目的は、安定性の維持と静的および動的な性能要件を両立させることです。小信号性能を求めるために、通常はループ・ゲインを調べます。ループ・ゲインは、制御 - 出力伝達関数と出力 - 制御伝達関数 (補償ネットワーク伝達関数) の積に等しくなります。一般に、きわめて低い周波数からクロスオーバー周波数より先相当高い周波数まで、-20dB/dec のループ・ゲイン傾きを保つことがよくとされています。クロスオーバー周波数はスイッチング周波数の 1/5 の周波数より先低くなくてはなりません。LM2642 の場合、60kHz 以下となります。帯域幅を広く取ると負荷遷移応答速度は高速になります。しかし、負荷変動の際にデューティ・サイクルが飽和してしまうのであれば、小信号帯域幅の改善では対処できません。制御 - 出力伝達関数は、通常、限られた低周波数ゲインしか持たないので、ポールを補償のゼロ周波数に置き、低周波ゲインを相対的に大きくするようにします。DC ゲインが大きいのは、DC レギュレーション精度が高いこととなります (すなわち、負荷またはライン変動に対する DC 電圧変化が小さい)。そのほかの部分に対する補償方法は、制御 - 出力特性の形に大きく依存します。

ループ補償 (つぎ)

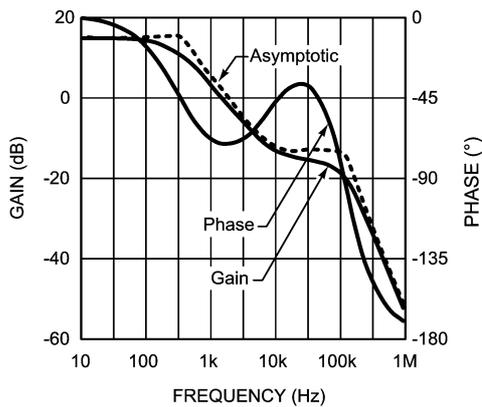


FIGURE 10. Control-Output Transfer Function

Figure 10 に示すように、制御 - 出力伝達関数は、1つのポール (f_p)、1つのゼロ (f_z)、 f_n (スイッチング周波数の 1/2) の 2 重のポールから構成されます。第 1 のポールを 0Hz に、第 1 のゼロを f_p に、第 2 のポールを f_z に、そして第 2 のゼロを f_n に配置すると、-20dB/dec の減衰特性を持つゲインを作れます。Figure 11 に得られた出力 - 制御伝達関数を示します。

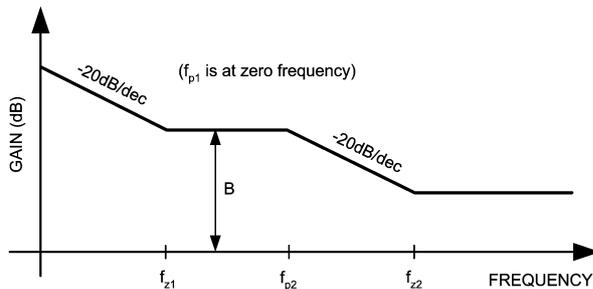


FIGURE 11. Output-Control Transfer Function

制御 - 出力のコーナー周波数と、要求される補償コーナー周波数は、次の式で近似されます。

$$f_z = \frac{1}{2\pi R_e C_o}$$

$$f_p = \frac{1}{2\pi R_o C_o} + \frac{.5}{2\pi L_f C_o}$$

f_p は出力ネットワークで決まるため負荷 (R_o) とデューティ・サイクルによって変わります。始めに、想定される負荷範囲を横切るポールの周波数の範囲 ($f_{pmin/max}$) を決め、次に第 1 の補償ゼロをその範囲内に設定します。

例 : $R_e = 20\text{m}$ 、 $C_o = 100\mu\text{F}$ 、 $R_{o\text{max}} = 5\text{V}/100\text{mA} = 50$ 、 $R_{o\text{min}} = 5\text{V}/3\text{A} = 1.7$:

$$f_z = \frac{1}{2\pi \cdot 20\text{m}\Omega \cdot 100\mu\text{F}} = 80\text{kHz}$$

$$f_{p\text{min}} = \frac{1}{2\pi \cdot 50\Omega \cdot 100\mu\text{F}} + \frac{.5}{2\pi \cdot 300\text{k} \cdot 8\mu \cdot 100\mu\text{F}} = 363\text{Hz}$$

$$f_{p\text{max}} = \frac{1}{2\pi \cdot 1.7\Omega \cdot 100\mu\text{F}} + \frac{.5}{2\pi \cdot 300\text{k} \cdot 8\mu \cdot 100\mu\text{F}} = 1.27\text{kHz}$$

$f_{pmin/max}$ が求められれば、次式を用いて R_{c1} を計算します。

$$R_{c1} = \frac{B}{g_m} \left(\frac{R_1 + R_2}{R_1} \right)$$

B は周波数 f_p (f_{z1}) の必要なゲインで単位は V/V、 g_m はエラー・アンプのトランスコンダクタンス、 R_1 と R_2 は帰還抵抗です。およそ 10dB (3.3V/V) のゲイン値が、設計時の開始点として最適です。

例 : $B = 3.3\text{v/v}$ 、 $g_m = 650\text{m}$ 、 $R_1 = 20\text{K}$ 、 $R_2 = 60.4\text{K}$

$$R_{c1} = \frac{3.3}{650\mu} \left(\frac{20\text{k} + 60.4\text{k}}{20\text{k}} \right) = 20.4\text{k}\Omega \cong 20\text{k}\Omega$$

帯域幅は R_{c1} に比例して変化します。次に、次式から C_{c1} を求めます。

$$C_{c1} = \frac{1}{2\pi \cdot f_p \cdot R_{c1}}$$

例 : $f_{pmin} = 363\text{Hz}$ 、 $R_{c1} = 20\text{K}$:

$$C_{c1} = \frac{1}{2\pi \cdot 363\text{Hz} \cdot 20\text{k}\Omega} \cong 22\text{nF}$$

C_{c1} は $f_{pmin/max}$ で定義される範囲内に抑えてください。通常はコンデンサの容量が大きいとよりループが安定しますが、コンデンサの容量が大きすぎると遷移応答時間が遅くなります。

補償ネットワーク (Figure 12) は、0Hz に近い低周波数にポールを導きます。

第 2 のポールも f_z に置きます。このポールは、単一のコンデンサ C_{c2} とグラウンドに接続した R_{c2} によって生成されます (Figure 12 参照)。このコンデンサの最小値は次式から求められます。

$$C_{c2\text{min}} = \frac{1}{2\pi \cdot f_z \cdot R_{c1}}$$

C_{c2} は必要ではありませんが、制御ループの安定化に寄与します。特に、大負荷電流時の電流シェアモードのときに有効です。

例 : $f_z = 80\text{kHz}$ 、 $R_{c1} = 20\text{K}$:

ループ補償 (つづき)

$$C_{c2 \text{ min}} = \frac{1}{2\pi \cdot 80 \text{ kHz} \cdot 20 \text{ k}\Omega} \cong 100 \text{ pF}$$

C_{c2} と直列抵抗で第 2 のゼロを追加することも可能です。このゼロを導入する場合は、制御 - 出力ゲインが -40dB/dec でロールオフする周波数 f_n に置いてください。一般に、 f_n は 0dB レベルより充分低いため、安定性に対する影響はわずかです。 R_{c2} は次式から求めます。

$$R_{c2} = \frac{1}{2\pi \cdot f_n \cdot C_{c2}}$$

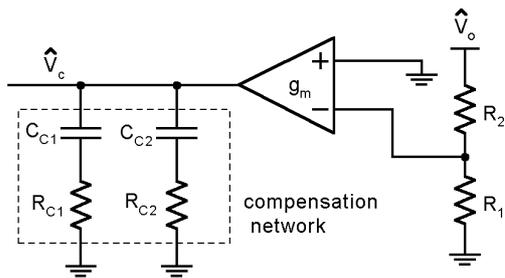
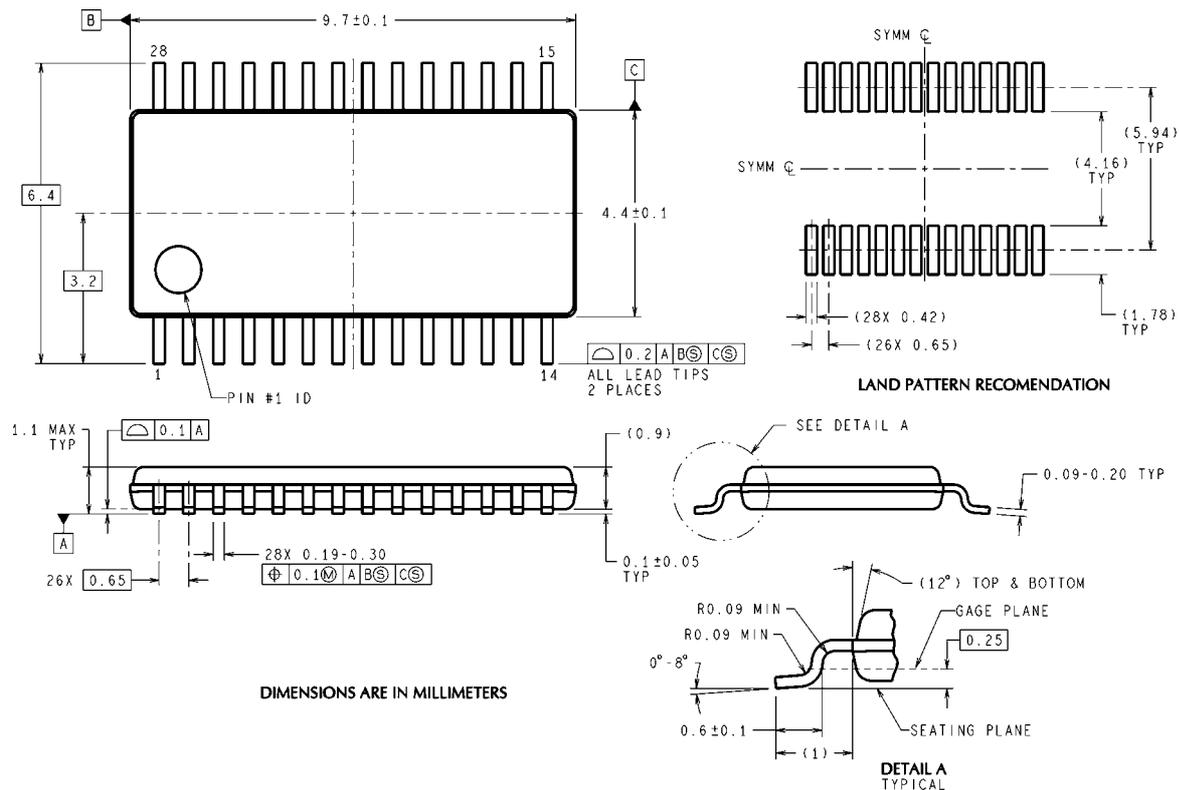


FIGURE 12. Compensation Network

外形寸法図 単位は millimeters



MTC28 (Rev D)

28-Lead TSSOP Package
Order Number LM2642MTC
NS Package Number MTC28

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2007 National Semiconductor Corporation
 製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されてもありません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されてもありません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上