

# LM3495

*LM3495 Emulated Peak Current Mode Buck Controller for Low Output Voltage*



Literature Number: JAJ5AG5

## LM3495

### エミュレーテッド電流モード制御 低出力電圧用降圧型コントローラ

#### 概要

LM3495 は独自のエミュレーテッド電流モードによる制御を実現した PWM 降圧型レギュレータです。一般的に電流モードの動作では、スイッチング・ノイズにより極端に短いデューティ・サイクルや高い動作周波数が制限される原因となります。エミュレーテッド電流モード制御方式はこの影響を除去します。スイッチング周波数は 200kHz ~ 1.5MHz の間でプログラム可能であり、外部クロックに同期させることもできます。さらに LM3495 は、両スイッチ・ノードの短絡保護、ヒックアップ・モード、アダプティブなデューティ・サイクル制限による保護などにより、優れた耐障害性を備えています。0.6V ± 1% の基準電源およびグリッチ・フリーのプリバイアス・スタートアップ機能により、要求の極めて厳しいデジタル負荷も高い信頼性で確実に駆動できます。また、内部ソフトスタートおよび外部電源出力のトラッキング機能により、多機能かつ高効率のレギュレータを実現しています。

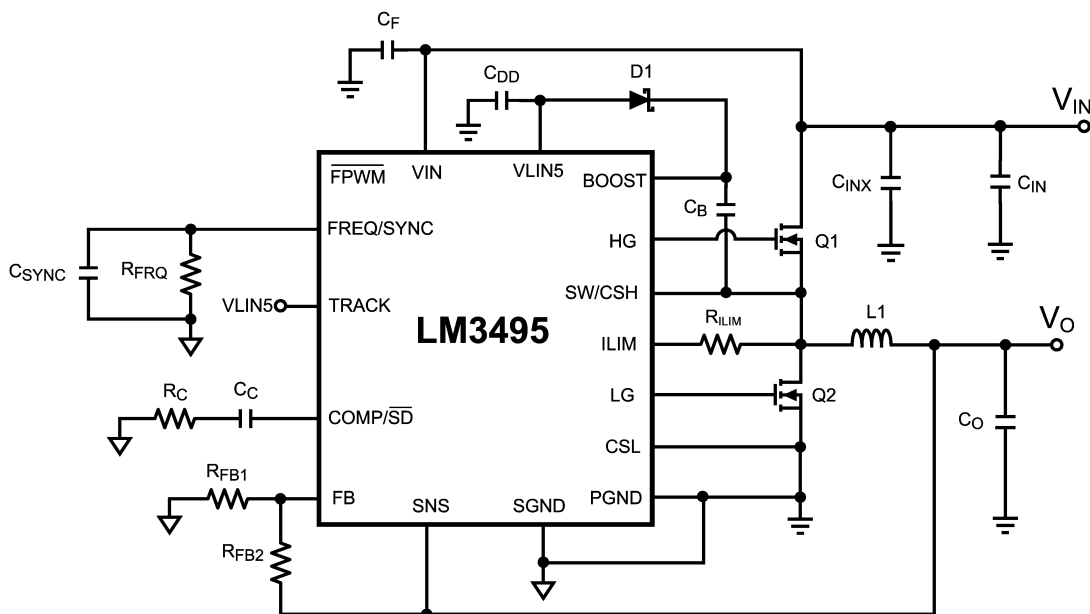
#### 特長

- 入力電圧 2.9V ~ 18V
- 出力電圧は 0.6V ~ 5.5V の範囲に設定可能
- リファレンス電圧精度: ± 1%
- 電流センス抵抗が不要となるローサイド電流センシングとプログラム可能な電流制限機能
- 入力 UVLO (アンダーボルテージ・ロックアウト)
- ヒックアップ・モード電流制限保護機能による異常時の熱暴走防止
- トラッキング機能付き内部ソフトスタート
- 外部同期可能な 200kHz ~ 1.5MHz のスイッチング周波数
- ゲート・ドライバ内蔵
- シャットダウン時のソフト出力放電
- 出力プリバイアス・スタートアップ
- 単一入力電圧レールによる動作
- アダプティブなデューティ・サイクル制限機能
- TSSOP-16 パッケージ

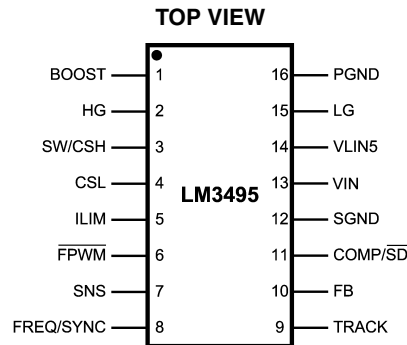
#### アプリケーション

- 広入力電圧対応、低電圧、高精度の出力を供給する降圧コンバータ
- コア・ロジック・レギュレータ
- 高効率降圧レギュレータ

#### 代表的なアプリケーション



## ピン配置図



16-Lead Plastic TSSOP

 $\theta_{JA} = 155^{\circ}\text{C/W}$ 

## 製品情報

Part Number	NSC Package Drawing	Supplied As
LM3495MTC	MTC16	92 Units Per Rail
LM3495MTCX	MTC16	2.5k Units Per Reel

## ピン説明

**BOOST (1 ピン):** ハイサイド FET のゲート駆動用の電源です。ハイサイド FET を完全にターンオンさせるために、本電圧は、レギュレータ回路の入力電圧より先ゲート・スレッショルド電圧以上高くしなければなりません。

**HG (2 ピン):** ハイサイド N チャンネル FET のゲート駆動信号です。貫通電流の発生を防ぐため、LG 信号によるインターロックがかかります。

**SW/CSH (3 ピン):** ハイサイド FET ドライバのリターン・パス、および負荷電流の上側ケルビン・センス・ポイントです。このピンは、ローサイド FET のドレインのできるだけ近くに、独立した配線パターンによって接続してください。ゼロクロス検出用の CSL と合わせて使用する場合があります。

**CSL (4 ピン):** 負荷電流の下側センス・ポイントです。このピンは、ローサイド FET のソースのできるだけ近くに、独立した配線パターンによって接続してください。

**ILIM (5 ピン):** 電流制限のスレッショルドを設定します。20  $\mu\text{A}$  の一定電流を供給します。このピンとローサイド MOSFET のドレイン間に、適切な値の抵抗を接続してください。

**FPWM (6 ピン):** 制御モードを選択します。このピンを開放にすると、低負荷時に IC がスキップ・モードで動作します。ロジック Low またはグラウンドに接続すると、PWM が常時動作するようになります。このピンを 3.0V 以上にしないでください。

**SNS (7 ピン):** 出力電圧検出ピンです。このピンは、出力コンデンサの正側ピンのできるだけ近くに、独立した配線パターンによって接続してください。このピンはシャットダウン時に出力コンデンサを放電する内部の FET に接続されています。

**FREQ/SYNC (8 ピン):** スイッチング周波数を選択するとともに、外部クロックの入力になります。スイッチング周波数を決定する抵抗をこのピンとグラウンド間に接続します。あるいは、200kHz ~ 1.5MHz のロジック・レベルのクロック信号を 100pF の DC 遮断コンデンサを介して接続することにより、スイッチング周波数を設定することもできます。

**TRACK (9 ピン):** トラッキング機能用のピンです。LM3495 を、他の電源電圧にトラッキングした電圧を出力するには、他の電源の出力と本ピン間に直接抵抗ダイバイダ(精度をよくするには10kより小さいもの)を接続します。このピンを使用しない場合は、直接 VLIN5 ピンに接続してください。

**FB (10 ピン):** フィードバック・ピンです。出力電圧とこのピンの間に抵抗ダイバイダを接続することにより、出力電圧の DC レベルが決まります。

**COMP/SD (11 ピン):** エラー・アンプの出力です。この電圧と内部のランプ信号との比較結果により、デューティ・サイクルが決まります。この信号は制御ループの補償回路で使用します。このコンバータによって出力電圧を定常状態に安定化する場合、このピンをフローティングにしてください。このピンを 0.3V 以下にするとレギュレータがシャットダウンします。

**SGND (12 ピン):** 信号グラウンドです。低電力アナログ回路用のグラウンド接続です。このピンは、独立した配線パターンにより PGND ピンに接続してください。

**VIN (13 ピン):** 入力電圧です。内部の 4.7V リニア・レギュレータへの入力です。1  $\mu\text{F}$  以上のセラミック・コンデンサを使用してバイパスしてください。

**VLIN5 (14 ピン):** 内部の 4.7V リニア・レギュレータの出力です。ハイサイドのブートストラップおよびローサイドのドライバの電源です。2.2  $\mu\text{F}$  のセラミック・コンデンサを使用して PGND にバイパスしてください。

**LG (15 ピン):** ローサイド N チャンネル FET のゲート駆動信号です。貫通電流の発生を防ぐため、HG 信号によるインターロックがかかります。

**PGND (16 ピン):** パワー回路用のグラウンド接続です。ローサイド FET および出力コンデンサに、太い配線またはベタ・パターンによって接続してください。

## 絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。  
関連する電気的信頼性試験方法の規格を参照ください。

VIN, ILIM	- 0.3V ~ + 20V
SW/CSH (Note 5)	- 0.5V ~ + 20V
BOOST, HG	- 0.3V ~ + 25V
BOOST - SW 間	- 0.3V ~ + 6V
FB	- 0.3V ~ + 2V
TRACK, FREQ, FPWM, VLIN5, SNS, LG, CSL	- 0.3V ~ + 6V
保存温度	- 65 ~ + 150

ハンダ付け温度

リード温度 (ハンダ付け、10 秒間)	260
赤外線または対流 (15 秒)	235
ESD 耐圧 (Note 2)	2kV

## 動作定格 (Note 1)

電源電圧範囲 ( $V_{IN}$ )	2.9V ~ 18V
BOOST - SW 間	2.5V ~ 5.5V
接合部温度	- 40 ~ + 125

## 電気的特性

標準文字で表記される規格値は、 $T_J = 25$  の場合の値ですが、太字表記のリミット値は全動作接合部温度 ( $T_J$ ) 範囲にわたって適用されます。最小リミット値および最大リミット値は、試験、設計、または統計上の相関関係により保証されています。代表 ( $T_{yp}$ ) 値は  $T_J = 25$  でのパラメータの最も標準と考えられる値を表し、参照を目的としてのみ提示されます。特記のない限り、 $V_{IN} = 12V$  とします。

Symbol	Parameter	Conditions	Min	Typ (Note 4)	Max	Units
<b>SYSTEM PARAMETERS</b>						
$V_{FB}$	FB Pin Voltage	-20°C to 85°C	<b>0.594</b>	0.6	<b>0.606</b>	V
		-40°C to 125°C	<b>0.591</b>	0.6	<b>0.609</b>	
$\Delta V_{FB}/V_{FB}$	Line Regulation	2.9V < VIN < 18V, COMP/SD = 1.5V		0.1		%
	Load Regulation	1.1V < COMP/SD < 1.8V		0.1		%
$V_{ON}$	UVLO Thresholds	VIN Rising	<b>2.55</b>	2.6	<b>2.7</b>	V
		VIN Falling	<b>2.26</b>	2.3	<b>2.45</b>	
$I_Q$	Operating VIN Current	COMP/SD > 0.3V Not switching		1.8		mA
	Quiescent Current	COMP/SD < 0.3V Shutdown, VIN = 18V		33		$\mu$ A
$I_{ILIM}$	ILIM Pin Source Current		<b>18</b>	20	<b>22</b>	$\mu$ A
$V_{ILIM-MAX}$	Maximum Current Limit Sense Voltage			200		mV
$I_{SD}$	COMP/SD Pin Pull-up current	COMP/SD = 0V		2	2.6	$\mu$ A
$V_{HICCUP}$	COMP/SD Pin Hiccup Threshold			2		V
$t_{DELAY}$	Hiccup Delay			16		Cycles
$t_{COOL}$	Cool Down Time Until Restart			4096		Cycles
$t_{SS}$	Internal Soft start Time			400		Cycles
$V_{OVP}$	Over Voltage Protection Threshold	As a % of nominal output voltage	<b>116</b>	125	<b>132</b>	%
$I_{FPWM}$	FPWM Pin Pull-up Current	FPWM = 0V		4.5		$\mu$ A
$V_{FPWM-LO}$	FPWM Operation Threshold	FPWM Voltage Falling		0.9		V
$R_{SNS}$	SNS Pin Input Resistance	SNS = 1.5V COMP/SD > 0.3V		30		k $\Omega$
$R_{DIS}$	SNS Pin Discharge FET $R_{DS(ON)}$	SNS = 1.5V COMP/SD = 0V	<b>350</b>	440	<b>530</b>	$\Omega$
<b>GATE DRIVE</b>						
$I_{BOOST}$	BOOST Pin Leakage Current	BOOST - SW = 5.5V		25		nA
$R_{DS1}$	High-Side FET Driver Pull-up ON resistance	BOOST - SW = 4.5V		4.5		$\Omega$
$R_{DS2}$	High-Side FET Driver Pull-down ON resistance	BOOST - SW = 4.5V		0.9		$\Omega$
$R_{DS3}$	Low-Side FET Driver Pull-up ON resistance	VLIN5 = 5.5V		1.4		$\Omega$
$R_{DS4}$	Low-Side FET Driver Pull-down ON resistance	VLIN5 = 5.5V		0.7		$\Omega$

## 電氣的特性 (つづき)

標準文字で表記される規格値は、 $T_J = 25$  の場合の値ですが、太字表記のリミット値は全動作接合部温度 ( $T_J$ ) 範囲にわたって適用されます。最小リミット値および最大リミット値は、試験、設計、または統計上の相関関係により保証されています。代表 (Typ) 値は  $T_J = 25$  でのパラメータの最も標準と考えられる値を表し、参照を目的としてのみ提示されます。特記のない限り、 $V_{IN} = 12V$  とします。

Symbol	Parameter	Conditions	Min	Typ (Note 4)	Max	Units
<b>OSCILLATOR</b>						
$f_{SW}$	PWM Frequency	$R_{ADJ} = 150\text{ k}\Omega$		200		kHz
		$R_{ADJ} = 54.9\text{ k}\Omega$	<b>450</b>	500	<b>550</b>	
		$R_{ADJ} = 17.8\text{ k}\Omega$		1500		
$V_{SYNC-HI}$	Threshold for SYNC on FREQ Pin	SYNC Voltage Rising		1.2		V
$V_{SYNC-LO}$	Threshold for SYNC on FREQ Pin	SYNC Voltage Falling		0.3		V
$t_{ON-SKIP}$	On Time During Skip Mode	$V_O = 1.5V$ $f_{SW} = 500\text{ kHz}$		125		ns
$t_{ON-MAX}$	Adaptive Maximum On-time Limit	$V_O = 1.5V$ $f_{SW} = 500\text{ kHz}$		750		ns
$t_{OFF-MIN}$	Minimum Off-time			300		ns
<b>ERROR AMP</b>						
$g_M$	Transconductance			750		$\mu\text{mho}$
$BW_{-3dB}$	Open Loop Bandwidth	COMP/ $\overline{SD}$ Floating		5		MHz
$I_{FB}$	FB Pin Bias Current	$V_{FB} = 0.6V$		1		nA
$I_{SOURCE}$	COMP/ $\overline{SD}$ Pin Source Current	$V_{FB} = 0.5V$ , COMP/ $\overline{SD}$ = 1.5V		40		$\mu\text{A}$
$I_{SINK}$	COMP/ $\overline{SD}$ Pin Sink Current	$V_{FB} = 0.7V$ , COMP/ $\overline{SD}$ = 1.5V		40		$\mu\text{A}$
$V_{COMP-HI}$	COMP/ $\overline{SD}$ Pin Voltage High Clamp	$V_{FB} = 0.5V$		2		V
$V_{COMP-LO}$	COMP/ $\overline{SD}$ Pin Voltage Low Clamp	$V_{FB} = 0.7V$		0.9		V
<b>TRACKING</b>						
$V_{TEND}$	Track End Threshold			0.6		V
$V_{TRACK-OS}$	Track to FB Offset	TRACK = 0.55V		15		mV
<b>INTERNAL VOLTAGE REGULATOR</b>						
$V_{VLIN5}$	Voltage at VLIN5 Pin (Note 3)	$V_{IN} = 12V$ , VLIN5 Current = 25 mA		4.72		V
		$V_{IN} = 3.3V$ , VLIN5 Current = 25 mA		3.0		V
<b>LOGIC INPUTS AND OUTPUTS</b>						
$V_{SD-HI}$	COMP/ $\overline{SD}$ Pin Logic High Trip Point	COMP/ $\overline{SD}$ Pin Voltage Rising		0.3	<b>0.4</b>	V
$V_{SD-LO}$	COMP/ $\overline{SD}$ Pin Logic Low Trip Point	COMP/ $\overline{SD}$ Pin Voltage Falling	<b>0.2</b>	0.26		V
<b>THERMAL CHARACTERISTICS</b>						
$\theta_{JA}$	Junction-to-Ambient Thermal Resistance			155		$^{\circ}\text{C/W}$
$T_{SD}$	Thermal Shutdown Threshold			150		$^{\circ}\text{C}$
$T_{SD-HYS}$	Thermal Shutdown Hysteresis			15		$^{\circ}\text{C}$

**Note 1:** 絶対最大定格とは、その値を超えて動作させると、デバイスが破損する可能性があるリミット値のことです。動作定格とは、デバイスが正常に動作する条件のことです。保証されている仕様および試験条件については、「電氣的特性」を参照してください。

**Note 2:** 人体モデルの場合、100pF のコンデンサから直列抵抗 1.5k を通して各ピンに放電させます。

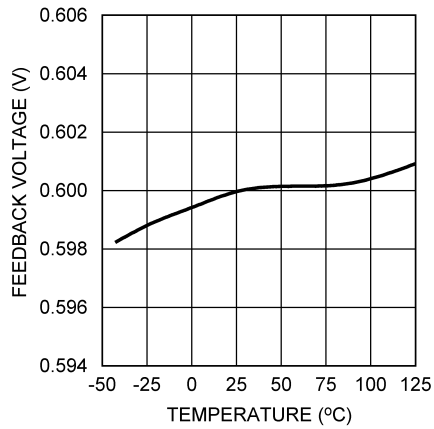
**Note 3:** VLIN5 は、内部のゲート駆動回路および制御回路の自己バイアスを供給します。デバイスの熱制限回路が外部の負荷を制限します。

**Note 4:** 代表的な規格値は、25 動作における最も標準的なパラメータの値を表します。

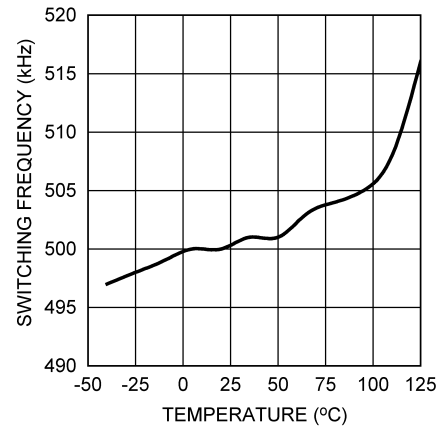
**Note 5:** 定常的な負電圧印加の制限 - 2V は、スイッチング周期ごとに 20ns の期間だけ適用されます。

代表的な性能特性 特記のない限り、 $V_{IN} = 12V$ 、 $T_A = 25$  とします。

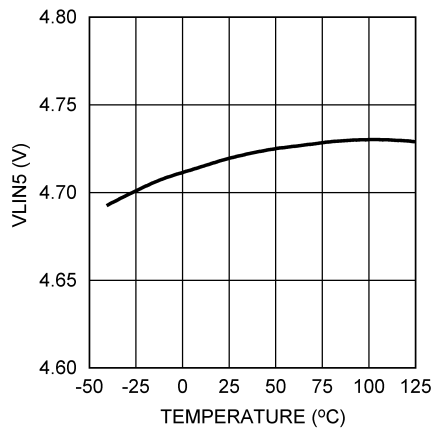
**FB Reference Voltage vs Temperature**



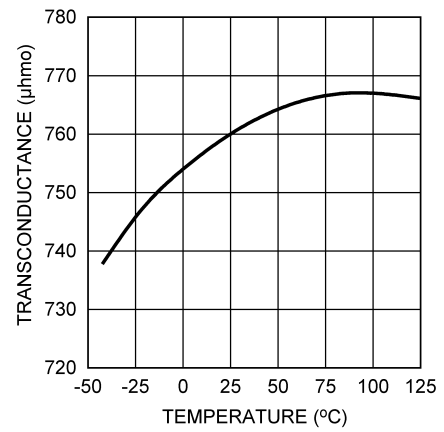
**Switching Frequency vs Temperature**



**VLIN5 Voltage vs Temperature**

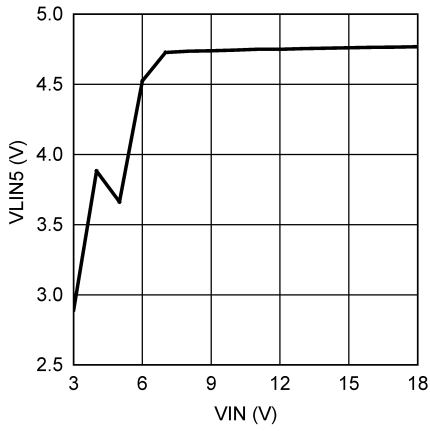


**Error Amplifier Transconductance vs Temperature**

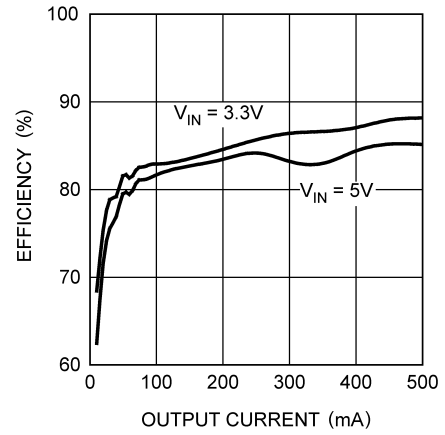


代表的な性能特性 特記のない限り、 $V_{IN} = 12V$ 、 $T_A = 25$  とします。(つづき)

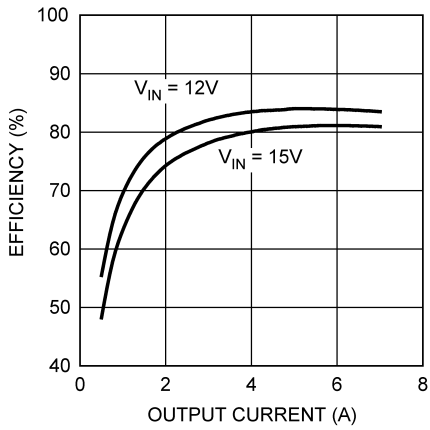
**VLIN5 Voltage vs VIN**



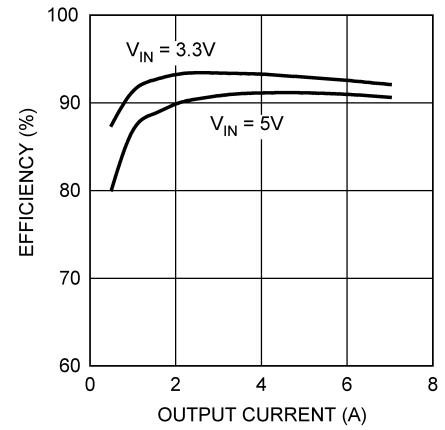
**Efficiency in SKIP Mode**  
 $V_O = 2.2V$ ,  $I_O = 10 \text{ mA to } 500 \text{ mA}$   
 BOM in Table 2



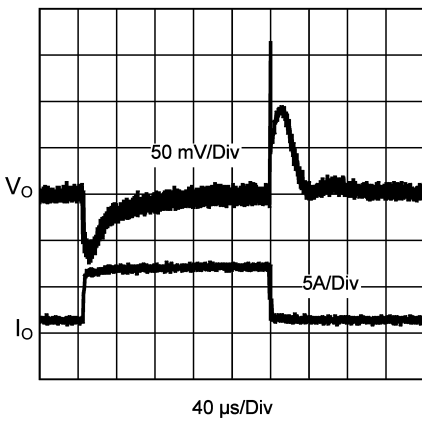
**Efficiency in FPWM Mode**  
 $V_O = 1.0V$ ,  $I_O = 0.5A \text{ to } 7A$   
 BOM in Table 1



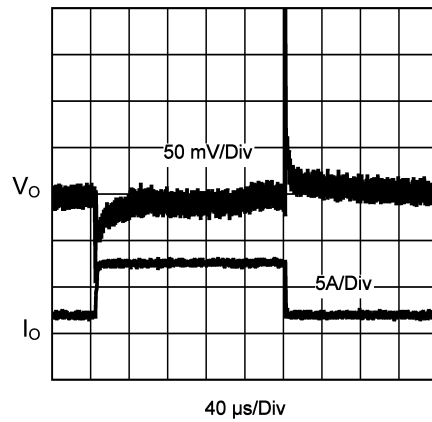
**Efficiency in FPWM Mode**  
 $V_O = 2.2V$ ,  $I_O = 0.5A \text{ to } 7A$   
 BOM in Table 2



**Load Transient Response**  
 $V_{IN} = 3.3V$ ,  $V_O = 2.2V$   
 BOM in Table 2

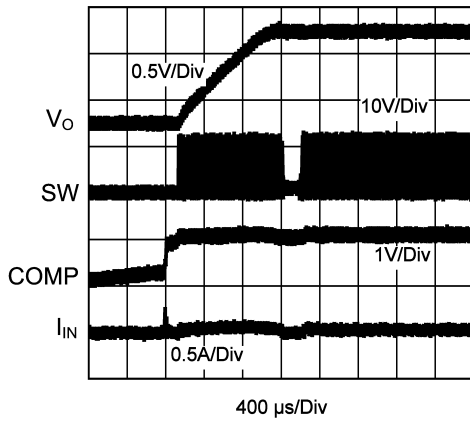


**Load Transient Response**  
 $V_{IN} = 12V$ ,  $V_O = 1.0V$   
 BOM in Table 1

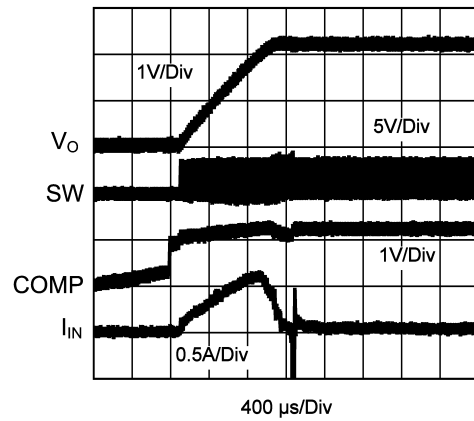


代表的な性能特性 特記のない限り、 $V_{IN} = 12V$ 、 $T_A = 25$  とします。(つづき)

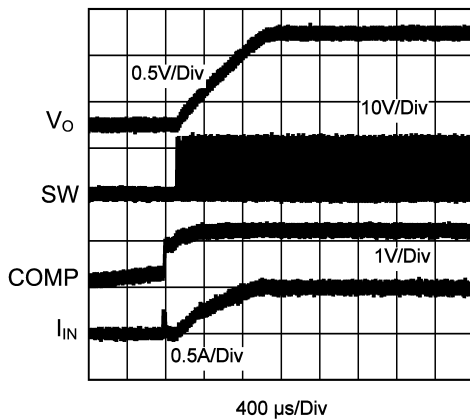
**Soft-Start in SKIP Mode**  
 $V_{IN} = 12V$ ,  $V_O = 1.0V$ ,  $I_O = 0A$   
 BOM in Table 1



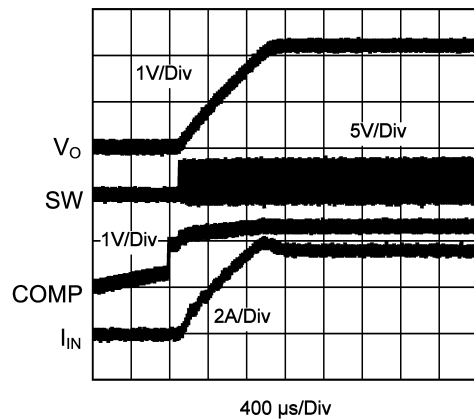
**Soft-Start in FPWM Mode**  
 $V_{IN} = 3.3V$ ,  $V_O = 2.2V$ ,  $I_O = 0A$   
 BOM in Table 2



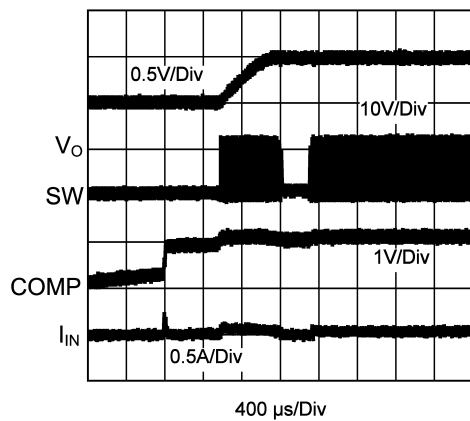
**Soft-Start in FPWM Mode**  
 $V_{IN} = 12V$ ,  $V_O = 1.0V$ ,  $I_O = 5A$   
 BOM in Table 1



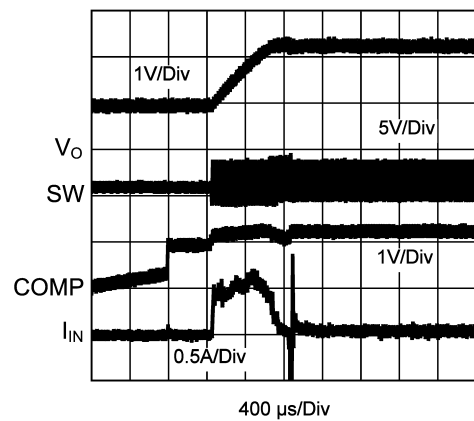
**Soft-Start in FPWM Mode**  
 $V_{IN} = 3.3V$ ,  $V_O = 2.2V$ ,  $I_O = 5A$   
 BOM in Table 2



**Soft-Start with Output Pre-bias**  
 $V_{IN} = 12V$ ,  $V_O = 1.0V$ ,  $I_O = 0A$   
 BOM in Table 1



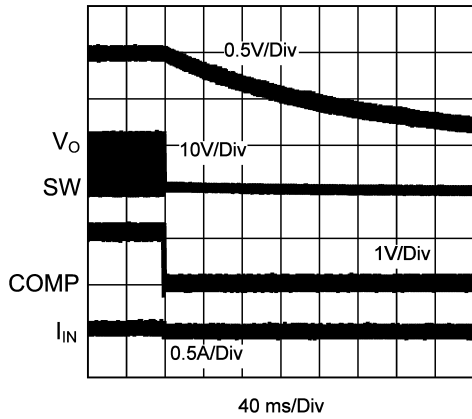
**Soft-Start with Output Pre-bias**  
 $V_{IN} = 3.3V$ ,  $V_O = 2.2V$ ,  $I_O = 0A$   
 BOM in Table 2



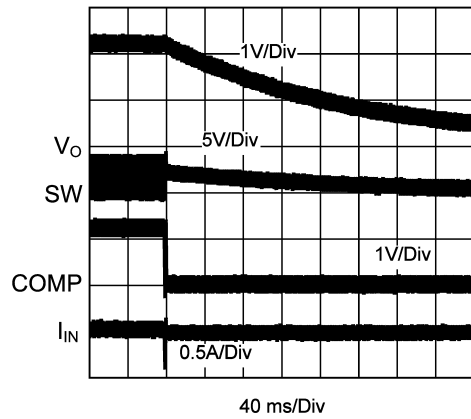


代表的な性能特性 特記のない限り、 $V_{IN} = 12V$ 、 $T_A = 25$  とします。(つづき)

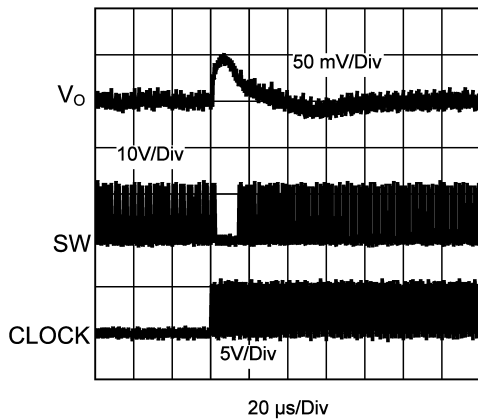
**Shutdown**  
 $V_{IN} = 12V$ ,  $V_O = 1.0V$ ,  $I_O = 0A$   
 BOM in Table 1



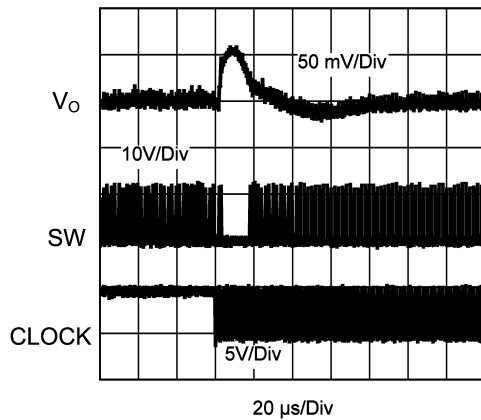
**Shutdown**  
 $V_{IN} = 12V$ ,  $V_O = 1.0V$ ,  $I_O = 5A$   
 BOM in Table 1



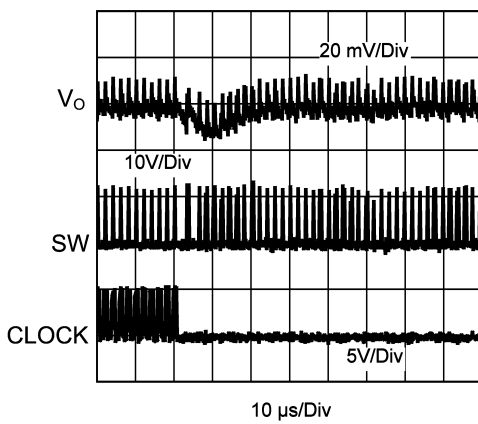
**FA to SYNC Transition**  
 Clock Starts on Logic Low  
 BOM in Table 1



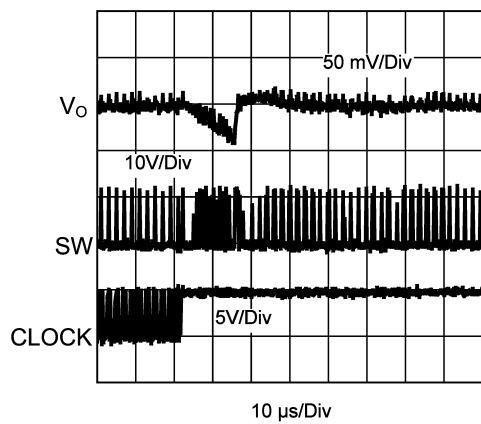
**FA to SYNC Transition**  
 Clock Starts on Logic High  
 BOM in Table 1



**SYNC to FA Transition**  
 Clock Ends on Logic Low  
 BOM in Table 1

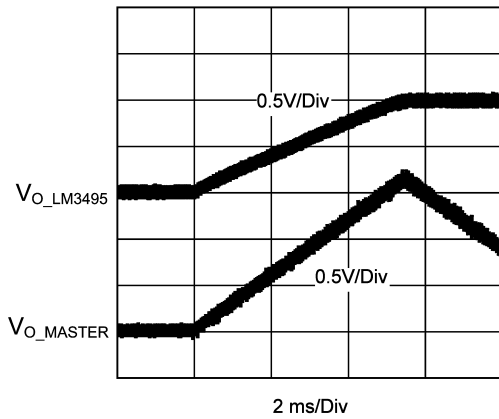


**SYNC to FA Transition**  
 Clock Ends on Logic High  
 BOM in Table 1

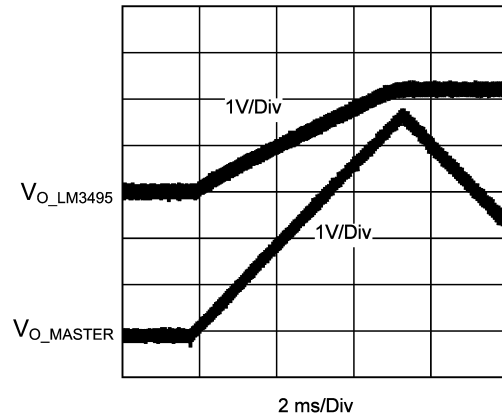


代表的な性能特性 特記のない限り、 $V_{IN} = 12V$ 、 $T_A = 25$  とします。(つづき)

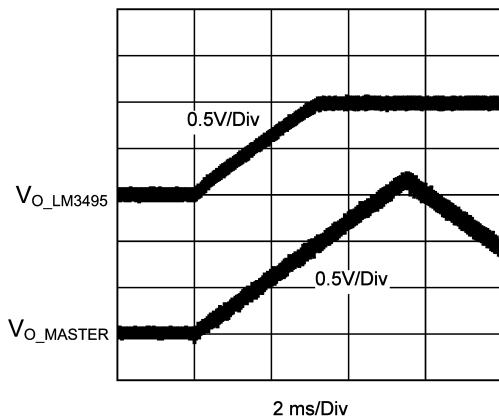
**Tracking With Equal Soft Start Time**  
 $V_{IN} = 12V$ ,  $V_O = 1.0V$ , No Load  
 BOM in Table 1



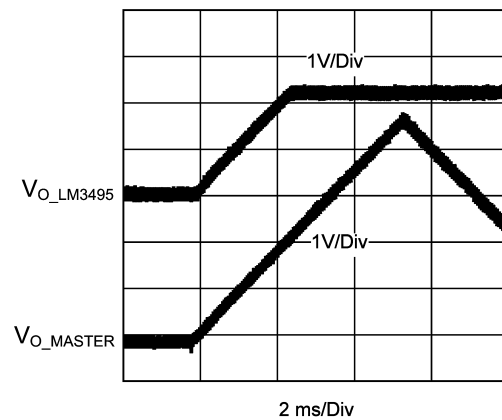
**Tracking With Equal Soft Start Time**  
 $V_{IN} = 5V$ ,  $V_O = 2.2V$ , No Load  
 BOM in Table 2



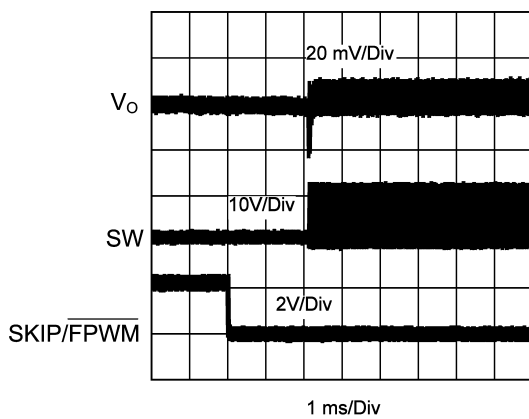
**Tracking With Equal Slew Rate**  
 $V_{IN} = 12V$ ,  $V_O = 1.0V$ , No Load  
 BOM in Table 1



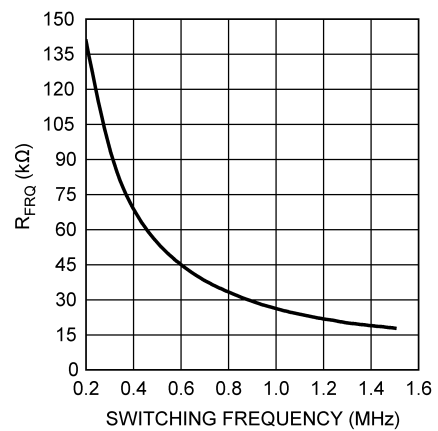
**Tracking With Equal Slew Rate**  
 $V_{IN} = 5V$ ,  $V_O = 2.2V$ , No Load  
 BOM in Table 2



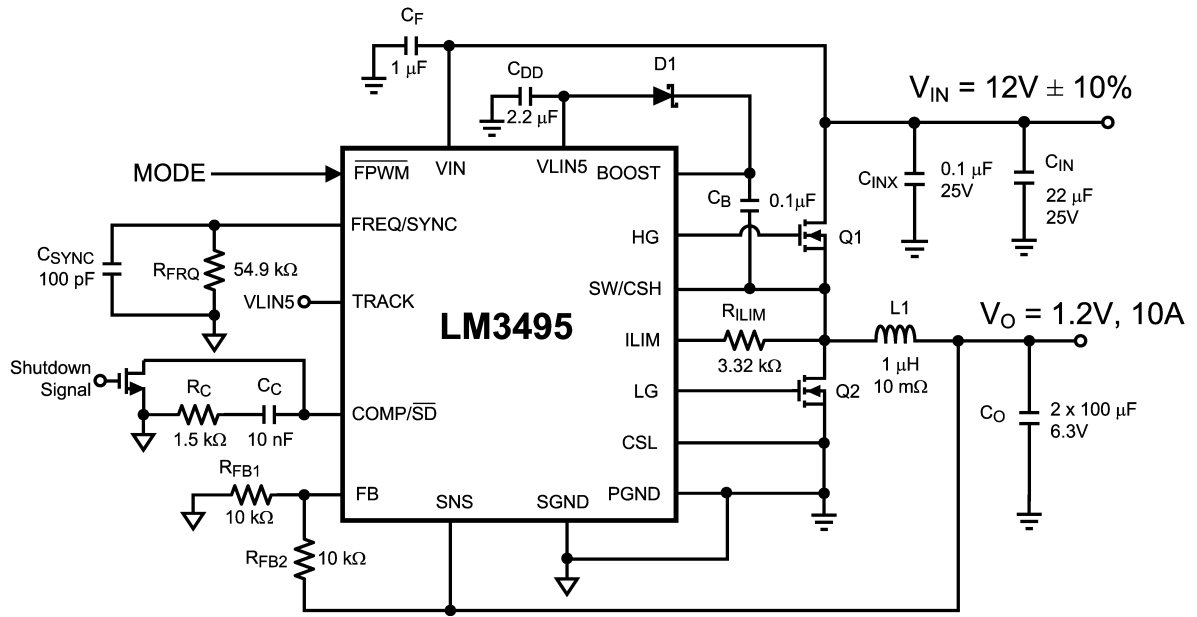
**SKIP to FPWM Transition**  
 $V_{IN} = 12V$ ,  $V_O = 1.0V$ ,  $I_O = 5A$   
 BOM in Table 1



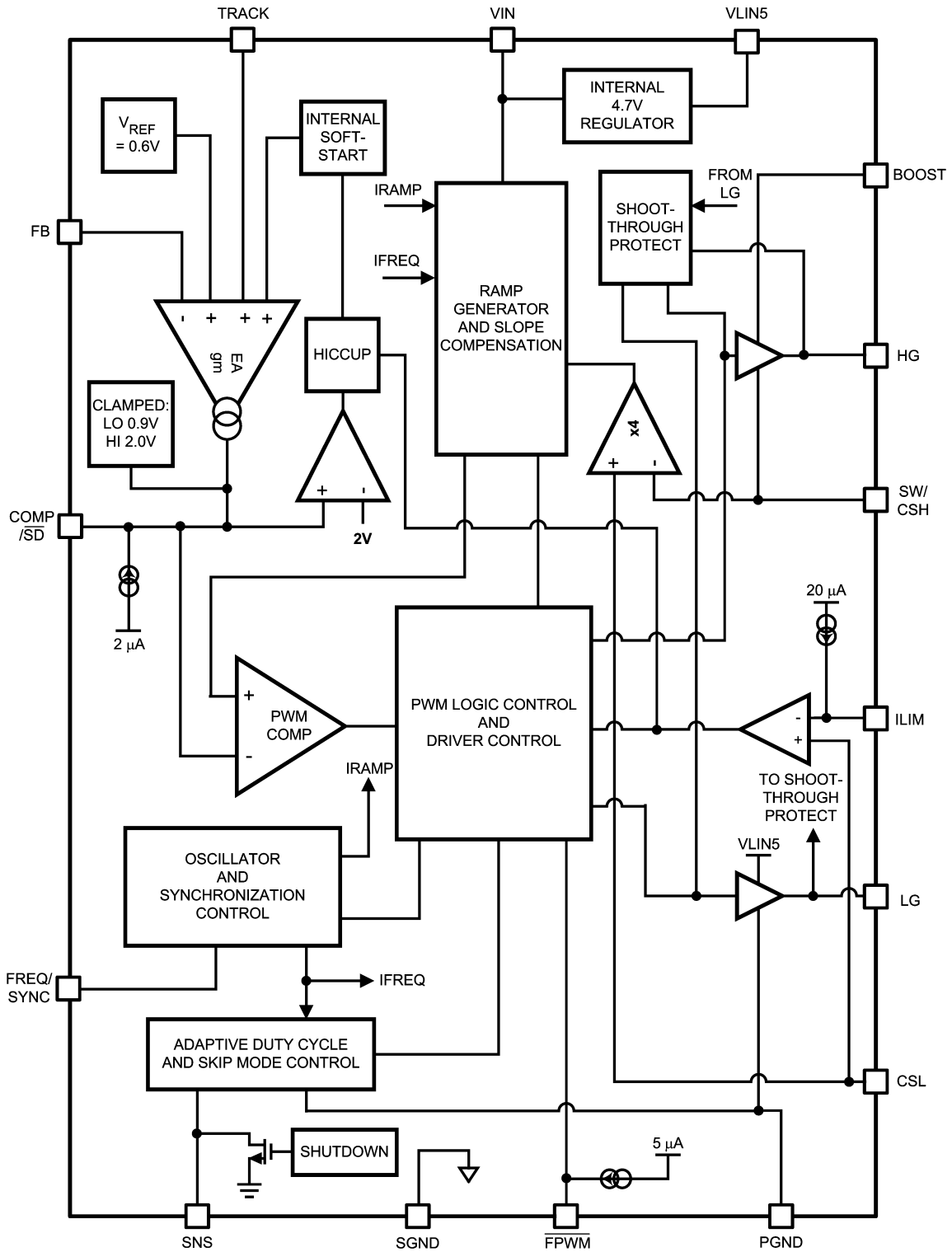
**$f_{SW}$  vs  $R_{FRQ}$**   
 $V_{IN} = 12V$ ,  $V_O = 1.0V$ , No Load  
 BOM in Table 1



代表的なアプリケーション回路



ブロック図



## アプリケーション情報

## 動作原理

LM3495は、高度な電流モードPWM同期整流コントローラです。LM3495は、ハイサイドFETがオンの際に電流をセンスする従来のピーク電流モードのコントローラとは異なり、ローサイドFETがオンの間に電流をセンスします。続いてピーク電流波形をエミュレートし、その情報に基づいて出力電圧を安定化します。ハイサイドFETのオン・パルスは50nsと短く、低デューティ・サイクルの動作が可能になります。この方式により、LM3495は優れた入力過渡応答特性と、高い入力電圧を低い出力電圧に安定化する機能を同時に実現しています。

## スタートアップ

LM3495は、COMP/SD $\bar{D}$ ピンが開放され、VINピンの電圧が2.6Vを超えると動作を開始します。これら2つの条件が満たされると、内部のソフトスタート動作が起動し、スイッチング周期400サイクルの間に、継続します。ソフトスタートが完了すると、コンバータは定常動作に移行します。ソフトスタート中は出力の短絡から保護するために、電流制限が有効になります。

## 出力プリバイアス・スタートアップ

LM3495レギュレータの出力コンデンサが、コンバータのインエーブル前にプリバイアスされていても、ソフトスタート回路によってプリバイアス・レベルから目標電圧まで出力がランプ・アップされます。この間、出力コンデンサは一度も放電されません。プリバイアス電圧はLM3495の目標出力電圧以下でなければなりません。目標以上の出力電圧では、定常動作時にプリバイアス電源がLM3495によってプルダウンされます。ゼロクロス・コンパレータは、ソフトスタート時にインダクタ電流が反転するのを防止し、ローサイドFETを通して出力コンデンサが放電されるのを防ぎます。FPWMモードでは、ソフトスタートが完了するとゼロクロス・コンパレータのスレッシュホールドが16サイクルにわたり低く設定され、その後コンパレータが無効化されます。これにより、コンバータは必要に応じて出力ノードで電流をシンクできます。

LM3495内部では、SNSとPGNDピン間にオン抵抗が約500のN-FETが接続されています。コンバータがディスエーブルの間、このFETがターンオンし出力コンデンサを放電します。LM3495の出力をプリバイアスするシステムでは、プリバイアス用の電源として、内部FET(500)に電流を十分に供給できるものを使用する必要があります。

## トラッキング

LM3495は、TRACKピンに抵抗ダイバイダを接続することにより、ソフトスタート時に主電源の出力をトラッキングできます(Figure 1)。この方式を用いると、精密なシーケンスが必要な負荷に対してLM3495の出力電圧のスルーレートを主電源によって制御できます。主電源の出力は分圧されているため、適切なトラッキングを行うには、LM3495の出力電圧は主電源電圧より低くなければなりません。トラッキング機能を使用しない場合は、TRACKピンを直接VLINSピンに接続してください。

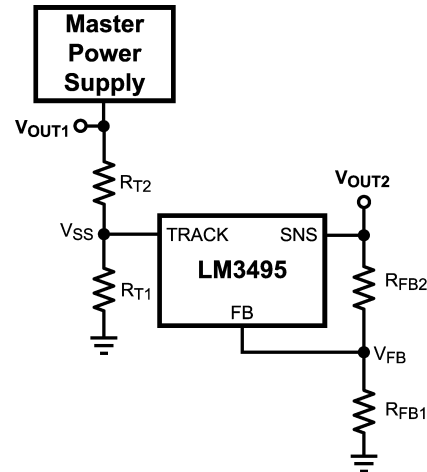


FIGURE 1. Tracking Circuit

トラッキング機能を使用する場合、主電源の出力電圧( $V_{OUT1}$ )とLM3495の出力電圧( $V_{OUT2}$ )が同時に上昇し、目標電圧に同時に到達するようにトラッキング抵抗ダイバイダを設計する方法があります。この場合、トラッキング用ダイバイダの抵抗値 $R_{T1}$ と $R_{T2}$ には次式によって表される関係があります。

$$0.65V = V_{OUT1} \frac{R_{T1}}{R_{T1} + R_{T2}}$$

上記の式を0.65Vに等しいとしているのは、TRACKピンの電圧がLM3495の基準電圧を確実に上回るようになるためです。また、この50mVのオフセットにより、LM3495の出力電圧は主電源より若干早く安定化電圧に到達します。高精度と、ダイバイダを通して流れる待機時電流の抑制を適切にトレードオフするには、 $R_{T2}$ の値として10k $\pm$ 1%を推奨します。例えば、主電源電圧 $V_{OUT1}$ が5Vの場合、2つの電源のソフトスタート時間を同じにするには、 $R_{T1}$ を1.5k $\pm$ 1%にする必要があります。ソフトスタート時間を等しくする場合のタイミング図をFigure 2に示します。

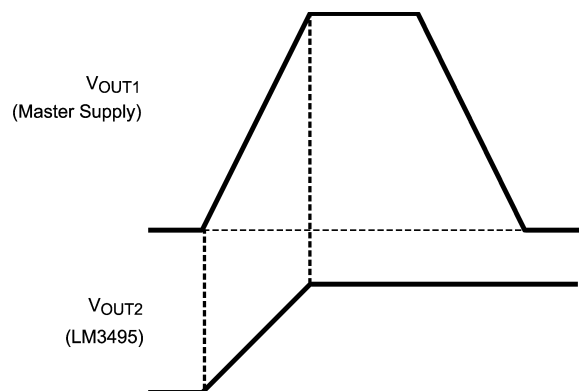


FIGURE 2. Tracking with Equal Soft Start Time

また、LM3495と主電源の出力電圧スルーレートを等しくしたトラッキングも可能です。この方法では、常にLM3495の出力電圧が主電源の出力電圧より早く安定化電圧に到達します。この場合、トラッキング抵抗は次式で決まります。

## アプリケーション情報 (つづき)

$$0.6V = V_{OUT2} \frac{R_{T1}}{R_{T1} + R_{T2}}$$

$R_{T2}$  には、この場合も 10k 1% を推奨します。  $V_{OUT1} = 5V$ 、 $V_{OUT2} = 1.8V$  の例では、 $R_{T1}$  は 5.62k 1% になります。スレートを等しくする場合のタイミング図を Figure 3 に示します。

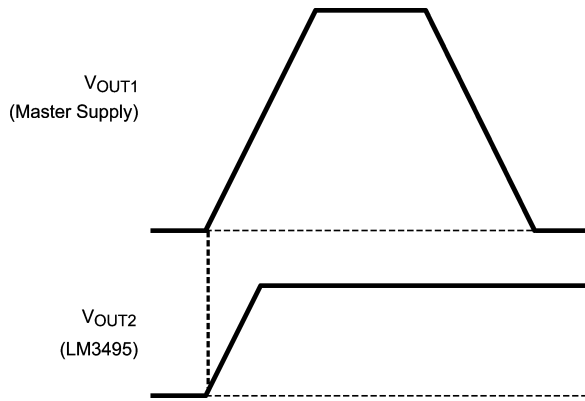


FIGURE 3. Tracking with Equal Slew Rates

## FPWM モードの動作

FPWM ピンをグラウンドに接続すると、LM3495 は強制 PWM モードで動作します。FPWM 動作中の LM3495 は、PWM のデューティ・サイクルを調節して出力電圧を制御します。出力インダクタとコンデンサが、入力電圧をスイッチングすることによって発生する矩形波をフィルタし、安定化された出力電圧を得ます。出力電圧の DC レベルは 0.6V から最大 5.5V の間で設定できます。電圧は 1 対の帰還抵抗によって決まり、次式によって計算できます。

$$V_O = 0.6V \times \frac{R_{FB1} + R_{FB2}}{R_{FB1}}$$

FPWM モードでは、ローサイド FET のドレインからソースにインダクタ電流が流れ、コンバータを常に連続モード (CCM) に保つことができます。CCM は、あらゆる負荷条件で一定周波数と、ほぼ一定のデューティ・サイクル ( $D = V_O/V_{IN}$ ) となり、コンバータが必要に応じて出力ノードの電流をシンクできるという利点があります。

内部オシレータのスイッチング周波数は FREQ/SYNC ピンとグラウンド間に接続される抵抗  $R_{FRQ}$  によって設定します。目的のスイッチング周波数  $f_{SW}$  を得るための適切な抵抗値は、次式によって求められます。

$$R_{FRQ} = \frac{25.26 \times 10^3}{f_{SW} - 48.4} \text{ k}\Omega, f_{SW} \text{ in kHz}$$

## スキップ・モードの動作

FPWM ピンを開放状態にすると、LM3495 はスキップ・モードで動作し、軽負荷時の効率を高めることができます。インダクタ電流が正である (スイッチ・ノードから出力ノードに向けて流れる) 限り、スキップ・モードと FPWM モードは同じ動作になります。しかしながら、スキップ・モードでは、インダクタ電流が負になると内部のゼロクロス・コンパレータがローサイド FET を無効化し、「ダイ

オード・エミュレーション」モードとなり、コンバータの不連続モード (DCM) 動作が可能になります。DCM 動作では負荷電流が減少するとデューティ・サイクルが低下します。最少オン・タイムのコンパレータにより、DCM 動作時のデューティ・サイクルが定常状態におけるデューティ・サイクル  $D$  の 80% を下回らないようにします。コンバータはオン時間パルスを 1 回取り込み、出力電圧が上昇して、COMP/SD 電圧が低下します。COMP/SD 電圧がスキップ・サイクル・コンパレータのスレッシュホールド 1.05V を下回ると、制御ロジックがハイサイド FET を 1 サイクルだけ無効化し、パルスがスキップされるのと同じ効果が得られます。このスキップ動作は COMP/SD 電圧がスキップ・サイクル・コンパレータのスレッシュホールドを超えるまで続きます。負荷、入力電圧、出力電圧によってはパルスが複数回スキップされる場合もあります。スキップ・モードではスイッチング周波数が不定となりますが、ハイサイドおよびローサイドの FET が駆動される頻度が FPWM モードより先減るため消費電力が低減されます。スキップ・モードでは、レギュレータは出力ノードの電流をシンクできません。

## スキップ・モードから FPWM モードへの移行

LM3495 では、インダクタ電流と出力電圧の遮断を最低限に抑えて、スキップ・モードから FPWM モードに移行できる回路を採用しています。FPWM ピンを接地すると、ゼロクロス・コンパレータのスレッシュホールドが 15 スwitching・サイクルだけ 0V から -9.9mV に低下します。15 サイクルが経過すると、ゼロクロス・コンパレータは完全に無効化され、回路が FPWM モードに切り替わります。

FPWM モードからスキップ・モードへの移行は、インダクタ電流または出力電圧、またはこれらの両方が遮断する可能性があるため推奨できません。

## 周波数の同期

LM3495 のスイッチング動作は、200kHz ~ 1.5MHz の外部クロック、その他の固定周波数の信号に同期させることができます。外部クロックは、Figure 4 に示すように、100pF のカップリング・コンデンサ  $C_{SYNC}$  を介して印加します。LM3495 が適切に同期できるように、外部クロックは各立ち上がりエッジで 1.2V を超えるようにし、最短でも 100ns の間は 1.2V より高く保持します。

また各立ち下がりエッジでは 0.3V を下回るようにし、最短でも 100ns の間は 0.3V より低く保持します。外部クロックを使用する回路でも、抵抗  $R_{FRQ}$  を FREQ/SYNC ピンと信号グラウンド間に接続する必要があります。  $R_{FRQ}$  には、「FPWM モードの動作」に示した式を用いて、外部クロック周波数に適した値を選択します。これにより、外部クロックが故障したり、クロック側のカップリング・コンデンサが接地またはロジック High になった場合にもレギュレータはほぼ同じスイッチング周波数で動作を続けることができます。

外部クロックが Low 側で故障した場合、タイムアウト回路により、ハイサイド FET がスイッチング周期の 1.5 倍より先長くオフ状態を維持しないようにします。(スイッチング周期  $T_{SW} = 1/f_{SW}$ ) タイムアウト期間が経過すると、レギュレータは  $R_{FRQ}$  によって決まる周波数でスイッチングを開始します。

外部クロックが High 側で故障した場合も、タイムアウト回路により、ハイサイド FET がスイッチング周期の 1.5 倍より先長くオフ状態を維持しないようにします。このタイムアウト期間が経過すると、内部のオシレータに切り替わり、FREQ/SYNC ピンの電圧が約 0.6V に減衰するまで 1MHz 固定でスイッチングします。FREQ/SYNC ピン電圧の減衰は  $C_{SYNC}$  と  $R_{FRQ}$  で決まる時定数に従い、この時間が経過するとレギュレータは  $R_{FRQ}$  で決まる周波数でスイッチングします。

## アプリケーション情報 (つづき)

誤ったパルスにより同期回路が起動しないように注意が必要です。外部クロックに同期させないアプリケーションでは、 $C_{\text{SYNC}}$  をノイズ・フィルタとして FREQ/SYNC ピンと信号グラウンド間に接続します。クロック・パルスが検出されるとともに、LM3495 は外部クロック周波数によるスイッチングを開始します。ノイズまたは短いパースト状のクロック・パルスが、内部同期回路の調整中に印加された場合、最大 7.5  $\mu\text{s}$  の間、ハイサイド FET がオフする場合があります。

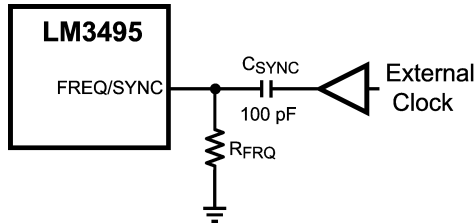


FIGURE 4. Clock Synchronization Circuit

## MOSFET のゲート駆動

LM3495 は、同期整流モードで N チャンネル MOSFET を駆動する 2 個のゲート・ドライバ回路を内蔵しています。ハイサイドのドライバ電源は BOOST ピンから供給されます。ハイサイドのゲート駆動によって上側の FET を完全にターンオンさせるために、BOOST ピンの電圧は  $V_{\text{IN}}$  より先少なくともスレッシュホールド電圧  $V_{\text{GS(th)}}$  分だけ高くする必要があります。この電圧は、ショットキ・ダイオードと 0.1  $\mu\text{F}$  のコンデンサから構成される、ローカル・チャージ・ポンプによって供給されます (Figure 5 参照)。

ブートストラップとローサイド FET ドライバの電源はいずれも VLIN5 より供給します。この電圧は内部の 4.7V リニア・レギュレータの出力です。このレギュレータのドロップアウト電圧は約 1V です。 $V_{\text{IN}}$  が 4V を下回ると、内部のスイッチが VIN と VLIN5 ピンを短絡します。したがって上側 FET の駆動電圧は VLIN5- $V_{\text{D}}$  になります。 $V_{\text{D}}$  はショットキ・ダイオード D1 による電圧降下です。この情報は使用する MOSFET のタイプを選択する際に必要になります。

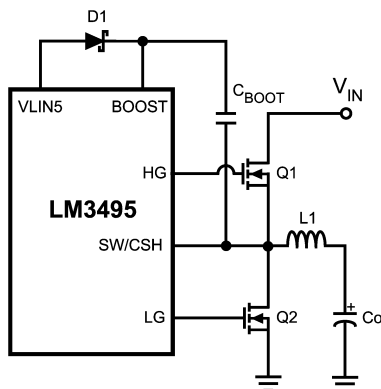


FIGURE 5. Bootstrap Circuit

## 5.5V 未満の入力電圧

LM3495 は VIN ピンと VLIN5 ピン間に接続された 4.7V のリニア・レギュレータを搭載しています。このリニア・レギュレータは論理回路と FET 駆動回路に電圧を供給します。入力電圧が 5.5V 未満の場合、VIN と VLIN5 ピンを外部で短絡できます。外部の短絡回路によって内部のリニア・レギュレータと内部の PMOS スイッチがともにバイパスされ、パワー FET を駆動するために入力電

圧全体を使用できるようになり、LM3495 自体の伝導損失を最低限に抑えることができます。入力電圧が 5.5V 以上の場合は、VIN と VLIN5 を短絡して使用しないでください。

## アンダーボルテージ・ロックアウト (UVLO)

VIN のターンオン・スレッシュホールド 2.6V には、300mV のヒステリシス特性を持たせてあります。入力電圧が 2.3V を下回ると、チップはアンダーボルテージ・ロックアウト (UVLO) モードに移行します。UVLO モードでは上下の FET を両方もターンオフし、入力電圧が 2.6V を超えるまで、その状態を保持します。

## ブートストラップ・ダイオードの選定

ブートストラップ回路には、順方向電圧降下が小さいショットキ・ダイオードを推奨します。周囲温度が高い状態で動作させる回路の場合、ショットキ・ダイオードのデータシートを詳細に検討して、ハイサイド FET がオフしている間に、高温における逆方向漏れ電流の増加によってブートストラップ・コンデンサが放電しないようにしてください。高温側温度リミットにおいて逆電流が 1000 倍にまで増加するショットキ・ダイオードもああります。ファースト・リカバリ・ダイオードおよび PN 接合ダイオードは周囲温度が高くなっても、逆方向漏れ電流が低く抑えられます。周囲温度が高い条件で動作させる場合は、温度の全範囲にわたり低漏れ電流が保証されているショットキ・ダイオードか、ファースト・リカバリ・タイプのダイオードを使用してください。

## オーバーボルテージ保護 (OVP)

LM3495 は、出力電圧が定常状態の目標電圧の 125% を上回る状態が 4  $\mu\text{s}$  より先長く続くとシャットダウンします。ハイサイド FET がターンオフし、ローサイド FET がターンオンします。VIN ピンの電圧をいったんグラウンドにするか、COMP/SD ピン電圧を 0.3V より先低くした後、開放するまで、LM3495 はこの状態を保持します。いずれのリセット方法を用いた場合も、デバイスはソフトスタートします。

## ローサイドの電流制限

LM3495 の電流制限は、負荷電流  $I_{\text{O}}$  が流れるローサイド FET の電流をセンスすることにより動作します。ローサイド FET のドレイン・ソース間電圧  $V_{\text{DS}}$  と、20  $\mu\text{A}$  固定の内部電流源とユーザーが選択した抵抗  $R_{\text{ILIM}}$  による電圧を比較します。目的の電流制限スレッシュホールド  $I_{\text{CL}}$  を得るための  $R_{\text{ILIM}}$  の値は次式によって求めることができます。

$$R_{\text{ILIM}} = \frac{I_{\text{CL}} \times R_{\text{DSON-LO}}}{20 \mu\text{A}}$$

$R_{\text{ILIM}}$  はスイッチ・ノードと ILIM ピン間に接続します。電流制限動作は  $V_{\text{DS}}$  が  $V_{\text{ILIM}}$  を超えた時点で開始します ( $V_{\text{ILIM}} = 20 \mu\text{A} \times R_{\text{ILIM}}$ )。続くサイクルでは、 $V_{\text{DS}}$  が  $V_{\text{ILIM}}$  を上回っている限り、ハイサイドのスイッチが無効化され、ローサイド FET はオンのまゝになります。

長時間にわたり電流制限または短絡の状態が続くと出力電圧が低下します。この電圧低下により、COMP/SD ピンの電圧が上がります。COMP/SD ピン電圧が 2V を超え、ハイサイド FET のオンパルスがスキップされると、LM3495 は 4 ビットのカウンタをインクリメントします。COMP/SD 電圧が 2V を超えた状態のまま、ハイサイドのゲート・パルスが連続 16 回スキップされると、LM3495 はヒックアップ・モードに移行します。カウンタは COMP/SD ピンが 2V を下回るとリセットされます。ソフトスタート中も、ローサイドの電流制限のサイクル・スキップ機能は有効ですが、ヒックアップ・モードに移行する機能は無効になります。

## アプリケーション情報 (つづき)

## 電流制限用センス抵抗

ローサイド電流制限に精度が要求されるアプリケーションでは、グラウンドとローサイドFETのソース間に専用の電流センス抵抗を追加できます。Figure 6 に専用の電流制限センス抵抗  $R_{SNS}$  を使用する場合の回路接続を示します。

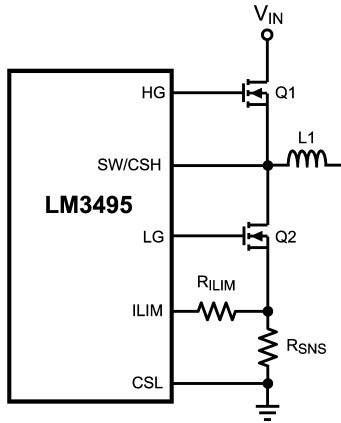


FIGURE 6. Current Limit Sense Resistor

専用の電流制限センス抵抗を使用する場合、ローサイドの電流制限には次式の関係が成り立ちます。

$$R_{ILIM} = \frac{I_{CL} \times R_{SNS}}{20 \mu A}$$

## 最大電流センス

ローサイドの電流センス・アンプを線形領域で動作させるために、CSLとSW/CSHピン間のセンス電圧  $V_{SNS}$  のピークは200mV未満としてください。

$$V_{SNS} = I_{PK} \times (R_{DS(on) - LO} + R_{SNS})$$

$I_{PK}$  の値は、「設計上の考慮事項」の「出力インダクタ」に示した式に従って決めることができます。

## ハイサイドの電流制限

LM3495 は、ハイサイド FET がオンの間、その両端の電圧をモニタするために、前述のものとは別のコンパレータを搭載しています。このコンパレータにより、ローサイド電流制限では検出できない、スイッチ・ノードの短絡からチップを保護しています。ハイサイド FET がオンの間に、この FET のドレイン・ソース間電圧が500mVを超えると、LM3495 はただちにヒックアップ・モードに入ります。ハイサイド FET がターンオンしてから、信号を遷移させない期間を200ns確保することにより、スイッチング過渡電圧がハイサイドの電流制限を誤作動させないようにします。

## ヒックアップ・モード

LM3495 のヒックアップ・モードでは、ハイサイドとローサイドの両 FET を無効化して、4096 スwitching・サイクルのクール・ダウン期間が始まります。このクール・ダウン期間が終了すると、レギュレータはターンオン時とまったく同じ内部 400 サイクルのソフトスタートを実行します。ソフトスタート中は、ハイサイド FET の電流制限のみが LM3495 をヒックアップ・モードに移行させることができます。ローサイドの電流によってヒックアップ・モードに移行することはありませんが、デューティ・サイクルが制限される可能性はあります。ソフトスタートの完了後も出力が短絡したままの場合、デバイスはローサ

イド電流制限動作によりスキップされるハイサイド・パルスを数えはじめ、16 サイクル後に再度ヒックアップ・モードに移行します。以上より、長期的なデバイスの挙動から見ると、パワー FET が 4096 サイクルの間無効化され、その後 416 (400 + 16) サイクルの間有効化されることとなります。

ヒックアップ保護モードは外部回路素子 (出力インダクタ、FET および入力電圧源) を熱ストレスから保護するために設計された機能です。例えば、ローサイドの電流制限が 10A の場合を考えます。ヒックアップ・モードに移行すると、ハイサイド FET と出力インダクタの実効的なデューティ・サイクルは  $D \times (416/4096)$  となります。ローサイド FET については  $(1 - D)(416/4096)$  となります。これは、たとえワースト・ケース条件であっても (最小スイッチング周波数かつ最大デューティ・サイクル  $D_{MAX} = 96\%$ )、インダクタおよびハイサイド FET を通して流れる平均電流は 975mA、ローサイド FET を流れる平均電流は 40mA になることを意味します。

## ローサイドの並列ショットキ・ダイオード

同期整流降圧型レギュレータの多くが、ローサイドのパワー FET と並列にショットキ・ダイオードを接続しています。順方向電圧降下が低く、逆方向回復時間が短いショットキ・ダイオードは、FET のボディ・ダイオードがターンオンするのを防ぎ、効率を向上します。この手法は、出力電流 5A 以下の回路で最も効果を発揮します。この並列ショットキ・ダイオードは、配線インダクタンスによって効率向上の効果が損なわれないように、パワー FET のできる限り近くに配置する必要があります。

## アダプティブなデューティ・サイクル・クランプ

アダプティブなデューティ・サイクル・クランプは、大電流条件や大きな負荷変動に対応するための、さらなる保護機能です。電流制限によってハイサイドのパルスがスキップされると、出力電圧は急激に低下する傾向があります。LM3495 の定常状態の制御ループは、次にハイサイド FET がターンオンする時にデューティ・サイクルを高めるように応答します。その結果、出力インダクタ両端の電圧が高くなると同時に、デューティ・サイクルが長くなるため、インダクタが飽和する可能性が出てきます。アダプティブなデューティ・サイクル・クランプは、最大デューティ・サイクル  $D_{CLAMP}$  を動的に制御して、インダクタの飽和を防止します。クランプ動作は、センスされた入出力電圧に基づいて実行されます。 $D_{CLAMP}$  の値は、次式によって予測できます。

$$D_{CLAMP} = 3.2 \times \frac{V_O}{V_{IN}}$$

$D_{CLAMP}$  は 100% を超えることはありません。

## シャットダウン

COMP/ $\overline{SD}$  ピンの電圧を 0.3V より低くすることにより、LM3495 を低消費電力シャットダウン・モードに切り替えることができます。この機能は、信号レベルの BJT または FET を制御することにより動作させることができます。ほとんどの CMOS または TTL ロジックの信号を使用できます。制御ループ補償への影響を最小限とするために、コレクタ・エミッタ間、またはドレイン・ソース間のコンデンサは 20pF 未満としてください。シャットダウン・モードではハイサイドおよびローサイド FET は両方とも無効化されます。出力電圧は 500 の内部 FET によって、SNS ピンを通して放電されます。

## サーマル・シャットダウン

ダイの温度が 150 を超えると LM3495 はサーマル・シャットダウン状態になります。ハイサイドおよびローサイドのパワー FET は両方ともターンオフし、出力電圧は内部の 500 FET によって放電されます。ダイの温度が約 135 に低下するまで、この状態が維持されます。135 まで下がると、LM3495 はソフトスタートします。



## 設計上の考慮事項

LM3495 によって制御する最も一般的な回路は、非絶縁型の同期整流降圧型レギュレータです。降圧型レギュレータは入力電圧をステップダウンし、デューティ・サイクルDは次式より求められます。

$$D = \frac{V_O}{V_{IN}}$$

以下に、1 ページ目の「代表的なアプリケーション」に含まれるすべての素子を選択するための設計手順を示します。この回路は、12V ± 10% の入力電圧から、1.2V ± 1% の出力電圧、最大 10A の出力電流を供給する、典型的な POL (ポイント・オブ・ロード) モジュールです。このアプリケーション回路の部品リストを、本データシートの Table 3 に示します。

### スイッチング周波数

スイッチング周波数は、サイズ、コスト、効率のトレードオフに基づいて選択します。通常、周波数が低いほど、より大きく高価なインダクタおよびコンデンサが必要になります。スイッチング周波数が高いと、小型化できるものの効率が低いソリューションとなります。これは、一定時間内にパワー FET のゲート容量を充電する回数が増加するためです。このアプリケーションでは、POL 回路基板の面積の制約から周波数として 500kHz を選定しました。この周波数は、インダクタや FET のサイズ、過渡応答、効率の間の最適トレードオフとして決定したものです。「アプリケーション情報」に示した  $R_{FRQ}$  の式より、500kHz でスイッチングするには、54.9k 1% の抵抗が必要になります。

### MOSFET

パワー FET もスイッチング周波数と同じトレードオフによって選定します。さまざまな FET 間の効率を相対的に判断する手法として、ハイサイドおよびローサイド FET の損失内訳を求める方法があります。デスクリフト FET の SO-8 を使用する場合、LM3495 は出力電流 2A ~ 10A で効率が最大になります。

パワー FET による損失は、伝導損失、ゲート充電損失、スイッチング損失に分けられます。

$I^2R$  損失とも呼ばれる伝導損失  $P_C$  は、次式で近似されます。

$$P_C = D (I_O^2 \times R_{DSON-HI} \times 1.3) \quad (\text{ハイサイド MOSFET})$$

$$P_C = (1 - D) \times (I_O^2 \times (R_{DSON-LO} \times 1.3 + R_{SNS})) \quad (\text{ローサイド MOSFET})$$

上記の式の  $R_{DSON-HI}$  と  $R_{DSON-LO}$  は、それぞれハイサイドとローサイドの FET のオン抵抗です。  $R_{SNS}$  を使用しない場合、その値は 0 とします。1.3 という値は、発熱による FET のオン抵抗増大を加味するための係数です。この値 1.3 は使用せずに、FET のデータシートに掲載されている  $R_{DSON}$  の温度特性グラフから FET のオン抵抗を見積もることもできます。パワー FET のゲート容量を駆動する電流によって生じるゲート充電損失  $P_{GC}$  は、次式で近似できます。

$$P_{GC} = n \times (V_{LINS} - V_D) \times Q_{G-HI} \times f_{SW} \quad (\text{ハイサイド MOSFET})$$

$$P_{GC} = n \times V_{LINS} \times Q_{G-LO} \times f_{SW} \quad (\text{ローサイド MOSFET})$$

上記の式の  $Q_{G-HI}$  と  $Q_{G-LO}$  は、それぞれハイサイドとローサイドの FET のゲート電荷量です。係数「n」は FET の個数 (複数のデバイスを並列で使用した場合)、 $Q_G$  は FET の総ゲート電荷量です。異なるタイプの FET を複数個使用している場合は、「n」の項を無視して、ゲート電荷量の合計  $Q_G$  を使用します。ゲート充電損失は、実際の電力が FET 自体ではなく LM3495 によって消費されるという点で、伝導損失やスイッチング損失とは異なま

す。ゲート駆動電流が LM3495 内部のリニア・レギュレータを通して流れるときにも損失が発生します。損失のこの項は「効率の算出」に示す、「チップの動作損失」に含まれます。

スイッチング損失  $P_{SW}$  は、FET がターンオンおよびターンオフする際の短い過渡期間に発生します。この過渡期間に、FET のチャネルには電圧が印加され、電流が流れます。損失は次式で近似できます。

$$P_{SW} = 0.5 \times V_{IN} \times I_O \times (t_R + t_F) \times f_{SW}$$

$t_R$  および  $t_F$  は、それぞれ FET の立ち上がりおよび立ち下がり時間です。スイッチング損失はハイサイドの FET に対してのみ計算します。ローサイド FET のスイッチング損失は無視できます。ローサイド FET では、ボディ・ダイオードが FET 自体より先にターンオンするため、ターンオン前のドレイン・ソース間に電圧がほとんどかからないためです。

この例では、いずれかの FET に印加されるドレイン・ソース間電圧の最大値は 13.2V です。ゲートに印加される駆動電圧の最大値は、ハイサイド FET が 4.5V、ローサイド FET が 5V です。選定する FET は、すべてドレイン・ソース間耐圧が 13.2V にリンギングを加えた値より大きくなければなりません。また、ゲート・ソース間耐圧は、5V にリンギングを加えた値より大きくなければなりません。ハイサイド FET に推奨される選択例として、 $R_{DSON}$  が 9.6m、総ゲート電荷量  $Q_G$  が 11nC、立ち上がり時間と立ち下がり時間がそれぞれ 5ns と 8ns の FET などがあります。ローサイド FET については、 $R_{DSON} = 3.4m$ 、ゲート電荷量が 33nC の FET を一例として推奨します。これらは、FET のデータシートに記載された  $V_{GS} = 4.5V$  のときの値です。

### 出力インダクタ

出力インダクタを選定する場合に、第一の判断基準となるのはインダクタンスの値です。ほとんどの降圧型コンバータでは、目標とするリップル電流  $i_o$  に基づいてこの値を決めます。リップル電流は、負荷電流とともにインダクタを通して流れます。このリップル電流は ESR と出力コンデンサのインピーダンスを通して流れることにより、出力のリップル電圧  $V_O$  に変換されます。LM3495 独自の制御方式により、最小インダクタンスの値は、ローサイド FET の  $R_{DSON}$  と目標スイッチング周波数に基づく要件も満たさなければなりません。スイッチング周波数と同様に、使用するインダクタンスはサイズとコストのトレードオフで決まります。インダクタンスが大きいほど、電流リップルが小さくなり、したがって出力電圧のリップルも小さくなります。これに対し、インダクタンスが小さいほど、デバイスは小型かつ安価になります。検討を開始する初期値としては最大負荷電流の 30% ~ 40% のリップル電流が発生するインダクタンスがよいでしょう ( $i_o = 30\% \sim 40\% \times I_O$ )。この値と最大入力電圧を用いて、次式より最小インダクタンスを計算します。

$$L_{MIN1} = \frac{V_{IN(MAX)} - V_O}{f_{SW} \times \Delta i_o} \times D$$

A、V、MHz 単位で計算すると、インダクタンスの値は  $\mu H$  の単位で求められます。最小インダクタンスを決める、LM3495 固有の式がもう 1 つあります。

$$L_{MIN2} = \frac{64 \times (R_{DSON-LO} + R_{SNS})}{f_{SW}} \times \frac{V_{IN}}{V_{IN} + 2}$$

m、kHz 単位で計算すると、インダクタンスの値は  $\mu H$  の単位で求められます。

この設計においては、次のような式になります。

## 設計上の考慮事項 (つづき)

$$L_{\text{MIN1}} = \frac{13.2\text{V} - 1.2\text{V}}{500\text{ kHz} \times 3\text{A}} \times 0.1 = 0.8\ \mu\text{H}$$

$$L_{\text{MIN2}} = \frac{64 \times 3.4\ \text{m}\Omega}{500\text{ kHz}} \times \frac{12\text{V}}{12\text{V} + 2} = 0.4\ \mu\text{H}$$

両式のうち、大きなインダクタンスの値が得られた方を採用します。インダクタ選定の第2の基準は、ピーク電流容量、すなわちインダクタが飽和しない最大電流値です。インダクタが飽和すると、インダクタンスが著しく低下し、定格の20% ~ 30%になることも少なくありません。降圧型コンバータでは、ピーク電流  $I_{\text{PK}}$  は最大負荷電流にリップル電流の1/2を加えた値になります。この例では、次のように計算されます。

$$I_{\text{PK}} = 10\text{A} + 1.5\text{A} = 11.5\text{A}$$

以上より、選定するインダクタは、定格ピーク電流が11.5Aより大きく、平均電流定格が10Aより大きな製品でなければなりません。設計を確実なものとするために、出力短絡による最悪のケースのピーク電流を流しても、定格の約50%のインダクタンスを維持できるインダクタを選んでください。ローサイドの電流制限により、出力短絡時のピーク電流は、 $I_{\text{CL}} + i_{\text{(O-MAX)}}$  によって見積もることができます。 $i_{\text{(O-MAX)}}$  は、 $i_{\text{O}}$  の式の出力電圧に0を代入することによって求められます。ソフトな飽和特性のコア材を使用したインダクタを推奨します。上記のピーク電流に関する指針を満たすインダクタとして、ピーク電流18A、平均電流14Aに対応可能な、1.0 $\mu\text{H}$ の既製インダクタなどが挙げられます。選定したインダクタの実際のインダクタンス値  $L_{\text{ACTUAL}}$  を使って、インダクタのリップル電流とピーク電流を再計算します。最小インダクタンスの式を次のように変形して使用します。

$$\Delta i_{\text{O}} = \frac{V_{\text{IN(max)}} - V_{\text{O}}}{f_{\text{SW}} \times L_{\text{ACTUAL}}} \times D$$

$$\Delta i_{\text{O}} = \frac{13.2\text{V} - 1.2\text{V}}{0.5\text{ MHz} \times 1\ \mu\text{H}} \times 0.1 = 2.4\text{A}_{\text{P-P}}$$

$$I_{\text{PK}} = 10\text{A} + 2.4\text{A}/2 = 11.2\text{A}$$

## 出力コンデンサ

スイッチング・レギュレータの出力コンデンサは、容量値、等価直列抵抗 (ESR)、サイズ、コストに基づいて選定します。スイッチング・コンバータの重要な仕様として出力リップル電圧  $V_{\text{O}}$  があります。500kHzでは、ほとんどのコンデンサのインピーダンスはESRに比べて極めて小さくなります。したがって、選定の指針となるのは主としてESRです。この設計の負荷のリップル要件は1%であるため、 $V_{\text{O}}$  は10mV<sub>P-P</sub> になります。ESRの最大値は次式で与えられます。

$$\text{ESR}_{\text{MAX}} = \frac{\Delta V_{\text{O}}}{\Delta i_{\text{O}}}$$

$\text{ESR}_{\text{MAX}}$  は10m です。スイッチング・コンバータには、一般的に多層セラミック、アルミニウム電解、タンタル、固体アルミニウム、ニオブなどのコンデンサが使用されます。通常、ESRの目標を満たす数のコンデンサを並列接続すれば、無負荷から最大負荷への遷移時に負荷電流を供給するための十分なバリュク容量はあ

ずと得られます。この例では、負荷が0Aから5A (または5Aから0A) に急速に遷移する可能性があるため、中程度のバリュク容量が必要です。ESRが1.5m の定格100 $\mu\text{F}$ 、6.3VのMLCCコンデンサを2個使用すれば十分でしょう。

## VLIN5 のデカップリング・コンデンサ

LM3495のVLIN5ピンは、このピンとPGNDピンのできるだけ近くに配置した定格2.2 $\mu\text{F}$ 、10Vのセラミック・コンデンサによって必ずデカップリングしてください。デカップリング・コンデンサは、少なくともX5RまたはX7Rタイプの誘電体を使用したものとし、予想される電圧および温度の全範囲で安定した容量を得られるようにします。

## 入力コンデンサ

降圧型レギュレータの入力コンデンサは、ハイサイドFETがターンオンしたときにインダクタと負荷に流れこむ大きな電流パルスを平滑化するために使用します。このような大きなACストレスを受けることから、入力コンデンサは通常、バリュク容量より先定格AC rms電流に基づいて選定します。コンデンサの消費電力が低減されることから、ESRは小さい方が有利です。「出力コンデンサ」で述べたタイプのコンデンサは、いずれも使用可能ですが、一般的にはMLCCが用いられます。これは、MLCCのESRが小さく、通常、降圧型コンバータの入力には出力ほど大きなバリュク容量が必要ないためです。入力電流  $I_{\text{rms}}$  は次式より計算できます。

$$I_{\text{rms}} = I_{\text{O}} \times \sqrt{D(1-D)}$$

最大AC rms電流は、最大負荷電流の1/2で十分精度よく近似できます。したがって、この例の入力rms電流は3.5Aと見積もられます。使用するコンデンサのタイプや数に関係なく、すべての設計において、ハイサイドFETのドレインおよびローサイドFETのソースのそれぞれできる限り近くに、0.1 $\mu\text{F}$  ~ 1 $\mu\text{F}$ のセラミック・コンデンサを使用すると効果的です。

POL電源のほとんどのアプリケーションでは、入力電圧として他のスイッチング・コンバータの出力を使用します。このような出力は、多くの場合大きなバリュク容量を持ちます。したがって、22 $\mu\text{F}$ のMLCCコンデンサが1個あれば、局所的な平滑化には十分であり、ソースからの電源干渉を防止する十分な大きな入力インピーダンスも得られます。電源のスイッチングに使用する誘電体の最低品質はX5Rです。入力電圧12Vに対する、コンデンサの推奨定格電圧はDCバイアス時のMLCCの容量低下を考慮して25Vになります。サイズやコストの制約がある場合は、定格16Vのコンデンサも使用可能です。この例では、各コンデンサの電流定格は、最低でも3A rms が必要です。大容量のセラミック・コンデンサのESRは通常10m 未満であり、発熱は最小限に抑えられます。

## 電流制限

この設計では、電流制限回路を起動する電流を、出力インダクタのピーク電流定格18Aを超えないようにする必要があります。内部電流源の許容誤差やローサイドFETの $R_{\text{DS(ON)}}$ の変動を考慮し、インダクタの過熱を防止するために、15Aを目標としました。したがって、予想されるピーク電流11.2Aと電流制限のスレッシュホールドの間には3.8Aのマージンがあり、入力および負荷の変動にも対応できます。「アプリケーション情報」に示した式より、 $R_{\text{LIM}}$ の値は3.32k 1% となります。

## 設計上の考慮事項 (つぎ)

## 制御ループ補償

LM3495 はエミュレーテッド電流モード PWM 制御によって、入力および負荷の遷移による出力電圧の変動を補正します。この独自の方式は、電流モード制御が持つ高速な入力過渡応答特性と、非常に低いデューティ・サイクルにおける安定化機能を組み合わせたものです。さらに、エミュレーテッド電流モード制御の小信号特性は従来の電流モード制御とほぼ同じであるため、補償素子もほぼ同じ計算によって選定できるという利点があります。

制御ループは 2 つの部分からなります。第 1 の部分は、デューティ・サイクル変調器、出力フィルタ、負荷から構成されるパワー段です。第 2 の部分は、エラー・アンプです。このアンプは、トランスコンダクタンスが  $750 \mu\text{mho}$  ( $1/$  ), 出力インピーダンスが  $72\text{M}$  (いずれも代表値) の、トランスコンダクタンス ( $G_M$ ) アンプです。Figure 7 にレギュレータと電圧制御ループの構成要素を示します。

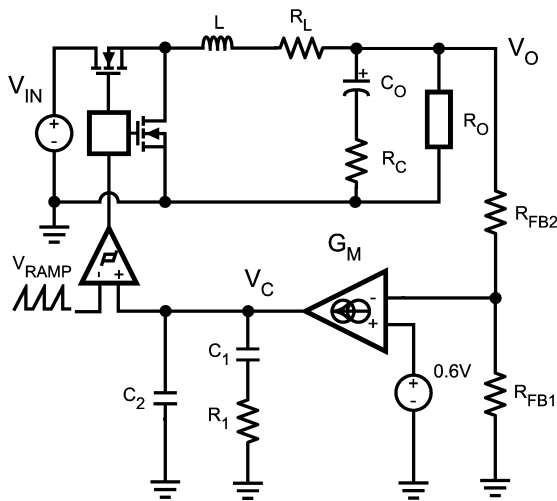


FIGURE 7. Power Stage and Error Amp

補償素子の選定には、パワー段とエラー・アンプの利得と位相をプロットしたボード線図を作成する方法が広く用いられています。パワー段とエラー・アンプを組み合わせ、レギュレータの総合的な帯域幅と位相余裕を簡単に決定できます。補償素子またはパワー段の変更がシステムの利得や位相にどのような影響を与えるかを調べるには、Excel、MathCAD、Matlab などのソフトウェア・ツールが有効です。

エミュレーテッド電流モード降圧型コンバータのパワー段の特性には、DC 利得 ( $A_{PS}$ )、低周波数側ポール ( $f_p$ )、ESR ゼロ周波数 ( $f_z$ )、検出された電流ランプとエミュレートされた電流ランプの比率で決まる高周波数側ポール ( $f_L$ ) などがああります。パワー段の伝達関数 (制御 - 出力伝達関数と呼ばれる場合もあります) は次のように表されます。

$$G_{PS} = A_{PS} \times \frac{1 + \frac{s}{\omega_z}}{\left(1 + \frac{s}{\omega_p}\right)\left(1 + \frac{s}{\omega_L}\right)}$$

DC 利得は次式で定義されます。

$$A_{PS} = \frac{R_O}{G_I \times R_S} \times \frac{1}{1 + \frac{(R_O + R_L) \times (m_C - 0.5)}{L1 \times f_{SW}}}$$

各項の詳細は次のとおりです。

$$R_S = R_{DSON-LO} + R_{SNS}$$

$$m_C = \frac{S_e}{S_n}$$

$$G_I = 4$$

$$S_e = \left(\frac{V_{IN}}{16} + 0.125\right) \times f_{SW}$$

$$S_n = \frac{V_{IN} \times G_I \times R_S}{L1}$$

$$\omega_z = \frac{1}{R_C \times C_O}$$

低周波数側のポール周波数は次式で求められます。

$$\omega_p = \frac{1}{R_O \times C_O} + \frac{m_C - 0.5}{L \times C_O \times f_{SW}}$$

高周波数側のポール周波数は次式で求められます。

$$\omega_L = \frac{f_{SW}}{m_C - 0.5}$$

$A_{PS}$  の式の出力抵抗  $R_O$  は、出力電圧を出力電流で割った値です。DC 利得は、出力電流が最小のときに最大になります。ワースト・ケースに対応できる設計とするために、 $R_O$  は最小負荷電流に対して計算します。この例では、最小負荷が規定されていないため、 $100\text{mA}$  の負荷を使用します ( $R_O = 12$ )。

以上より、この例の値を計算すると、DC 利得  $A_{PS} = 24\text{dB}$ 、低周波数側ポールの周波数  $f_p = \frac{p}{2} = 2.7\text{kHz}$ 、ESR ゼロ周波数  $f_z = \frac{z}{2} = 1.06\text{MHz}$ 、高周波数側ポールの周波数  $f_L = 48\text{kHz}$  となります。Figure 8 に、パワー段の利得と位相のプロットを示します。

## 設計上の考慮事項 (つづき)

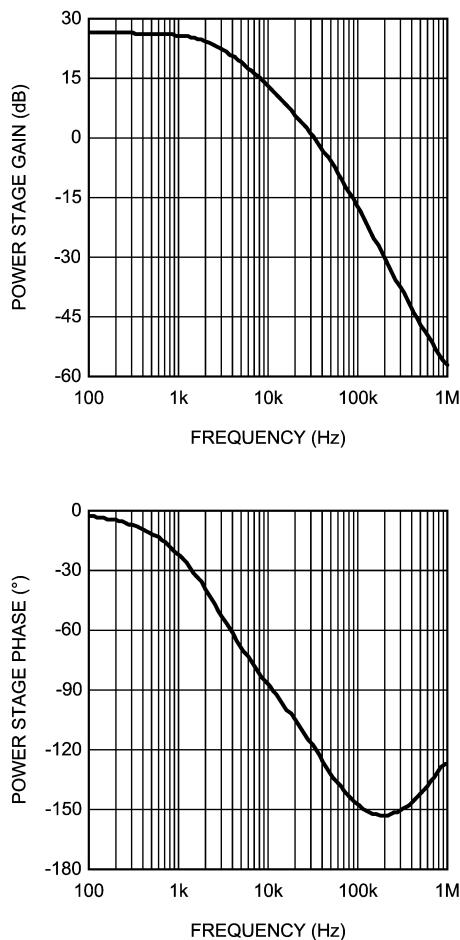


FIGURE 8. Power Stage Gain and Phase

低周波数側のポールおよび高周波数側のポールによって、低周波数側には -20dB/ デイケド、高周波数側には -40dB/ デイケドのロールオフが発生します。ESR ゼロ周波数は、スイッチング周波数の範囲を外れているため、その効果は見られません。補償しない状態では、このループの帯域幅は 39kHz、位相余裕は 58 になります。したがって、ループは安定していますが、DC 利得が小さいため出力電圧の安定化特性が悪くなります。実際には、このループの特性は、出力インダクタや出力コンデンサの許容誤差、出力電流の変動、入力電圧などによって著しく変化する可能性があります。このため、エラー・アンプや数個の受動素子を用いてループを補償します。

通常、補償回路の目的はスイッチング周波数の 1/5 から 1/10 に至る帯域幅と、最低でも 45 の位相余裕を得ることです。「代表的なアプリケーション回路」に示したように、降圧型レギュレータは、電流モード、エミュレーテッド電流モードのいずれも、2 つの素子  $R_1$  と  $C_1$  だけで補償できます。パワー段の ESR ゼロ周波数がスイッチング周波数の 1/2 未満の場合、コンデンサをもう 1 個 ( $C_2$ ) 加えて、補償特性にポールを追加しなければならない場合があります。パワー段の ESR ゼロ周波数が制御ループの帯域幅を超えている場合、十分な位相容量を確保するために、帯域幅を犠牲にする必要があります。補償ブロックの伝達関数  $G_{EA}$  は、エラー・アンプの DC 利得にインピーダンス  $Z_C = (R_1 + 1/sC_1) \parallel (1/sC_2)$  を掛けることにより求められ、次のような式になります。

$$G_{EA} = g_m \times \frac{V_{FB}}{V_O} \times \frac{sR_1C_1 + 1}{s \times (sR_1C_1C_2 + C_1 + C_2)}$$

この伝達関数には原点にポールが 1 つ、 $1/(2 R_1C_1)$  の位置にゼロ周波数が 1 つ、 $C_2$  を使用する場合は、およそ  $1/(2 R_1C_2)$  の位置にもう 1 つのポールがあります。 $C_2$  を使用しない場合は、COMP/SD ピンとグラウンド間の寄生容量として、デフォルト値の 10pF を代入します。

$R_1$  の値は次式より計算できます。

$$R_1 = \frac{B}{g_m}$$

$B$  の値は、目標とするクロスオーバー周波数におけるパワー段の伝達関数を検討するか、パワー段の利得のプロットから読み取って決定します。 $B$  をリニア・アンプの利得の逆数に等しくすると、クロスオーバー周波数におけるループの総利得が強制的に 1 (0dB) になります。この例では、目標クロスオーバー周波数はスイッチング周波数の 1/10、すなわち 50kHz です。50kHz における  $G_{PS}$  は約 -4dB、すなわち 0.63V/V です。これは  $f_z = f_{SW}$  のシステムであることを意味しています。次に、 $B$  の値を 1.58V/V に設定して、位相余裕が 45 になるまで 0.1V/V ずつ増やしていきます。この例では、 $B = 2.8V/V$  のとき位相は 45 です。

$R_1$  を選定したら、次式に示すとおり、 $R_1$  の値を使って  $C_1$  を計算します。

$$C_1 = \frac{1}{2\pi \times R_1 \times f_p}$$

$R_1 = 3.73k$ 、 $C_1 = 15.7nF$  になります。 $R_1$  には最も近い 1% 値を、 $C_1$  には最も近い 10% 値を適用します。

$R_1 = 3.74k$  1%

$C_1 = 15nF$  10%

LM3495 のエラー・アンプのユニティ・ゲイン帯域幅は 10MHz です。この制約の効果をモデル化するために、開ループ利得 OPG を次式より計算します。

$$OPG = \frac{2\pi \times 10 \text{ MHz}}{s + \frac{2\pi \times 10 \text{ MHz}}{g_m \times 72 \text{ M}\Omega}}$$

エラー・アンプのユニティ・ゲイン帯域幅を考慮した新しい伝達関数は次のようになります。

$$G_{EA-ACTUAL} = \frac{G_{EA} \times OPG}{1 + G_{EA} + OPG}$$

エラー・アンプの利得と位相を Figure 9 に示します。

## 設計上の考慮事項 (つづき)

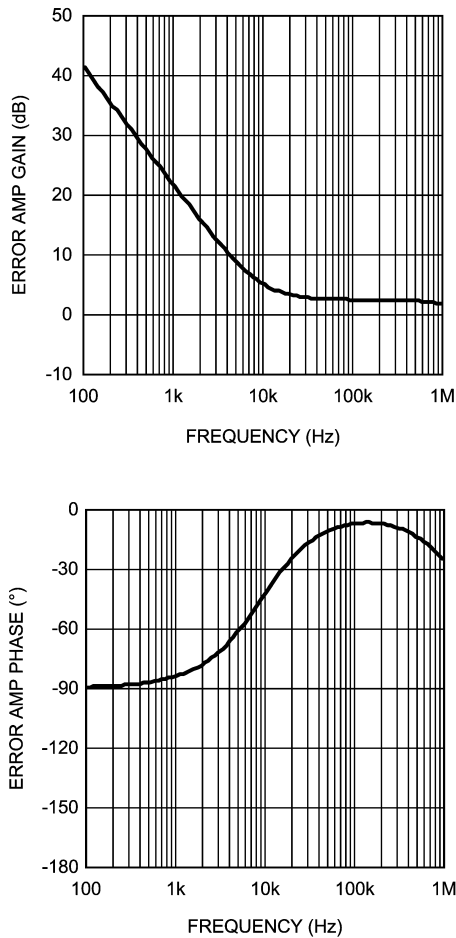


FIGURE 9. Error Amplifier Gain and Phase

総合的な制御ループ伝達関数  $H$  は、パワー段の伝達関数にエラー・アンプの伝達関数を掛けたものになります。帯域幅と位相余裕は、Figure 10 に示す  $H$  のボード線図のプロットより読み取ることができます。

$$H = G_{PS} \times G_{EA-ACTUAL}$$

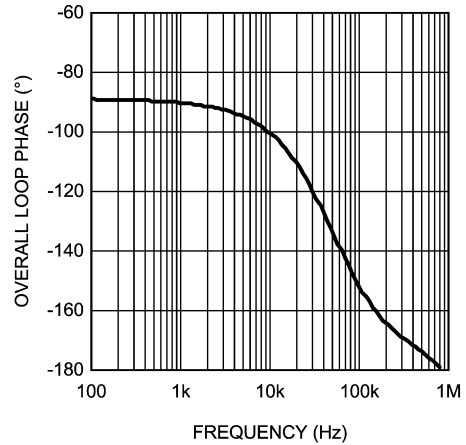
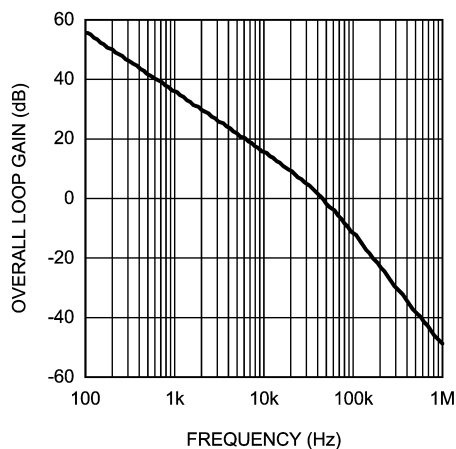


FIGURE 10. Overall Loop Gain and Phase

この回路例では、帯域幅が 49kHz、位相余裕が 46 になります。

## 効率の算出

LM3495 制御による降圧型レギュレータの効率  $\eta$  は、電流を流す各素子の損失を合計し ( $P_{TOTAL-LOSS}$ )、次式を使って妥当な値を見積もれます。

$$\eta = \frac{P_O}{P_O + P_{TOTAL-LOSS}}$$

以下に、「代表的なアプリケーション回路」の効率計算を示します。この回路の出力電力は、 $P_O = 1.2V \times 10A = 12W$  です。入力電圧を 12V、コンバータは CCM で動作しているものとして計算します。

## チップの動作損失

この項は  $V_{IN}$  ピンに流れ込む電流に対応しています。この電流  $I_{IN}$  は、ロジック回路とパワー FET を駆動します。「設計上の考慮事項」のパワー FET の項で述べたゲート駆動損失は、このチップ動作損失に含まれます。LM3495 の場合、 $I_{IN}$  は定常動作の電流  $I_Q$  に FET の駆動電流  $I_{GC}$  を加えたものに等しくなります。この  $I_{IN}$  が LM3495 内部のリニア・レギュレータを通して流れるときに電力損失が発生します。

$$I_{GC} = (Q_{G-HI} + Q_{G-LO}) \times f_{OSC}$$

$$I_{GC} = (11nC + 33nC) \times 500kHz = 22mA$$

「電気的特性」の表より、 $I_Q$  の代表値は 1.8mA です。したがって、チップ動作損失は次のように求められます。

$$P_Q = V_{IN} \times (I_Q + I_{GC})$$

$$P_Q = 12V \times (1.8mA + 22mA) = 0.29W$$

## ハイサイド FET のスイッチング損失

$$P_{SW} = 0.5 \times V_{IN} \times I_O \times (t_r + t_f) \times f_{SW}$$

$$P_{SW} = 0.5 \times 12V \times 10A \times (5ns + 8ns) \times 500kHz = 0.39W$$

## FET の伝導損失

$$P_C = D(I_O^2 \times R_{DS(ON)-HI} \times 1.3)$$

$$P_{C-HI} = 0.1 \times (100 \times 0.013) = 0.13W$$

$$P_C = (1 - D)(I_O^2 \times R_{DS(ON)-LO} \times 1.3)$$

$$P_{C-LO} = 0.9 \times (100 \times 0.0044) = 0.40W$$

## 効率の算出 ( つづき )

### $R_{SNS}$ 損失 ( 使用している場合 )

$$P_{SNS} = (1 - D)(I_O)^2 \times R_{SNS}$$

この項では使用しません。

### 入力コンデンサの損失

この項は、入力リップル電流が入力コンデンサ・バンクの ESR を通して流れるときに発生する損失を表します。この式の「 $n$ 」は並列接続したコンデンサの数です。

$$P_{IN} = \frac{I_{rms-IN}^2 \times ESR}{n}$$

$$I_{rms-IN} = I_O \times \sqrt{D(1 - D)}$$

$$I_{rms-IN} = 10 \times \sqrt{0.1(0.9)} = 3A$$

$$P_{IN} = (3A)^2 \times 2m = 0.018W$$

### 出力インダクタの損失

$$P_{LOUT} = (I_O)^2 \times R_L$$

$$P_{LOUT} = (10A)^2 \times 3m = 0.3W$$

### 総損失

$$P_{LOSS} = 1.53W$$

### 効率

$$= 12W / (12W + 1.50W) = 88\%$$

## 基板レイアウトの考慮事項

LM3495 を用いた電源ソリューションを最適化するには、回路基板の適切なレイアウト設計が素子の選択に劣らず重要です。以下に、適切なレイアウトを行うための指針を示します。

## センス・ラインのケルビン配線

ローサイド FET のピンは、SW/CSH および CSL ピンのできる限り近くに接続します。各ピンには独立したパターンで配線し、同相ノイズを除去するために互いに平行に配線します。小型化設計においては困難な場合がありますが可能であれば、これらの配線を出力インダクタから遠ざけ、浮遊磁束のカップリングを防止します。

SNS ピンについても、出力コンデンサの正側ピン / パッドから SNS ピンまで、独立したケルビン配線経路によって接続します。この配線パターンは、フィードバック抵抗の上側ノードへの接続にも使用します。配線はスイッチ・ノードおよび出力インダクタから遠ざけます。

## PGND と SGND の分離

優れたレイアウト手法では、通常は基板内部の層を用いた、専用のグラウンド・プレーンを用います。補償および帰還抵抗などの信号レベルの素子は、この内部グラウンド・プレーンを使用した信号グラウンド SGND に接続します。グラウンド・プレーンの SGND ノードは、電源グラウンド PGND と 1 個所だけで接続します。SGND と PGND は、SGND ピンの位置で接続するのが最適です。

## スイッチ・ノードの最小化

パワー FET と出力インダクタを接続するプレーンは大きくなればなるほど、放射する EMI が増加します。スイッチング電流に対して十分低いインピーダンスが得られれば、銅箔面積はできる限り小さくします。

## 電源経路の低インピーダンス化

電源経路には、入力コンデンサ、パワー FET、出力インダクタ、出力コンデンサなどが接続されます。これらの素子は PCB の同じ面に配置し、同層の厚い配線経路またはプレーンによって接続します。ビアは電源経路に抵抗とインダクタンスを付加します。また、PCB の内部プレーンへのビア接続は、PCB 裏面への接続に比べてインピーダンスが高くなります。大きなスイッチング電流をビアまたは内部プレーン ( あるいは、これら両方 ) を通して流す必要がある場合は、ビアを並列に複数個使用して抵抗とインダクタンスを低減します。電源素子は近接して配置します。これらの素子を接続する配線経路は長くなればなるほどアンテナとして働き、不要な EMI を放射します。

Table 1: Bill of Materials for 6.0V to 18.0V Input, 1.0V Output, 7A, 500 kHz

ID	Part Number	Type	Size	Parameters	Qty	Vendor
U1	LM3495	Synchronous Controller	TSSOP-16		1	NSC
Q1	Si4894DY	N-MOSFET	SO-8	30V, 15m $\Omega$ , 11.5nC	1	Vishay
Q2	Si4442DY	N-MOSFET	SO-8	30V, 4.1m $\Omega$ , 36nC	1	Vishay
D1	MBR0530	Schottky Diode	SMA	30V, 0.5A	1	Vishay
L1	RLF12545T-2R7N8R7	Inductor	12.5x12.8 x 4.7mm	2.7 $\mu$ H 8.7A 4.5m $\Omega$	1	TDK
C <sub>IN1</sub> , C <sub>IN2</sub>	C3225X5R1E106M	Capacitor	1210	22 $\mu$ F, 25V	2	TDK
C <sub>O1</sub>	6TPD470M	Capacitor	7.3x4.3 x3.8	470 $\mu$ F 6.3V 10m $\Omega$	1	Sanyo
C <sub>F</sub>	C2012X7R1E105M	Capacitor	0805	1 $\mu$ F, 25V	1	TDK
C <sub>DD</sub>	C2012X7R1C225M	Capacitor	0805	2.2 $\mu$ F 16V	1	TDK
C <sub>B</sub> , C <sub>INX</sub>	VJ0805Y104KXXAT	Capacitor	0805	100nF 10%	2	Vishay
C <sub>C1</sub>	VJ0805Y822KXXAT	Capacitor	0805	8.2nF 10%	1	Vishay
C <sub>C2</sub>	VJ0805A1012KXXAT	Capacitor	0805	100pF 10%	1	Vishay
R <sub>C1</sub>	CRCW08055761F	Resistor	0805	5.76k $\Omega$ 1%	1	Vishay
R <sub>FB1</sub>	CRCW080510502F	Resistor	0805	15k $\Omega$ 1%	1	Vishay
R <sub>FB2</sub>	CRCW08051002F	Resistor	0805	10k $\Omega$ 1%	1	Vishay
R <sub>FRQ</sub>	CRCW08055492F	Resistor	0805	54.9k $\Omega$ 1%	1	Vishay
R <sub>LIM</sub>	CRCW08052671F	Resistor	0805	2.67k $\Omega$ 1%	1	Vishay

Table 2: Bill of Materials for 3.0V to 6.0V Input, 2.2V Output, 7A, 500 kHz

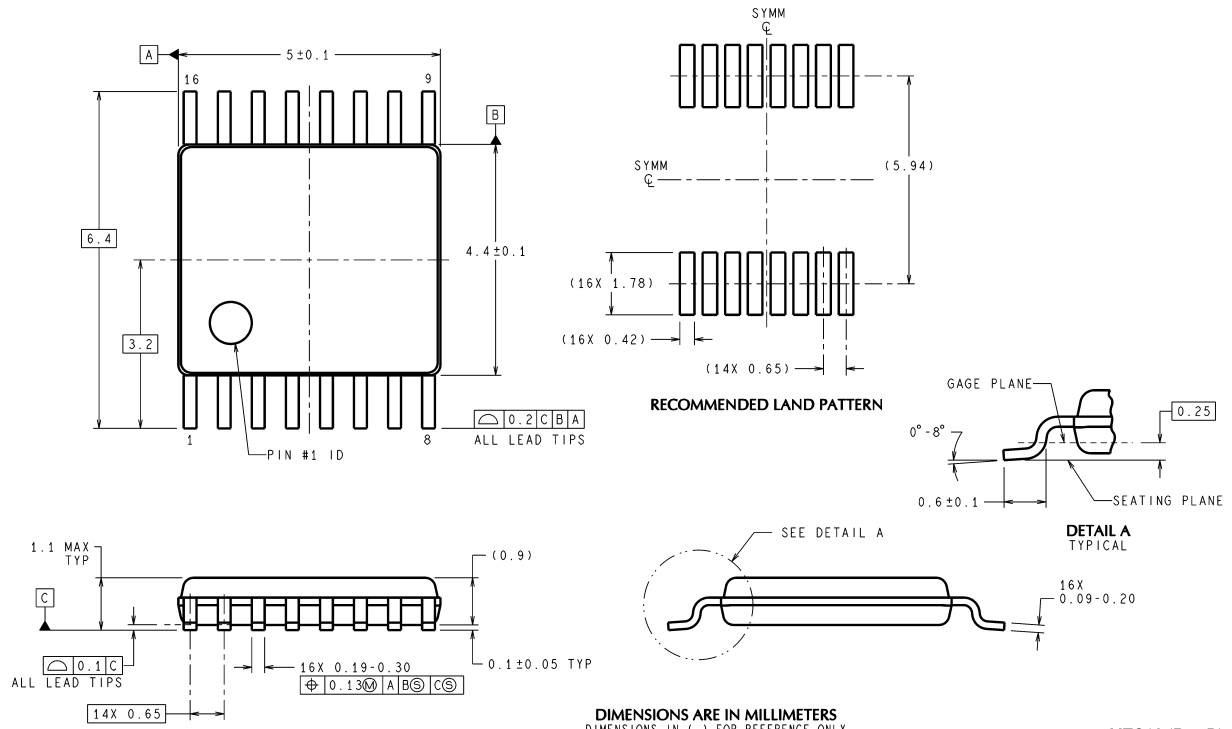
ID	Part Number	Type	Size	Parameters	Qty	Vendor
U1	LM3495	Synchronous Controller	TSSOP-16		1	NSC
Q1	Si4866DY	N-MOSFET	SO-8	12V, 6.5m $\Omega$ , 21nC	1	Vishay
Q2	Si4838DY	N-MOSFET	SO-8	12V, 3.1m $\Omega$ , 40nC	1	Vishay
D1	MBR0530	Schottky Diode	SMA	30V, 0.5A	1	Vishay
L1	MSS1260-102NX	Inductor	12.3x12.3 x 6mm	1 $\mu$ H 8A 10m $\Omega$	1	Coilcraft
C <sub>IN1</sub> , C <sub>IN2</sub>	C3225X5R1A226M	Capacitor	1210	22 $\mu$ F, 10V	2	TDK
C <sub>O1</sub>	6TPD470M	Capacitor	7.3x4.3 x3.8	470 $\mu$ F 6.3V 10m $\Omega$	2	Sanyo
C <sub>F</sub>	C2012X7R1E105M	Capacitor	0805	1 $\mu$ F, 25V	1	TDK
C <sub>DD</sub>	C2012X7R1C225M	Capacitor	0805	2.2 $\mu$ F 16V	1	TDK
C <sub>B</sub> , C <sub>INX</sub>	VJ0805Y104KXXAT	Capacitor	0805	100nF 10%	2	Vishay
C <sub>C1</sub>	VJ0805Y472KXXAT	Capacitor	0805	4.7nF 10%	1	Vishay
R <sub>C1</sub>	CRCW08051742F	Resistor	0805	17.4k $\Omega$ 1%	1	Vishay
R <sub>FB1</sub>	CRCW08053741F	Resistor	0805	3.74k $\Omega$ 1%	1	Vishay
R <sub>FB2</sub>	CRCW08051002F	Resistor	0805	10k $\Omega$ 1%	2	Vishay
R <sub>FRQ</sub>	CRCW08055492F	Resistor	0805	54.9k $\Omega$ 1%	1	Vishay
R <sub>LIM</sub>	CRCW08052051F	Resistor	0805	2.05k $\Omega$ 1%	1	Vishay



Table 3: Bill of Materials for Typical Application Circuit

ID	Part Number	Type	Size	Parameters	Qty	Vendor
U1	LM3495	Synchronous Controller	TSSOP-16		1	NSC
Q1	HAT2198R	N-MOSFET	SO-8	30V, 9.6m $\Omega$ , 11nC	1	Renesas
Q2	HAT2165H	N-MOSFET	LFPK	30V, 3.4m $\Omega$ , 33nC	1	Renesas
D1	MBR0530	Schottky Diode	SMA	30V, 0.5A	1	Vishay
L1	RLF12560T-1R0N140	Inductor	12.5x12.8 x 6mm	1 $\mu$ H 14A 3m $\Omega$	1	TDK
C <sub>IN</sub>	C3225X5R1E226M	Capacitor	1210	22 $\mu$ F, 25V	1	TDK
C <sub>O1</sub> , C <sub>O2</sub>	C3225X5R0J107M	Capacitor	1210	100 $\mu$ F 6.3V 1.5m $\Omega$	2	TDK
C <sub>F</sub>	C2012X7R1E105M	Capacitor	0805	1 $\mu$ F, 25V	1	TDK
C <sub>DD</sub>	C2012X7R1C225M	Capacitor	0805	2.2 $\mu$ F 16V	1	TDK
C <sub>B</sub> , C <sub>INX</sub>	VJ0805Y104KXXAT	Capacitor	0805	100nF 10%	2	Vishay
C <sub>C1</sub>	VJ0805Y103KXXAT	Capacitor	0805	10nF 10%	1	Vishay
R <sub>C1</sub>	CRCW08051501F	Resistor	0805	1.5k $\Omega$ 1%	1	Vishay
R <sub>FB1</sub> , R <sub>FB2</sub>	CRCW08051002F	Resistor	0805	10k $\Omega$ 1%	2	Vishay
R <sub>FRQ</sub>	CRCW08055492F	Resistor	0805	54.9k $\Omega$ 1%	1	Vishay
R <sub>LIM</sub>	CRCW08053321F	Resistor	0805	3.32k $\Omega$ 1%	1	Vishay

外形寸法図 単位は millimeters



**16-Lead Plastic**  
**Order Number LM3495MTC/MTCX**  
**NS Package Number MTC16**

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

#### 生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2007 National Semiconductor Corporation  
製品の最新情報については [www.national.com](http://www.national.com) をご覧ください。

## ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

[www.national.com/jpn/](http://www.national.com/jpn/)

# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは承認することを含みません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上