

# **LMH0040,LMH0050,LMH0070,LMH0340**

*LMH0340, LMH0040, LMH0070, LMH0050 3 Gbps, HD, SD, DVB-ASI SDI Serializer  
and Cable Driver with LVDS Interface*



Literature Number: JAJSAT3

## LVDS インタフェースを備えた 3Gbps、HD、SD、 DVB-ASI SDI シリアライザとケーブル・ドライバ

### 概要

LMH0340/0040/0070/0050 SDI シリアライザは、FPGA とともに使用するナショナル セミコンダクターの SER/DES ファミリの製品で、5ビットLVDSを通じてFPGAにインタフェースします。FPGA ホストは、LMH0340 の出力が DVB-ASI、SMPTE 259M-C、SMPTE 292M、SMPTE 424M の規格の要件に準拠するように、付属のIPを使用してデータをフォーマットします。各デバイスが対応する規格は Table 1 を参照してください。

SER (シリアライザ) と FPGA とのインタフェースは、5 ビット幅の LVDS データ・バス、LVDS クロック、SMBus インタフェースで構成されます。LMH0340/0040/0070 SER デバイスは、前述の SMPTE 仕様のすべてに完全準拠する統合ケーブル・ドライバを装備しています。LMH0050 は、差動伝送ライン、またはケーブル・ドライバのインタフェースを駆動できる CML 出力ドライバを装備しています。

これらの SER/DES ファミリには FPGA 用 IP コードのサポートがあり、設計エンジニアは SER/DES 製品を使用してビデオ・アプリケーションを迅速に開発できます。SER は小型の 48 ピン LLP パッケージで提供されます。

### 主な仕様

- SMPTE 424M、SMPTE 292M、SMPTE 259M-C、DVB-ASI に準拠する出力 (Table 1 を参照)
- 消費電力 (typ): 440mW
- 代表的な出力ジッタが 30ps (HD、3G)

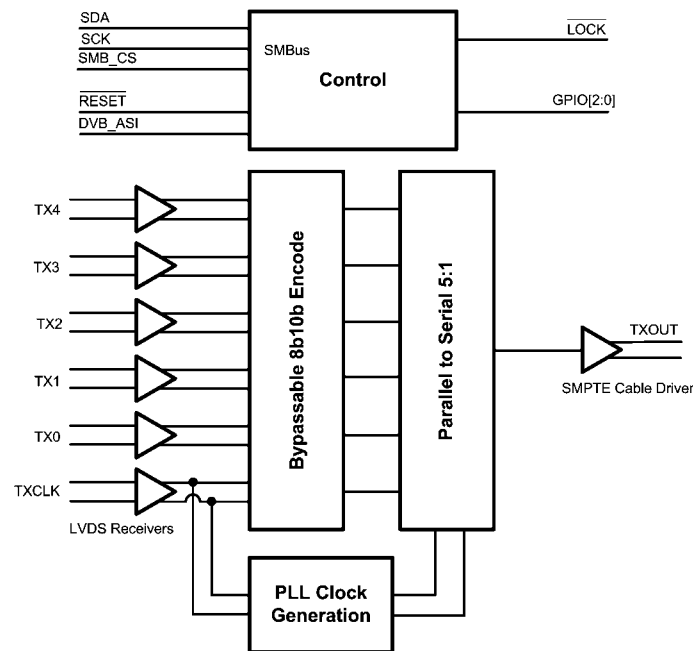
### 特長

- ホスト FPGA への LVDS インタフェース
- 外付けの VCO や参照クロックが不要
- 統合可変出力ケーブル・ドライバ
- 3.3V SMBus 構成インタフェース
- 統合 TXCLK PLL がクロック・ノイズを除去
- 小型 48 ピン LLP パッケージ
- 工業用温度範囲 - 40 °C ~ + 85 °C

### アプリケーション

- 以下に対応する SDI インタフェース
  - ビデオ・カメラ
  - DVR
  - ビデオ・スイッチャ
  - ビデオ編集システム

### 一般的なブロック図



TRI-STATER<sup>®</sup> はナショナル セミコンダクターの登録商標です。

## ピン説明

ピン名称	I/O 種別	説明
<b>LVDS 入力インタフェース</b>		
TX[4:0] + TX[4:0] -	入力、LVDS	LVDS データ入力ピン 5 チャンネル幅 DDR インタフェース。内蔵の 100 Ω の終端。
TXCLK + TXCLK -	入力、LVDS	LVDS クロック入力ピン DDR インタフェース。内蔵の 100 Ω の終端。
<b>シリアル出力インタフェース</b>		
TXOUT +	出力、CML	シリアル・デジタル・インタフェース出力ピン 非反転出力
TXOUT -	出力、CML	シリアル・デジタル・インタフェース出力ピン 反転出力
<b>SMBus インタフェース</b>		
SDA	入出力、LVCMOS	SMBus データ入出力ピン
SCK	入力、LVCMOS	SMBus クロック入力ピン
SMB_CS	入力、LVCMOS	SMBus チップ選択入力ピン High のときにデバイスが選択されます。
<b>制御と設定ピン</b>		
リセット	入力、LVCMOS	リセット入力ピン H = 通常モード L = デバイス・リセット状態
LOCK	出力、LVCMOS	PLL ロック状態出力 H = ロックされていない L = デバイスがロックされている
DVB_ASI	入力、LVCMOS	DVB_ASI 選択入力 H = DVB_ASI モードがイネーブル L = 通常モードがイネーブル
GPIO[2:0]	入出力、LVCMOS	汎用入出力 ソフトウェアで設定可能な入出力ピン
RSVD_H	入力、LVCMOS	設定入力 - <b>High に接続しなければなりません。</b> 5k Ω 抵抗にて V <sub>DD3V3</sub> にプルアップ
<b>アナログ入力</b>		
R <sub>SET</sub>	入力、アナログ	シリアル出力振幅調整 このピンからグラウンドに接続される抵抗で信号振幅を設定します。 通常は、800mV 出力を得るため 8.06k Ω (SMPTE) を使用します。
LF_CP	入力、アナログ	ループ・フィルタ接続
LF_REF	入力、アナログ	ループ・フィルタ・リファレンス
DNC		接続せずに、開放のままにしてください。
<b>電源とグラウンド</b>		
V <sub>DD3V3</sub>	電源	3.3V 電源
V <sub>DDPLL</sub>	電源	3.3V PLL 電源
V <sub>DD2V5</sub>	電源	2.5V 電源
GND	グラウンド	グラウンド -DAP (大きな中央のパッド) はデバイスの主要な GND であり、GND ピンとともにグラウンドに接続しなければなりません。

TABLE 1. Feature Table

Device	SMPTE 424M Support (3G)	SMPTE 292M Support (HD)	SMPTE 259M Support (SD)	DVB-ASI Support	SMPTE compliant Cable Driver
LMH0340	X	X	X	X	X
LMH0040		X	X	X	X
LMH0070			X	X	X
LMH0050		X	X	X	

**絶対最大定格** (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。  
関連する電氣的信頼性試験方法の規格を参照ください。

電源電圧 (V <sub>DD3V3</sub> )	- 0.3V ~ + 4.0V
電源電圧 (V <sub>DD2V5</sub> )	- 0.3V ~ + 3.0V
LVCMOS 入力電圧	- 0.3V ~ (V <sub>DD3V3</sub> + 0.3V)
LVCMOS 出力電圧	- 0.3V ~ (V <sub>DD3V3</sub> + 0.3V)
SMBus 入出力電圧	- 0.3V ~ + 3.6V

LVDS 入力電圧	- 0.3V ~ + 3.6V
接合部温度	+ 150 °C
保存温度範囲	- 65 °C ~ + 150 °C
熱抵抗 — 接合部 ~ 周囲間 — $\theta_{JA}$	25 °C /W
ESD 耐圧 — 人体モデル、 1.5k $\Omega$ 、100pF	$\geq \pm 8$ kV

**推奨動作条件**

Parameter	Min	Typ	Max	Units
Supply Voltage (V <sub>DD3V3</sub> -GND)	3.135	3.3	3.465	V
Supply Voltage (V <sub>DD2V5</sub> -GND)	2.375	2.5	2.625	V
Supply noise amplitude (10 Hz to 50 MHz)			100	mV <sub>p,p</sub>
Ambient Temperature	-40	+25	+85	°C
Case Temperature			100	°C
TXCLK input frequency – LMH0340	27		297	MHz
TXCLK input frequency – LMH0040	27		149	MHz
TXCLK input frequency – LMH0070	26.5	27	28	MHz
TXCLK input frequency – LMH0050	27		149	MHz
LVDS PCB board trace length (mismatch <2%)			25	cm
Output Driver Pullup Resistor Termination Voltage (Note 10)		2.5	2.625	V

**電氣的特性**

特記のない限り、推奨動作条件に記載の電源電圧および動作周囲温度に対して適用 (Note 2)。

Symbol	Parameter	Condition	Min	Typ	Max	Units
I <sub>DD2.5</sub>	2.5V supply current for LMH0340, LMH0040, or LMH0070	2.97 Gbps		93	102	mA
		1.485 Gbps		80	87	mA
		270 Mbps		63	69	mA
	2.5V supply current for LMH0050	1.485 Gbps		87	95	mA
		270 Mbps		70	75	mA
I <sub>DD3.3</sub>	3.3V supply current for LMH0340, LMH0040, or LMH0070	2.97 Gbps		73	85	mA
		1.485 Gbps		73	85	mA
		270 Mbps		73	85	mA
	3.3V supply current for LMH0050	1.485 Gbps		73	85	mA
		270 Mbps		73	85	mA
PD	Power Consumption	LMH0340 - 2.97 Gbps		475	545	mW
		LMH0040 - 1.485 Gbps		440	510	mW
		LMH0050 - 1.485 Gbps		460	525	mW
		LMH0050 - 270 Mbps		415	485	mW
		LMH0070 - 270 Mbps		400	470	mW

**制御ピンの電氣的特性**

特記のない限り、推奨動作条件に記載の電源電圧および動作周囲温度に対して適用。DVB\_ASI、RESET、GPIO[2:0]、LOCK に適用 (Note 2)。

Symbol	Parameter	Condition	Min	Typ	Max	Units
V <sub>IH</sub>	High Level Input Voltage		2.0		V <sub>DD3V3</sub>	V
V <sub>IL</sub>	Low Level Input Voltage		0		0.8	V
V <sub>OH</sub>	High Level Output Voltage	I <sub>OH</sub> = -2 mA	2.7	3.3		V
V <sub>OL</sub>	Low Level Output Voltage	I <sub>OL</sub> = 2 mA			0.3	V
V <sub>CL</sub>	Input Clamp Voltage	I <sub>CL</sub> = -18 mA		-0.79	-1.5	V

### 電気的特性 (つづき)

特記のない限り、推奨動作条件に記載の電源電圧および動作周囲温度に対して適用 (Note 2)。

Symbol	Parameter	Condition	Min	Typ	Max	Units
$I_{IN}$	Input Current	$V_{IN}=0.4V, 2.5V$ or $V_{DD}$	-35		35	$\mu A$
$I_{OS}$	Output Short Circuit Current	$V_{OUT}=0V$		-40		mA

### LVDS 入力の電気的特性

特記のない限り、推奨動作条件に記載の電源電圧および動作周囲温度に対して適用 (Note 2)。

Symbol	Parameter	Condition	Min	Typ	Max	Units
$V_{TH}$	Differential Input High threshold	$0.05V < V_{CM} < 2.4V$			+100	mV
$V_{TL}$	Differential Input Low threshold		-100			mV
$R_{LVIN}$	Input Impedance	Measured between LVDS pairs	85	100	115	$\Omega$

### LVDS スイッチング特性

特記のない限り、推奨動作条件に記載の電源電圧および動作周囲温度に対して適用 (Note 2)。

Symbol	Parameter	Condition	Min	Typ	Max	Units
$t_{CIP}$	TxCLKIN Period	See Figure 1	3.2	2T	37	ns
$t_{CIT}$	TxCLKIN Transition Time	See Figure 2	0.5	1.0	3.0	ns
$t_{CIH}$	TxCLKIN IN High Time	See Figure 1	0.7T	T	1.3T	ns
$t_{CIL}$	TxCLKIN IN Low Time	See Figure 1	0.7T	T	1.3T	ns
$t_{XIT}$	TxIN Transition Time		0.15		3	ns
$t_{STC}$	TxIN Setup to TxCLKIN	See Figure 1, (Note 11)	-550			ps
$t_{HTC}$	TxIN Hold to TxCLKIN		900			ps

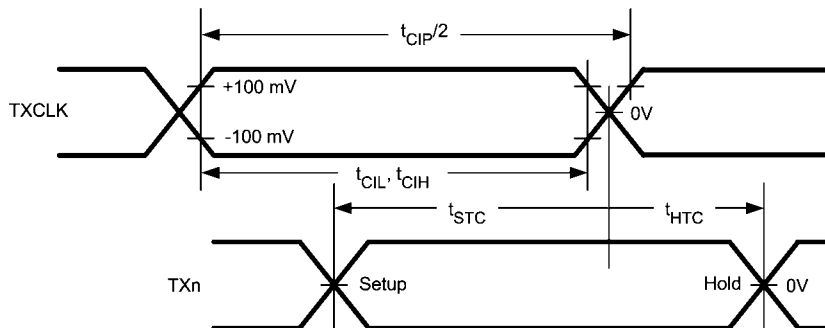


FIGURE 1. LVDS Input Timing Diagram



FIGURE 2. Transmit Clock Transition Times

### SMBus 入力の電气的特性

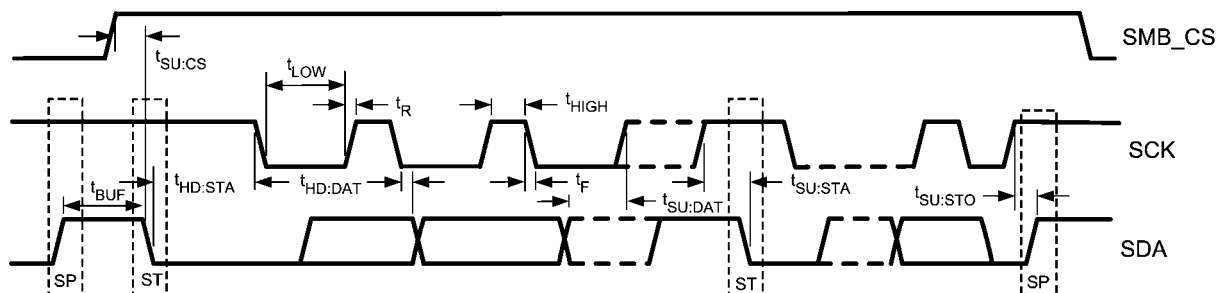
特記のない限り、推奨動作条件に記載の電源電圧および動作周囲温度に対して適用 (Note 2)。

Symbol	Parameter	Condition	Min	Typ	Max	Units
$V_{SIL}$	Data, Clock Input Low Voltage				0.8	V
$V_{SIH}$	Data, Clock Input High Voltage		2		$V_{SDD}$	V
$I_{SPULLUP}$	Current through pull-up resistor or current source	(Note 3)	4			mA
$V_{SDD}$	Nominal Bus Voltage		2.375		3.6	V
$I_{SLEAKB}$	Input Leakage per bus segment	(Note 3)	-200		200	$\mu$ A
$I_{SLEAKP}$	Input Leakage per pin		-10		10	$\mu$ A
$C_{SI}$	Capacitance for SMBdata and SMBclk	(Note 3, Note 4)			10	pF
$R_{STERM}$	Termination Resistance	$V_{SDD3V3}$ (Note 5, Note 4, Note 3)		1000		$\Omega$

### SMBus スイッチング特性

特記のない限り、推奨動作条件に記載の電源電圧および動作周囲温度に対して適用 (Note 2)。

Symbol	Parameter	Condition	Min	Typ	Max	Units
$f_{SMB}$	Bus Operating Frequency		10		100	kHz
$t_{BUF}$	Bus free time between stop and start condition		4.7			$\mu$ s
$t_{HD:STA}$	Hold time after (repeated) start condition. After this period, the first clock is generated	At $I_{SPULLUP} = MAX$	4.0			$\mu$ s
$t_{SU:STA}$	Repeated Start condition setup time		4.7			$\mu$ s
$t_{SU:STO}$	Stop Condition setup time		4.0			$\mu$ s
$t_{HD:DAT}$	Data hold time		300			ns
$t_{SU:DAT}$	Data setup time		250			ns
$t_{LOW}$	Clock Low Time		4.7			$\mu$ s
$t_{HIGH}$	Clock High Time		4.0		50	$\mu$ s
$t_F$	Clock/data fall time	20% to 80%			300	ns
$t_R$	Clock/data rise time				1000	ns
$t_{SU:CS}$	SMB_CS setup time			30		ns
$t_{POR}$	Time in which a device must be operational after power on				500	ms



(レベルは  $V_{SIL}$  と  $V_{SIH}$ )

FIGURE 3. SMBus Timing Parameters

### SDI 出力特性— LMH0340/LMH0040/LMH0070

特記のない限り、推奨動作条件に記載の電源電圧および動作周囲温度に対して適用 (Note 2)。

Symbol	Parameter	Condition	Min	Typ	Max	Units
$V_{OD}$	SDI Output Voltage	into 75 $\Omega$ load	720	800	880	mV
DR	SDI Output Datarate	LMH0340	270		2,970	Mbps
		LMH0040	270		1,485	Mbps
		LMH0070		270		Mbps
$t_r$	SDI Output Rise Time	2.97 Gbps		90	135	ps
		1.485 Gbps		90	220	ps
		<1.485 Gbps	400	700	1000	ps
$t_f$	SDI Output Fall Time	2.97 Gbps		90	135	ps
		1.485 Gbps		90	220	ps
		<1.485 Gbps	400	700	1000	ps
$\Delta t_i$	Mismatch between rise and fall time	$\geq 1.485$ Gbps (Note 9)			30	ps
$t_{SD}$	Propagation Delay Latency	See Figure 4		9.5		TXCLK cycle
$t_j$	Peak to Peak Alignment Jitter	$\geq 1.485$ Gbps (Note 6)		30	50	ps
		270 Mbps (Note 6)		100	200	ps
RL	Output Return Loss — EVK Specification (Note 12)	Measured 5 MHz to 1485 MHz	15	20		dB
		Measured 1485 MHz to 2970 MHz	10	15		dB
$t_{OS}$	Output Overshoot (Note 9)	2.97 Gbps			8	%
		1.485 Gbps			5	%
		270 Mbps			2	%

### CML 出力特性— LMH0050

特記のない限り、推奨動作条件に記載の電源電圧および動作周囲温度に対して適用 (Note 2)。

Symbol	Parameter	Condition	Min	Typ	Max	Units
$V_{OD}$	Output Voltage	into 100 $\Omega$ differential load	1175		1450	mV
DR	Data Rate		270		1485	Mbps
$t_r$	Output Rise Time				100	ps
$t_f$	Output Fall Time				100	ps
$t_j$	Peak-to-Peak Alignment Jitter	1.485 Gbps		25	50	ps
$R_{OUT}$	Output Termination Resistance	Output Pin to $V_{DD2V5}$ Pin	40	50	60	$\Omega$

## デバイス・スイッチング特性

特記のない限り、推奨動作条件に記載の電源電圧および動作周囲温度に対して適用 (Note 2)。

Symbol	Parameter	Condition	Min	Typ	Max	Units
$t_{TPLD}$	Device Lock Time	2.97 Gbps			10	ms
		1.485 Gbps			11	ms
		270 Mbps			15	ms

**Note 1:** 「絶対最大定格」とは、この値を超えるとデバイスの安全を保証できない値のことです。これらの制限値までデバイスが動作することを意味するものではありません。

**Note 2:** 代表値は  $V_{DD3V3} = 3.3V$ 、 $V_{DD2V5} = 2.5V$ 、 $T_A = 25^\circ C$  で測定されています。代表値は参照を目的としており、製造時検査は行っていません。

**Note 3:** 推奨値 — パラメータはテストされていません。

**Note 4:** 1 個のバス・セグメント当たりの推奨最大容量負荷は 400pF です。

**Note 5:** 最大終端電圧は、このデバイスの電源電圧と同じです。

**Note 6:** SMPTE RP184 に準拠して測定されています。全数の製造時検査を行っています。

**Note 7:** レジスタ 0x30'h のビット [7:5] は、デフォルト値 011'b に設定されています。

**Note 8:**  $R_{SET} = 8.06k\Omega$ 、レジスタ 0x69'h がデフォルト値で測定されています。

**Note 9:** 仕様は特性評価によって保証されています。

**Note 10:** LMH0340、LMH0040、LMH0070 に適用されます。

**Note 11:** パラメータとして、0x24'h と 0x30'h のレジスタのデフォルト設定を使用しています。

**Note 12:** 出力リターン・ロス仕様は、SMPTE の要件に従って、EVK PCB (LMH0340 ALP ドーター・カード) の測定に適用されます。

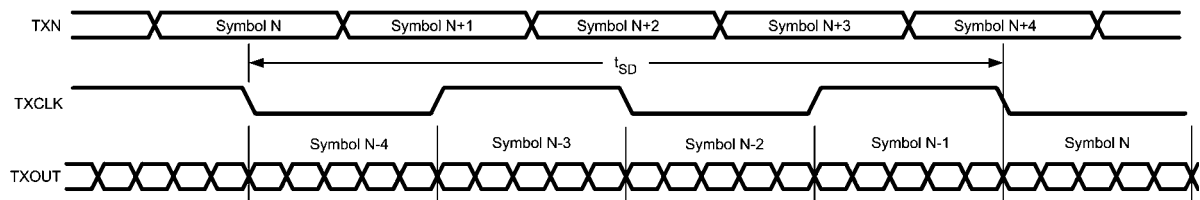


FIGURE 4. LVDS Interface Propagation Delay



## 機能説明

### デバイスの動作

SER はデジタル・ビデオ信号の生成機器で使用されます。デジタル・ビデオ信号データのプリプロセスを実行し、データを 5 ビット幅のデータ・パスに伝送する FPGA ホストとともに使用することを前提にしています。ホストが SER 用にデータを適切にフォーマットすることで、選択した出力モードに応じてデバイスの出力は DVB-ASI、SMPTE 259M-C、SMPTE 292M、または SMPTE 424M に準拠します。

ナショナル セミコンダクターは、適切にデータをフォーマットする IP をソース・コード形式で提供するとともに、対応するアプリケーションの開発を支援する評価プラットフォームも提供しています。詳細については、ナショナル セミコンダクターの販売代理店にお問い合わせください。

### 電源

SER には、2.5V と 3.3V の複数のパワー・ピンが設けられています。これらのピンがすべて接続され、適切にバイパスされていることが重要です。バイパスは、最小でも 4.7  $\mu$ F と 0.1  $\mu$ F のコンデンサを並列に構成し、各パワー・ピンの近くに 0.1  $\mu$ F のコンデンサを配置します。デバイスのパッケージの中央底面には、大きな接触面があります。この接触面は、デバイスの主要なグラウンド接続であるため、システム GND に接続する必要があります。3.3V 電源レールに接続する V<sub>DDPLL</sub> ピンには、22  $\mu$ F のコンデンサが必要です。

電源分配システムでは、ディスクリート部品によるバイパスは 30MHz ~ 50MHz を超えると効果がありません。これより上の周波数では、電源層とグラウンド層間の固有容量が追加の RF バイパスとして使用できます。これを有効に利用するには、電源、GND それぞれに専用の層を設け、それらを向い合わせて、電源と GND 間に分布容量を持たせます。

SER は、リニア・レギュレータから電力供給すると最高の性能を発揮します。通常リニア・レギュレータの出力は、スイッチング・レギュレータと比較してノイズが少なく、クリーンです。出力フィルタリングと電源周波数補償は、一般にリニア・レギュレータのほうがよりシンプルで効果的です。ロジック用電源などの低入力電圧で動作可能な低ドロップアウト・リニア・レギュレータを使用すると、レギュレータの消費電力を削減できます。低ドロップアウト・レギュレータをカスケード接続するべきではありません。これは消費電流負荷がカスケード中の最初のレギュレータにかかって、このレギュレータの負荷が増大し、温度が上昇するためです。

### パワーアップ

3.3V 電源は 2.5V 電源より前に立ち上がる必要があります。電源シーケンスのタイミングは重要ではありません。デバイスにはパワーオン・リセット・シーケンスが装備されており、両方の電源がオンになるとこのシーケンスが機能します。このシーケンスは、すべてのレジスタ内容をデフォルト値にリセットし、PLL をリンク・アクイジション・モードに設定して TXCLK 入力のロックを試行します。

### リセット

デバイスをリセットする方法は 3 つあります。1 つは自動リセットで、パワーアップ時に発生します。もう 1 つは Reset ピンで、このピンが Low になるとデバイスをリセットします。このピンが High に戻ると、デバイスの通常動作が再開されます。3 番目のリセット方法は Soft Reset で、リセット・レジスタへの書き込みにより実

行されます。このリセットでは、すべてのレジスタ値がデフォルト値に戻ります。ただし、SMBus のデフォルト・アドレスが変更されていた場合は、アドレス・レジスタの値は影響を受けません。

### LVDS 入力

SER の LVDS 入力は、ANSI/TIA/EIA-644-A 規格に準拠します。これらの入力に 100  $\Omega$  の内部抵抗が接続されており、ホストの LVDS ドライバからのループ電流インタフェースを閉じることができます。FPGA とトランスミッタの間の基板トレースを、25cm 未満にすることを推奨します。基板トレースがそれより長い場合、信号劣化とチャネル間スキューが発生し、シリアライズでエラーが発生するおそれがあります。このようなホストとSERとの接続は、インピーダンスが終端抵抗 (通常 100  $\Omega$ ) と一致するように制御された伝送ラインを経由する必要があります。セットアップ時間とホールド時間は「LVDS スwitching 特性」の表に記載されていますが、SMBus 経由で使用できる CLK 遅延調整を使用し、レジスタ 0x30'h に書き込むと、これらの値を変更できます。

### LVDS データの順序

データのシリアライズでは、TX0 にラッチされたデータ・ビットが最初に出力され、その後、TX1、TX2、TX3、TX4 の順に出力されます。T0..T9 の 10 ビット・データ (T0 が LSB) で始まり、かつ LSB を最初に送信するようにシリアライズする場合、下位 5 ビットのデータがはじめにシリアライズに送られ、次に上位のデータが送られます。シリアライズされた出力は、LSB がはじめに送信され、10 ビットのうち MSB (T9) が最後に送信されます。TX4 のビットをはじめに出力するようにシリアライズの順序を逆にする場合、この動作モードはレジスタ 0x2E'h で選択できます。

### ループ・フィルタ

SER には PLL が内蔵されており、並列クロック入力からシリアライズ・クロックを生成するために使用されます。この PLL のループ・フィルタは外付けであり、シリアル・デジタル・インタフェースのアプリケーションで最良の結果を得るには、コンデンサと抵抗をピン 26 と 27 の間に直列に接続する必要があります。コンデンサの推奨値は 0.1  $\mu$ F です。抵抗の推奨値は 500  $\Omega$  です。

### PLL フィルタ/バイパス

SER には、PLL 用の外付けフィルタ・コンデンサがあります。このコンデンサの推奨値は 22  $\mu$ F で、3.3V 電源レールに接続します。

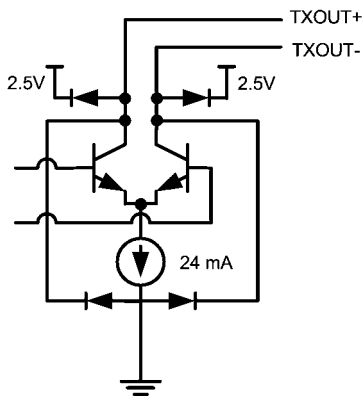
### DVB\_ASI モード

SER には、DVB-ASI 用の特殊モードがあります。このモードでは、TX4 土の入力信号が High の場合はデータ有効ビットとして扱われ、TX0-TX3 の 4 ビット・ニブルが取得されて 8 ビット・データを構成します。次に、この 8 ビット・データが内蔵の 8b10b エンコーダで 10 ビット・コードに変換され、この 10 ビット・コードがシリアライズされ、出力で駆動されます。クロックの立ち上がりエッジで取得されるニブルは最上位ニブルであり、立ち下がりエッジで取得されるニブルは最下位ニブルです。TX4 土が Low の場合、TX0-TX3 の入力は無視され、出力ストリームに 10 ビットのアイドル文字が挿入されます。レジスタ 0x11'h と 0x12'h を使用して、アイドル文字を任意の 10 ビット・コードに再設定できます。

**機能説明** (つづき)

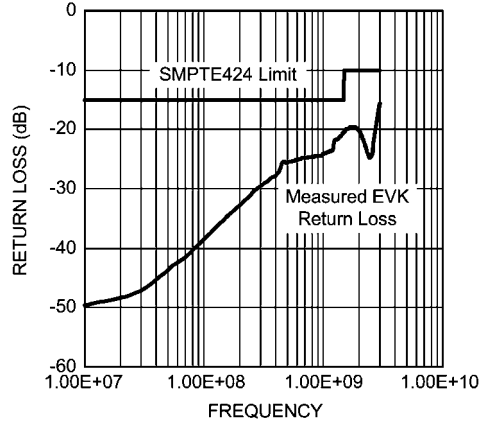
**SDI 出力インターフェース**

シリアル出力は、低スキューの相補信号または差動信号を提供します。出力バッファは電流モードに設計されているため、ハイ・インピーダンス出力が得られます。75Ω の伝送ラインを駆動するには、各出力ピンと2.5Vとの間に75Ωの抵抗を接続します。この抵抗には2つの機能があります。すなわち、ケーブルを駆動するために電流出力を電圧に変換すること、伝送ラインのバック終端抵抗となることです。この抵抗は、できる限り出力ピンの近くに配置してください。出力ドライバはそのスループットを入力データレートに応じて自動的に調整し、SMPTE 259M、SMPTE 292M または SMPTE 424M に準拠するようにします。出力振幅と立ち上がり / 立ち下がり時間に関する仕様に加えて、SMPTE 仕様では SDI 出力が出力リターン・ロス (ORL) 仕様を満たすことが要求されます。デバイスの出力ピンと、プリント基板には寄生容量が存在します。リターン・ロスを最適化するには、並列のインダクタと抵抗で構成される直列ネットワークを使用します。これらの部品の実際の値はアプリケーションによって異なりますが、代表的なインターフェース回路に示す値をまず試すことを推奨します。Figure 5 に、LMH0340/LMH0040/LMH0070 の等価出力回路を示します。コレクタは、ハイ・インピーダンス電流源です。外付けの75Ωレジスタはバック終端抵抗であり、さらに電流を電圧に変換します。負荷に終端抵抗を加えた出力全体の抵抗値は37.5Ωであり、この抵抗と24mAの電流源を組み合わせると、規格値である800mVの振幅が得られます。



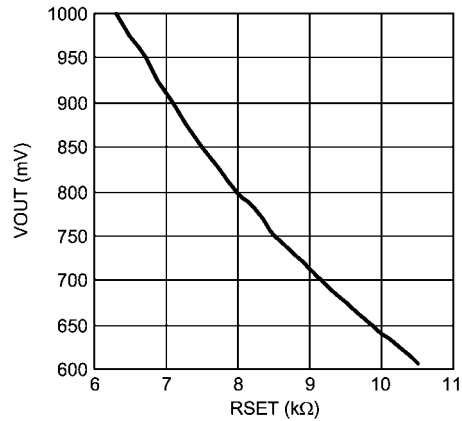
**FIGURE 5. Simplified SDI Output Circuit**

出力回路のレイアウトが、SMPTE のリターン・ロスの仕様を満たすように注意してください。これは、寄生インピーダンスや伝送ラインの不整合により反射が発生し、出力のリターン・ロスに悪影響を及ぼすためです。出力のリターン・ロスを低減する方法の詳細については、アプリケーション・ノート「Successful design with the FPGA-Attach SER/DES」を参照してください。



**FIGURE 6. SDI Output Return Loss (EVK Example)**

$R_{SET}$  抵抗の指定値を使用した場合、出力の振幅は SMPTE 仕様に確実に準拠します。ただし、設計者が出力の振幅を変更する際、2つの方法があります。 $R_{SET}$  ピンに接続する抵抗の値を変更して、出力の振幅を調整します。



**FIGURE 7. Output Voltage vs.  $R_{SET}$**

## 機能説明 (つづき)

### CML 出カインタフェース

LMH0050 は出力が CML であるため、SMPTE ケーブル・ドライバを内蔵していません。100 Ω の伝送ラインを駆動する 50 Ω のプルアップ抵抗を内蔵しています。LMH0050 の出力は、ツイストペア・ケーブルのような差動伝送媒体に接続するか、外付けケーブル・ドライバの駆動に使用できます。

### パワーダウン・モード

デバイスを使用しない場合、「0x40h」をレジスタの 0x26'h、「0x10'h」をレジスタの 0x01'h に書き込めば、一部の電力を節約できます。レジスタの 0x26'h に書き込むとデバイスの入力バッファがディスエーブルされ、レジスタの 0x01'h に書き込むと出力バッファがパワーダウンします。このモードでは、デバイスの消費電力は約 30% 減少すると予測できます。回路の一部は、TXCLK 入力にクロックがない場合に自動的にパワーダウンするので、この方法を使用してさらに消費電力を削減できます。

### SMBus インタフェース

設定用バスは、システム・マネジメント・バス (SMBus) 2.0 仕様に準拠しています。SMBus 2.0 には複数のオプションがあります。オプションの ARP (Address Resolution Protocol) 機能には対応していません。入出力レールは 3.3V のみで、5V 耐圧ではありません。マルチドロップ・アプリケーション (1 つのホストに対して複数のデバイスがある) には、SMB\_CS 信号の使用が推奨されます。

SMBus は、さまざまなシステム部品間の通信用に設計された 2 線式インタフェースであり、アプリケーションによっては、チップ選択機能に追加の信号が必要ことがあります。SMBus 経由で回路の制御機能にアクセスすると、信号数を最小限に抑えながら、汎用性を最大限にできます。SMBus を制御するピンは 3 本あります。デバイスの SMBus インタフェースをイネーブルにする SMBus CS ピン、クロック・ライン、データ・ラインです。SER デバイスが複数存在するアプリケーションでは、SDA ピンと SCK ピンをともにバス接続し、通信する個々のデバイスは対応する SMB\_CS ピンにより選択します。SCK と SDA は両方ともオープン・ドレインであり、外付けのプルアップ抵抗により High にプルアップします。SER は、SMBus からアクセス可能な構成レジスタをいくつか内蔵しています。これらのレジスタを、「SER レジスタの詳細」の表に示します。

#### SMBus を経由するデバイスへのデータ伝送

通常動作では、SCK が High の間、SDA 上のデータは安定していなければなりません。

#### START/STOP/IDLE 状態

SMBus には 3 つの固有な状態があります。

START	SCK が High のとき、SDA の High から Low への遷移は START 状態のメッセージを示します。
STOP	SCK が High のとき、SDA の Low から High への遷移は STOP 状態のメッセージを示します。
IDLE	STOP 状態を最後に検出した時点から、SCK と SDA の両方が High 状態である時間が $t_{BUF}$ を超えた場合、または両方が High 状態の合計時間が仕様に定められた最大値 $t_{HIGH}$ を超えた場合、バスは IDLE 状態に移行します。

### SMBus のトランザクション

トランザクションは、ホストが SER の SMBus を START 状態にしたときに開始されます。次に、MSB を先頭にして 1 バイト (8 ビット) が転送され、9 ビット目に ACK ビットが続きます。ACK ビットは、「0」が ACK、「1」が NACK を示します。この後、ホストは SCK ラインを Low に保持して、レシーバがバイトを受信したことを示す確認応答 (ACK) として SDA ラインを駆動するまで待ちます。

#### レジスタの書き込み

SER のレジスタにデータ値を書き込むときに、ホストは 3 バイトを書き込みます。最初のバイトはデバイス・アドレスです。デバイス・アドレスは 7 ビットの値で、SER に書き込む場合、最後のビット (LSB) を "0" にセットして動作が書き込みであることを示します。2 番目に書き込むバイトはレジスタ・アドレスです。また、3 番目のバイトは指定したレジスタに書き込むデータです。さらにデータを書き込む場合、レジスタ・アドレスは自動的に加算されます。書き込みサイクルの終わりに、ホストはバスを STOP 状態にします。

#### レジスタの読み出し

レジスタからデータ値を読み出すときに、ホストは最初にデバイス・アドレスを書き込み、LSB を "0" にセットして書き込み動作であることを示します。次に、レジスタ・アドレスをデバイスに書き込みます。次にホストは START 状態を再アサートし、デバイス・アドレスをもう一度書き込みますが、このときに LSB を "1" にセットして読み出し動作であることを示します。この動作に続いて、SER はアドレス指定されたレジスタからのデータを使用して SDA ラインを駆動します。ホストは、ACK ビットを "0" にアサートしてデータの読み出しが終わったことを示します。最後のバイトを読み出した後、ホストは NACK を示す "1" をアサートし、SER に対してその後のデータが不要であることを示します。

**SMBus のピンは 5V 準拠ではなく、3.3V 電源で駆動する必要があります。ご注意ください。**

### SMBus のコンフィギュレーション

SMBus はさまざまなコンフィギュレーションが可能であり、そのコンフィギュレーションはアプリケーションに固有の要件によって決まります。可能なアプリケーションのいくつかを説明します。

#### コンフィギュレーション 1

SER SMB\_CS は、SMBus の唯一のデバイスなので、High (常にイネーブル) に固定できます。Figure 8 を参照してください。

#### コンフィギュレーション 2

複数の SER デバイスが同じアドレスを持つので、それぞれの SMB\_CS の信号を使用する必要があります。特定のデバイスと通信するには、その SMB\_CS を High に駆動して、デバイスを選択します。トランザクションの完了後、その SMB\_CS を Low に駆動して、SMB インタフェースをディスエーブルにします。これにより、対応するチップ選択信号を使用して、バス上の他のデバイスを選択して通信できます。Figure 9 を参照してください。

#### コンフィギュレーション 3

SMBus プロトコルにより、アドレス指定フィールドは 7 ビットに制限されています。これにより、複数のデバイスが同じ 7 ビット・アドレスを共有する可能性があります。SMBus 2.0 仕様のオプション機能は、アドレス解決プロトコル (ARP) をサポートします。このオプション機能は、LMH0340/0040/0070/0050 デバイスではサポートしていません。この問題を解決する方法として、独立した SMB\_CS 信号の使用、独立した SMBus セグメントの使用、その他の方法があります。Figure 10 を参照してください。

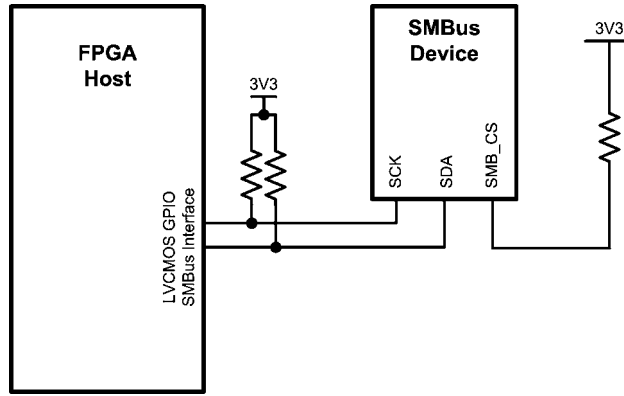


FIGURE 8. SMBus Configuration 1 — Host to single device

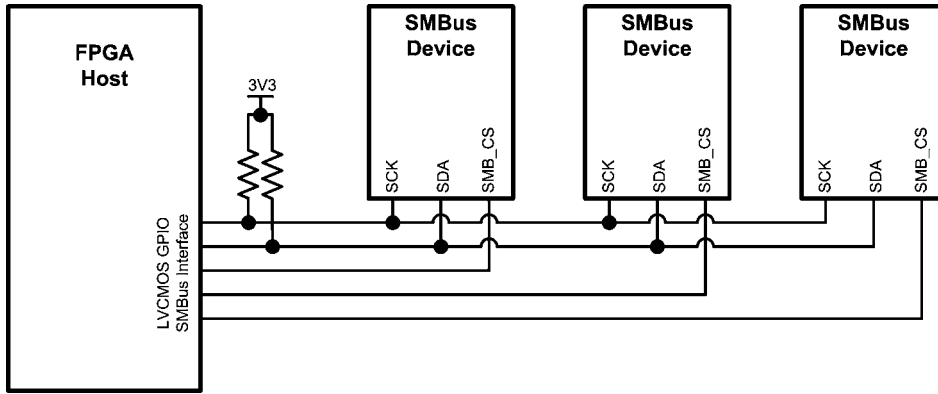


FIGURE 9. SMBus Configuration 2 — Host to multiple devices with SMB\_CS signals

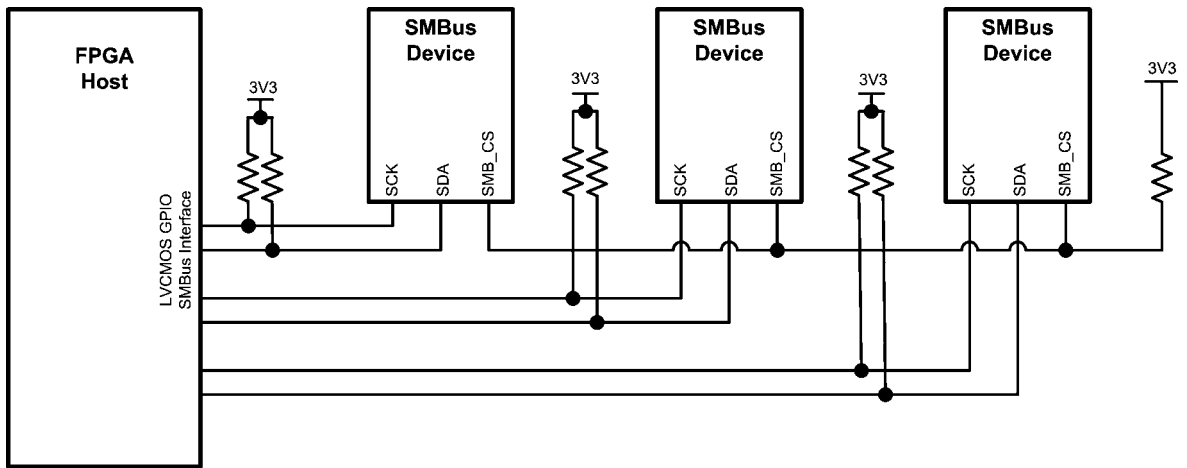


FIGURE 10. SMBus Configuration 3 — Host to multiple devices with multiple SMBus Interfaces

## 機能説明 (つづき)

### 汎用入出力ピン GPIO[2:0]

SER には、専用のピンから特定のレジスタ値への直接アクセスを設定できる 3 本のピンがあります。例えば、特定のアプリケーションで、シリアルライザの入力クロックの消失に対して迅速な動作が要求される場合、TXCLK 検出状態ビットを外付けピンに直接配線して、ホスト・プロセッサに割り込みを発生させます。GPIO ピンは、TRI-STATE<sup>®</sup> (ハイ・インピーダンス) モードになるように設定できます。またバッファをディスエーブルにします。さらに、入力として使用するときは、プルアップ抵抗、プルダウン抵抗、またはバイアスしないように設定できます。GPIO ピンを入力として使用する場合、内蔵のプルアップ / プルダウン抵抗を使用できます。GPIO 構成レジスタにより選択されます。

各 GPIO ピンには制御レジスタがあります。これらのレジスタは、それぞれ上位 4 ビットで GPIO ピンに求められる機能を定義しますが、オプションは 3 つの GPIO ピンで多少異なります。ピンは、SER デバイスのさまざまな内部状態の監視に使用することも、外部の信号源からの入力や外部機能を制御する出力として使用することもできます。

#### GPIO\_0 の機能

- SMBus でプログラムした信号の出力を可能にする
- SMBus を介した外部信号の監視を可能にする
- TXCLK 信号の状態を監視する
- TXCLKDetect の状態を監視する
- パワーオン・リセットを監視する

#### GPIO\_1 の機能

- パワーオン・リセットを監視する
- SMBus でプログラムした信号の出力を可能にする
- SMBus を介した外部信号の監視を可能にする
- LOS のデータ・ビット 0 を監視する
- LOS のデータ・ビット 1 を監視する
- LOS のデータ・ビット 2 を監視する
- LOS のデータ・ビット 3 を監視する
- LOS のデータ・ビット 4 を監視する

#### GPIO\_2 の機能

- SMBus でプログラムした信号の出力を可能にする
- SMBus を介した外部信号の監視を可能にする
- シリアルライザのクロック出力

ビット 2 とビット 3 は、デバイスに内蔵されたプルアップ / プルダウン抵抗の状態を次の真理値表に従って設定します。

- 00: プルアップおよびプルダウンをディスエーブル
- 01: プルダウンをイネーブル
- 10: プルアップをイネーブル
- 11: リザーブ

ビット 1 は、入力バッファをイネーブルまたはディスエーブルするために使用されます。GPIO ピンを出力ピンとして使用する場合、このビットを "0" に設定して入力をディスエーブルする必要があります。

LSB は、出力を通常出力状態とハイ・インピーダンス・モードの間で切り替えるために使用されます。GPIO ピンを入力ピンとして使用する場合、このビットを "0" に設定して出力をハイ・インピーダンス・モードにする必要があります。

例えば、 $\overline{\text{LOCK}}$  ピンの状態を反映するように GPIO<sub>0</sub> ピンを使用する場合は、適切なレジスタに値 0001 0001b をロードします。

### GPIO ピンの応用例

GPIO ピンは、設計を見直すときに便利なデバッグ・ツールとなるだけでなく、次に示すような用途に活用できます。

#### ケーブルと出力との接続の検知

BNC ケーブルを出力に接続するときには、コネクタのシールドをコンデンサ経由で GND に接続してシールドを AC の GND とし、DC を開放します。次に、そのシールドを、プルアップを持つ入力として設定するいずれかの GPIO ピンに接続します。BNC にはケーブルがないので GPIO ピンは High 状態になりますが、終端ケーブルを接続するとシールドが Low 状態になります。

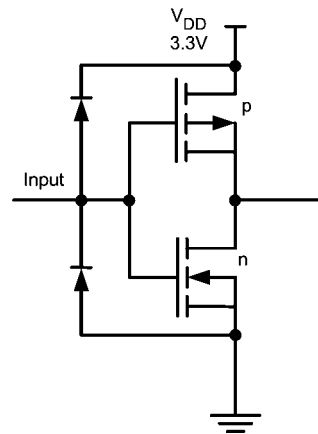


FIGURE 11. Simplified LVCMOS Input Circuit

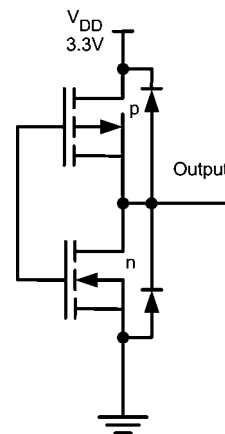


FIGURE 12. Simplified LVCMOS Output Circuit

## アプリケーション情報

### プリント基板の推奨事項

SMPTE シリアル仕様では、ドライバの出力リターン・ロスについてきわめて厳密な要件が定められています。出力リターン・ロスは、SER (LMH0050 を除くすべての種類) と出力コネクタ間の接続に非理想要因があると悪化します。この部分のトレース長をできるだけ短くして、このトレースの特性インピーダンスを 75Ω にする必要があります。

ホスト FPGA と SER との間の基板トレース長を 25cm (10 インチ) 以下にすることを推奨します。また、このトレースは差動ペアとして配置し、ペアのトレース長を厳密に合わせてカップリングすること、6 つの各ペアのトレース長を同じにすることを推奨します。LLP パッケージのレイアウトとハンダ付けの詳細については、アプリケーション・ノート「AN 1187」を参照してください。

#### プリント基板設計の推奨事項と禁止事項

- 推奨事項：できる限り、各電源専用に 1 つの層全体を割り当ててください。これによって、電源層のインダクタンスが減少します。
- 推奨事項：できる限り、表面実装部品を使用してください。
- 推奨事項：各パワー・ピンの近くにバイパス・コンデンサを配置してください。
- 禁止事項：グラウンド・ループを作らないでください。電源層とグラウンド層に生じるカットアウトに注意して、ループの発生を防止してください。
- 禁止事項：グラウンド層内を不連続にしないでください。帰還電流は、抵抗が最小のパスを通ります。高周波数信号の場合は、インダクタンスが最小のパスを通ります。
- 推奨事項：SER の出力は、外部と接続するプリント基板のエッジのできるだけ近くに配置してください。
- 推奨事項：差動トレースをすべて同じ長さにしてください。各ペア内のトレース長を同じにし、ペアどうしても同じ長さにしてください。
- 推奨事項：ビアは大きなインダクタンスを持つことに注意してください。ビアを使用して電源層またはグラウンド層に接続するときは、1 つより、2 つのビアを並列に配置して使用することを推奨します。
- 推奨事項：パッケージの底面の金属はグラウンド層に接続してください。この接続は、デバイスとの主要な GND 接続に使われるとともに、熱スルーホールとして機能しダイの動作温度を低く保ちます。
- SER のレイアウトに関する推奨事項を詳細に説明するアプリケーション・ノートを用意しています。

### 代表的な SMPTE アプリケーション回路

LMH0340 の代表的なアプリケーション回路を Figure 13 に示します。別の代表的な例として、LMH0040 または LMH0070 のシリアルライザを使用する低データ・レートの SMPTE アプリケーションもあります。

ホスト FPGA と SER 間の TX インタフェースは、5 ビット幅 LVDS データ・バスと LVDS クロックで構成されます。これは 1 対 1 のインタフェースであり、SER には 100Ω のオンチップ終端があります。ペアは、スキューの影響を最少にするために同じ長さにしてください。LVDS クロック (TXCLK) の両方のエッジで、データが伝送されます。

SMBus もホスト FPGA と SER との間に接続されます。SMBus を共有する場合は、チップ選択信号を使ってアドレス指定するデバイスを選択します。SCK 信号と SDA 信号にはプルアップ抵抗が必要です。SMB\_CS は、FPGA からの GPO 信号により駆動されます。FPGA 入出力によっては、それがプッシュ/プル出力でない場合、プルアップが必要です。

アプリケーションによっては、ほかの GPIO 信号がいくつか使用されます。DVB\_ASI と RESET 入力信号などが使用されます。これらのピンが使用されない場合は、望まれる状態にレベルを固定する必要があります。LOCK 信号を SER の監視に使用する場合があります。これを使用しない場合は、このピンを NC としておきます (またはテスト・ポイントに接続します)。

SER は、SMPTE 準拠のケーブル・ドライバを装備しています。これは差動ドライバですが、75Ω 同軸ケーブルを駆動するために一般的にシングルエンドで使用されます。外付けの 75Ω プルアップ抵抗が 2.5V 電源に対して使用されます。アクティブ出力には、SMPTE の出力リターン・ロス仕様を満たすためのマッチング・ネットワークも含まれます。アプリケーションごとに異なりますが、6.8nH インダクタを並列にした直列の 75Ω 抵抗を設計の初期値として使用します。信号は 4.7μF コンデンサを用いてケーブルに AC 結合されます。補完出力を使用しない場合、AC 結合コンデンサの後で単純にグラウンドに終端します。SMPTE 規格が要求する NRZI 方式のコードであるので、この出力は、反転信号であってもループバックや 1:2 機能に使用できます。ケーブル・ドライバの出力電圧は、RSET 抵抗により設定されます。シングルエンドのアプリケーションでは、振幅を 800mV に設定するために、このピンとグラウンドの間に 8.06kΩ の抵抗を接続します。

PLL ループ・フィルタは、SER 用の外付けフィルタです。LF\_CP ピンと LF\_REF ピンとの間に、抵抗と直列にコンデンサを接続します。代表値は、500Ω、0.1μF です。

適切なレベルに設定する必要がある設定ピンがいくつかあります。RSVD\_H ピンは、5kΩ 抵抗で 3.3V 電源に対して High にプルアップします。アプリケーションによって、DVB\_ASI ピンは固定する場合と駆動する場合があります。

3 つの電源接続があります (推奨項目については、バイパスに関する説明とピン説明を参照してください)。2 つの主な電源は、3.3V 電源と 2.5V 電源です。PLL 回路用の 3.3V 接続もあります。

デバイスには複数のグラウンド接続があります。SER の主なグラウンド接続は、中央の大きな DAP パッドです。これは、デバイスの適切な動作を得るために必ずグラウンドに接続しなければなりません。さらに、図や「ピン説明」の表に示すように、これ以外の複数の入力をグラウンドに接続する必要があります。

アプリケーション情報 (つづき)

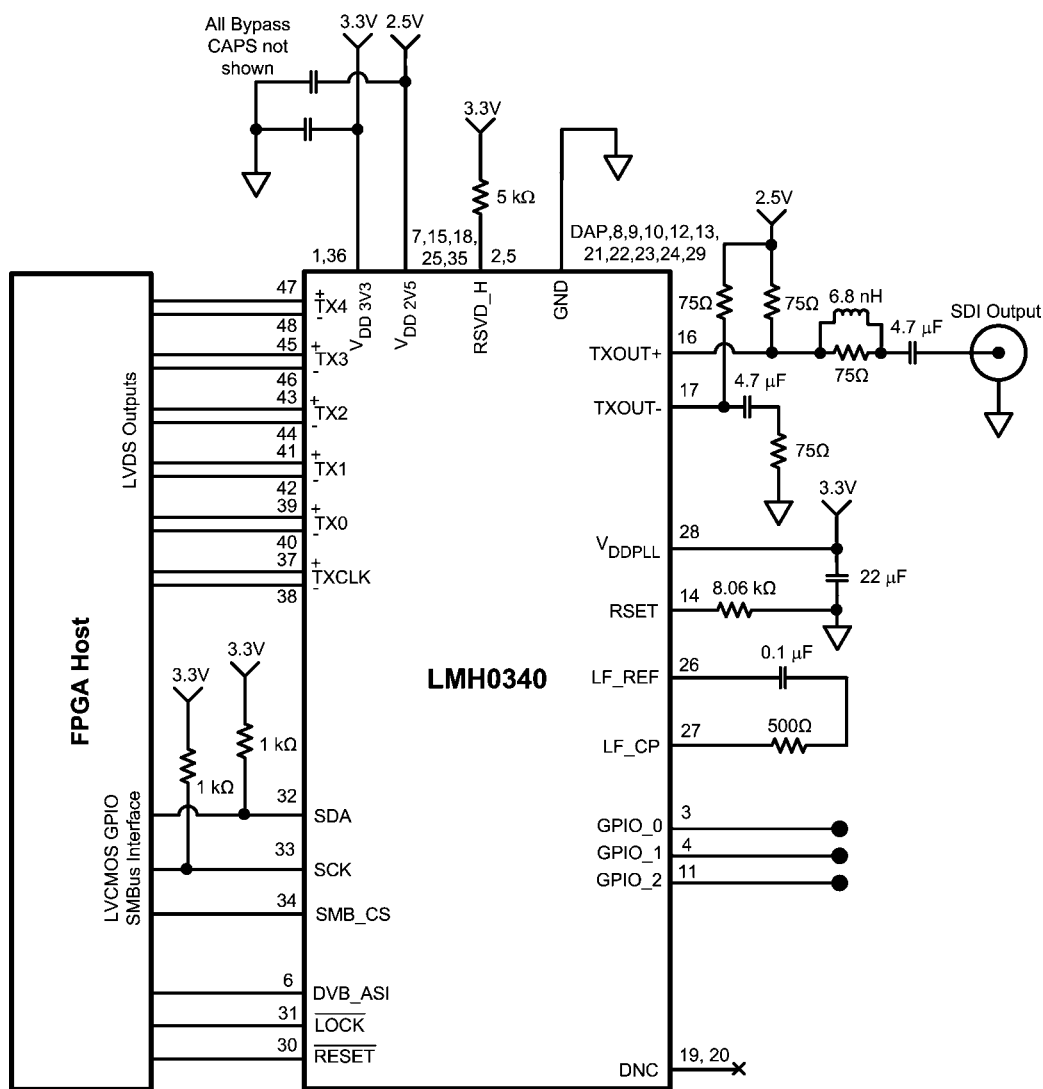


FIGURE 13. Typical SMPTE Application Circuit

## アプリケーション情報 (つづき)

### 代表的な LMH0050 の CML アプリケーション回路

LMH0050 の代表的なアプリケーション回路を Figure 14 に示します。

ホスト FPGA と SER 間の TX インタフェースは、5 ビット幅 LVDS データ・バスと LVDS クロックで構成されます。これは 1 対 1 のインタフェースであり、SER には  $100\ \Omega$  のオンチップ終端があります。ペアは、スキューの影響を最少にするために同じ長さにしてください。LVDS クロック (TXCLK) の両方のエッジで、データが伝送されます。

SMBus もホスト FPGA と SER との間に接続されます。SMBus を共有する場合は、チップ選択信号を使ってアドレス指定するデバイスを選択します。SCLK 信号と SDA 信号にはプルアップ抵抗が必要です。SMB\_CS は、FPGA からの GPO 信号により駆動されます。FPGA 入出力によっては、それがプッシュ/プル出力でない場合、プルアップが必要です。

アプリケーションによっては、ほかの GPIO 信号がいくつか使用されます。DVB\_ASI と RESET 入力信号などが使用されます。これらのピンが使用されない場合は、望まれる状態にレベルを固定する必要があります。LOCK 信号を SER の監視に使用する場合があります。これを使用しない場合は、このピンを NC としておきます (またはテスト・ポイントに接続します)。

LMH0050 の SER は、CML ケーブル・ドライバを装備しています。これは差動ドライバで、2.5V 電源レールに接続する  $50\ \Omega$  のプルアップ抵抗を内蔵しています。ケーブル・ドライバの出力電圧は、RSET 抵抗により設定されます。LMH0050 の RSET 抵抗の推奨値は、 $9.1\text{k}\ \Omega$  です。その目的は、 $100\ \Omega$  の差動ペア、またはツイストペア・ケーブルを駆動することです。

PLL ループ・フィルタは、SER 用の外付けフィルタです。LF\_CP ピンと LF\_REF ピンとの間に、抵抗と直列にコンデンサを接続します。代表値は、 $500\ \Omega$ 、 $0.1\ \mu\text{F}$  です。

適切なレベルに設定する必要がある設定ピンがいくつかあります。RSVD\_H ピンは、 $5\text{k}\ \Omega$  抵抗で 3.3V 電源にプルアップします。アプリケーションによって、DVB\_ASI ピンは固定する場合と駆動する場合があります。

3 つの電源接続があります (推奨項目については、バイパスに関する説明とピン説明を参照してください)。2 つの主な電源は、3.3V 電源と 2.5V 電源です。PLL 回路用の 3.3V 接続もあります。

デバイスには複数のグラウンド接続があります。SER の主なグラウンド接続は、中央の大きな DAP パッドです。これは、デバイスの適切な動作を得るために必ずグラウンドに接続しなければなりません。さらに、図や「ピン説明」の表に示すように、これ以外の複数の入力をグラウンドに接続する必要があります。



アプリケーション情報 (つづき)

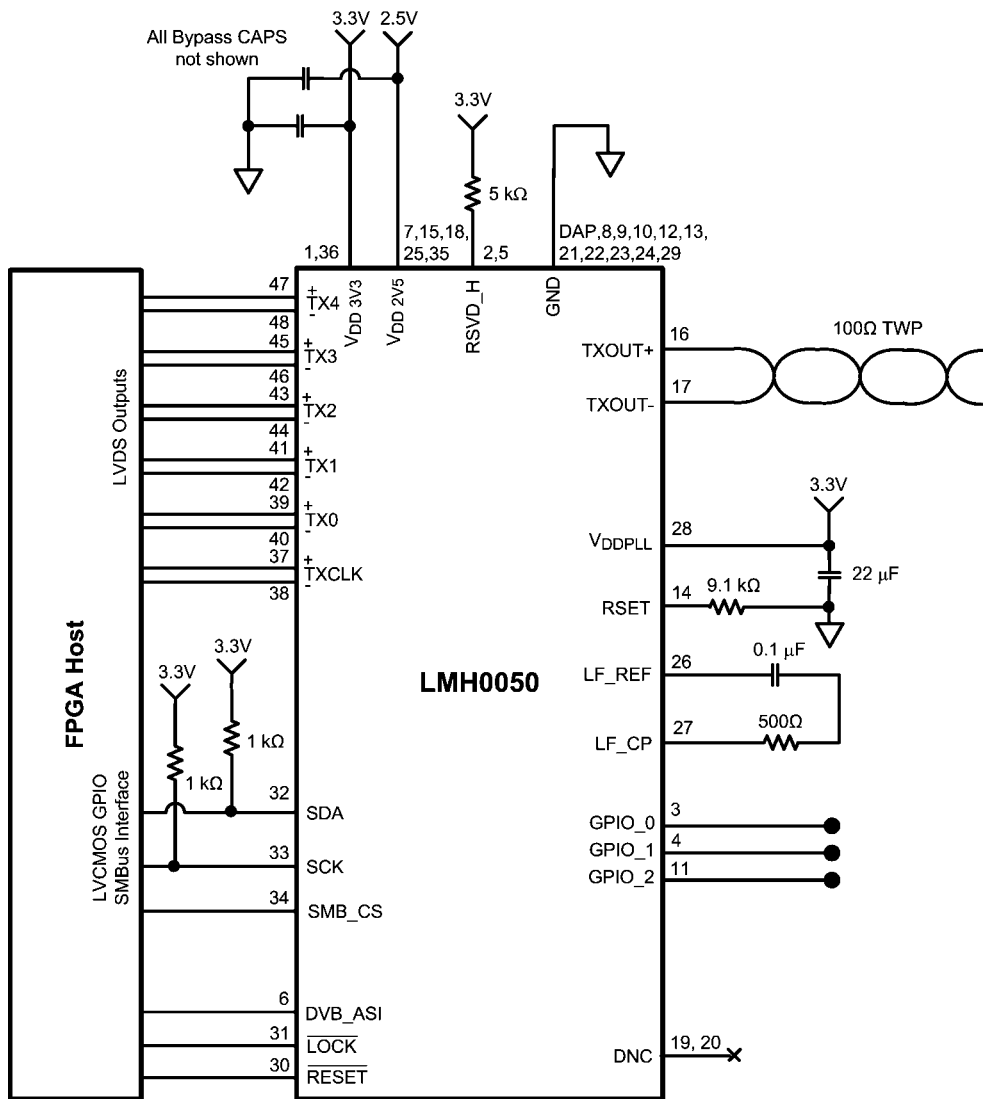


FIGURE 14. Typical LMH0050 CML Application Circuit

## アプリケーション情報 (つづき)

### シリアル・ジッタの最適化

SER は非常に低ジッタの動作が可能ですが、これはホストが供給する TXCLK に依存します。TXCLK の品質によっては、SER が本来達成できる程度まで出力ジッタを低くできない場合があります。

SER は、1MHz を超える周波数で TXCLK ジッタをフィルタ除去する回路を装備しています (Figure 15 を参照)。ただし、100kHz 未満の周波数では、TXCLK に含まれるジッタが直接通過して、シリアライズ出力に含まれます。

多くの場合、TXCLK が FPGA を通過すると高周波ノイズが信号に付加されますが、このノイズは SER によりフィルタ除去され、きれいな出力が得られます。ただし、優れたジッタ特性を得るには、SER に供給する TXCLK のノイズを最小にすることを推奨します。これは、FPGA 内とボード上の両方で、CLK 信号を注意深く配線すると実現できます。

ノイズが非常に少ないクロックは、ナショナル セミコンダクターの LMH1981 シンク・セパレータ、LMH1982 クロック・ジェネレータを使用すれば、ビデオ・リファレンス信号から得られます。こ

れらの製品を使用すると、低ジッタのビデオ周波数クロックを、独立して、またはビデオ・リファレンス信号に位相ロックして生成できます。

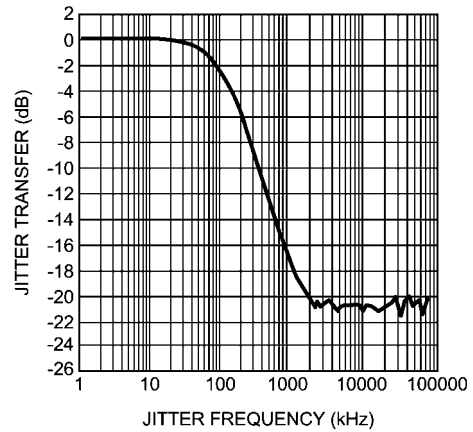


FIGURE 15. SER Jitter Transfer Function

## レジスタの説明

次の表に、デバイスの構成レジスタの詳細を示します。

### SER レジスタの詳細

ADD 'h	名称	ビット	フィールド	R/W	デフォルト	説明
00	device_identification	このレジスタの MSB 7 ビットで、デバイスの SMBus アドレスを定義します。デフォルト値は 0x57h ですが、上書きされる場合があります。このレジスタの LSB は、常に "0" である必要があります。アドレスが 1 ビット上位にシフトされるので、システムによっては 57h を AEh としてアドレス指定する場合があります。				
		7:1	device id	r/w	57h	SMBus デバイス ID
		0	リザーブ		0'b	
01	reset	このレジスタのビット 0 (LSB) に "1" が書き込まれた場合、デバイスはソフト・リセットを実行し、device_id レジスタを除いて、内部の状態をパワーアップ時の状態に復元します。リセット動作が完了すると、このレジスタの値は "0" にリセットされます。 このレジスタのビット 4 のデフォルト値は 0 で、この位置に "1" が書き込まれるとデバイスのアナログ出力バッファがディスエーブルになり、消費電力をある程度節約できます。				
		7:5	リザーブ			
		4	Analog Dis	r/w	0'b	アナログ信号をディスエーブル
		3:1	リザーブ			
		0	sw_rst	r/w	0'b	ソフトウェア・リセット
02	GPIO_0 Configuration	このレジスタは、GPIO_0 を設定します。このピンが入力として使用される場合は、出力は TRI-STATE (bit[0] = "0") にする必要があり、また出力として使用される場合は、入力バッファはディスエーブル (bit[1] = "0") にする必要があることに注意してください。				
		7:4	GPIO_0_mode[3:0]	r/w	0000'b	0000: GPout レジスタ 0011: TXCLK LOS 0100: TXCLK 検知 0110: パワーオン・リセット その他: リザーブ
		3:2	GPIO_0_ren[1:0]	r/w	01'b	00: プルアップ / プルダウンはディスエーブル 01: プルダウンはイネーブル 10: プルアップはイネーブル 11: リザーブ
		1	GPIO_0_sleepz	r/w	0'b	0: 入力バッファはディスエーブル 1: 入力バッファはイネーブル
		0	GPout0 enable	r/w	1'b	0: 出力は TRI-STATE 1: 出力はイネーブル

## SERレジスタの詳細 (つづき)

ADD 'h	名称	ビット	フィールド	R/W	デフォルト	説明
03	GPIO_1 Configuration	このレジスタは、GPIO_1を設定します。このピンが入力として使用される場合は、出力は TRI-STATE (bit[0] = "0") にする必要があり、また出力として使用される場合は、入力バッファはディスエーブル (bit[1] = "0") にする必要があるので注意してください。				
		7:4	GPIO_1_mode[3:0]	r/w	0000'b	0000: パワーオン・リセット 0001: GPout レジスタ 0010: PLL ロック 0100: Data LOS [0] 0101: Data LOS [1] 0110: Data LOS [2] 0111: Data LOS [3] 1000: Data LOS [4] その他: リザーブ
		3:2	GPIO_1_ren[1:0]	r/w	01'b	00: プルアップ / プルダウンはディスエーブル 01: プルダウンはイネーブル 10: プルアップはイネーブル 11: リザーブ
		1	GPIO_1_sleepz	r/w	0'b	0: 入力バッファはディスエーブル 1: 入力バッファはイネーブル
		0	GPout1 enable	r/w	1'b	0: TRI-STATE モードの出力 1: 出力はイネーブル
04	GPIO_2 Configuration	このレジスタは、GPIO_2を設定します。このピンが入力として使用される場合は、出力は TRI-STATE (bit[0] = "0") にする必要があり、また出力として使用される場合は、入力バッファはディスエーブル (bit[1] = "0") にする必要があるので注意してください。				
		7:4	GPIO_2_mode[3:0]	r/w	0000'b	0000: GPout レジスタ 0001: 常に出力オン 0010: シリアル・クロック出力に並列 0011: 並列クロック出力 0100: TXCLK デジタル出力 その他: リザーブ
		3:2	GPIO_2_ren[1:0]	r/w	01'b	00: プルアップ / プルダウンはディスエーブル 01: プルダウンはイネーブル 10: プルアップはイネーブル 11: リザーブ
		1	GPIO_2_sleepz	r/w	0'b	0: 入力バッファはディスエーブル 1: 入力バッファはイネーブル
		0	GPout2 enable	r/w	0'b	0: 出力は TRI-STATE 1: 出力はイネーブル
05	GP INPUT	GPIO ピンのいずれかが入力として設定される場合、このレジスタの読み出し値が入力ピンの値を示します。				
		7:3	リザーブ			
		2		r		GPIO_2 の入力データ
		1		r		GPIO_1 の入力データ
		0		r		GPIO_0 の入力データ
06	GP OUTPUT	GPIO ピンが汎用出力ピンとして設定される場合、このレジスタに書き込むことにより、対応する GPIO ピンの出力バッファにこのレジスタのビットが送信されます。				
		7:3	リザーブ			
		2		r/w	0'b	GPIO_2 の出力データ
		1		r/w	0'b	GPIO_1 の出力データ
		0		r/w	0'b	GPIO_0 の出力データ
07-10	リザーブ					

**SERレジスタの詳細** (つづき)

ADD 'h	名称	ビット	フィールド	R/W	デフォルト	説明
11	DVB_ASI Idle_A	DVB-ASI モードでは、送信する有効なデータがない場合に、アイドル文字がデータストリームに挿入されます。アイドル文字のデフォルトは K28.5 ですが、必要な場合はこのレジスタ・ペアを使用して変更できます。				
		7:0		r/w	BC'h	DVB_ASI で使用する K28.5 アイドル文字
12	DVB_ASI Idle_B	DVB-ASI モード、アイドル文字の LSB				
		7:2	リザーブ			
		1:0		r/w	01'b	DVB_ASI で使用する K28.5 アイドル文字
13 - 1C	リザーブ					
1D	Device Type	このレジスタを読み出すと、使用されている SER ファミリの製品を示す 8 ビット値が返されます。				
		7:0	Device	r		xx1xxx00: LMH0340 xx1xxx01: LMH0040 xx1xxx10: LMH0070 xx0xxx01: LMH0050
1E - 20	リザーブ					
21	モード	このレジスタは、デバイスの動作モードを返します。				
		7:2	リザーブ			
		1:0		r/w		11: DVB ASI モード 01、10、00: SDI モード
22	DVB_ASI Override	通常動作では、DVB_ASI モードは外付けピンから選択されます。このレジスタの 0 ビットをセットすると、このピンの機能が無効になり、モードはレジスタ 21'h から設定されます。このビットをセットした後、レジスタ 0x26h のビット 7 を使用して、チャンネル・リセットを実行する必要があります。				
		7:1	リザーブ			
		0		r/w	0'b	1: レジスタ 21h の内容で DVB_ASI ピンを変更 0: ピンで制御
23	リザーブ					
24	LVDS Clock Delay Bypass	このレジスタは、TXCLK 遅延調整のイネーブルまたはバイパスを選択します。				
		7		r/w	0'b	1: TXCLK 遅延をバイパス 0: 遅延をイネーブル
		6:0	リザーブ			
25	リザーブ					
26	Powerdown	このレジスタの各ビットが、SER の異なる部品をパワーダウンできます。部品を低電力スタンバイ・モードにするには、このレジスタに "0" を書き込みます。				
		7	channel reset	r/w	0'b	チャンネルのリセットに使用されます。SMBus 経由で DVB_ASI モードと通常の動作モードを切り替えるときに必要です。
		6:0	Powerdown	r/w	0x3Fh	通常動作にするには、このレジスタに x011 1111b を書き込みます。低電力モードにするには、このレジスタに x100 0000b を書き込みます。

## SERレジスタの詳細 (つづき)

ADD 'h	名称	ビット	フィールド	R/W	デフォルト	説明
27	Event Disable	SER は、さまざまな種類のイベント数を保持します。イベントには、FIFO のオーバーフローやアンダーフロー、入力信号やクロックの消失などがあります。このレジスタを使用して、これらのエラーをカウントしないようにできます。				
		7:5	リザーブ			
		4	PLL_CLK_disable	r/w	0'b	1: クロック・エラーはディスエーブル 0: クロック・エラーをカウント
		3	fifo_error_disable	r/w	0'b	1: FIFO エラーを無視 0: FIFO エラーをカウント
		2	TXCLK_detect_disable	r/w	0'b	1: TXCLK 検知エラーを無視 0: TXCLK 検知エラーをカウント
		1	CLK_LOS_disable	r/w	0'b	1: CLK_LOS エラーを無視 0: CLK_LOS エラーをカウント
		0	Data_LOS_disable	r/w	0'b	1: Data_LOS エラーを無視 0: Data_LOS エラーをカウント
28	LVDS LOS Override Operation	これらのビットは、LVDS ピンの入力信号レベルとは無関係に、LOS インジケータを強制的に設定します。				
		7:2	リザーブ			
		1	LVDS Preset LOS	r/w	0'b	LVDS Preset LOS 1: LOS を強制的に Low に設定 0: 通常モード
		0	LVDS Reset LOS	r/w	0'b	LVDS Reset LOS (Preset より優先) 1: LOS を強制的に High に設定 0: 通常モード
29	LOS Status	LOS 状態レジスタを読み出すと、SER への各 LVDS 入力に信号の有無を示す 6 ビットを持つ 1 バイトが得られます。				
		7:6	リザーブ			
		5	LOS_CLK	r	0'b	1: TXCLK にクロックなし 0: クロックあり
		4:0	LOS_Data	r	0'b	1: データなし 0: データあり (各 TX チャネルに 1 ビット)
2A	Event Status	イベント状態レジスタにはユーザーが読み出し可能な 2 ビットがあり、デバイスがロックされているかどうか、TXCLK 入力に信号が存在するかどうかを示します。				
		7:4	リザーブ			
		3	TXCLK_detect	r	0'b	1: TXCLK を検知 0: TXCLK が検知されない
		2	PLL_lock	r	0'b	1: PLL がロック 0: PLL がロックされていない
		1:0	リザーブ			
2B - 2D	リザーブ					
2E	Reverse Bit Order	このビットを使用してシリアライズの順序を逆にできます。ただし、デバイスが DVB_ASI モードでない場合にのみ正しく機能します。				
		7	リザーブ			
		6	Reverse Bit Order	r/w	0'b	1: シリアライズの順序を逆にします。 0: 通常の順序
		5:0	リザーブ			
2F	リザーブ					

## SERレジスタの詳細 (つづき)

ADD 'h	名称	ビット	フィールド	R/W	デフォルト	説明
30	CLK_Delay	このレジスタの MSB 3 ビットは、TXCLK パスにプログラマブルな遅延を挿入するために使用されます。ホスト FPGA が SER の適切なセットアップ時間とホールド時間を指定しない場合、このレジスタを使用して 125ps の刻みで範囲をシフトできます。				
		7:5	TCLK Delay	r/w	011'b	000'b が遅延の最小設定、111'b が最大設定で、刻みは約 125ps です。
		4:0	リザーブ			

ピン配置図

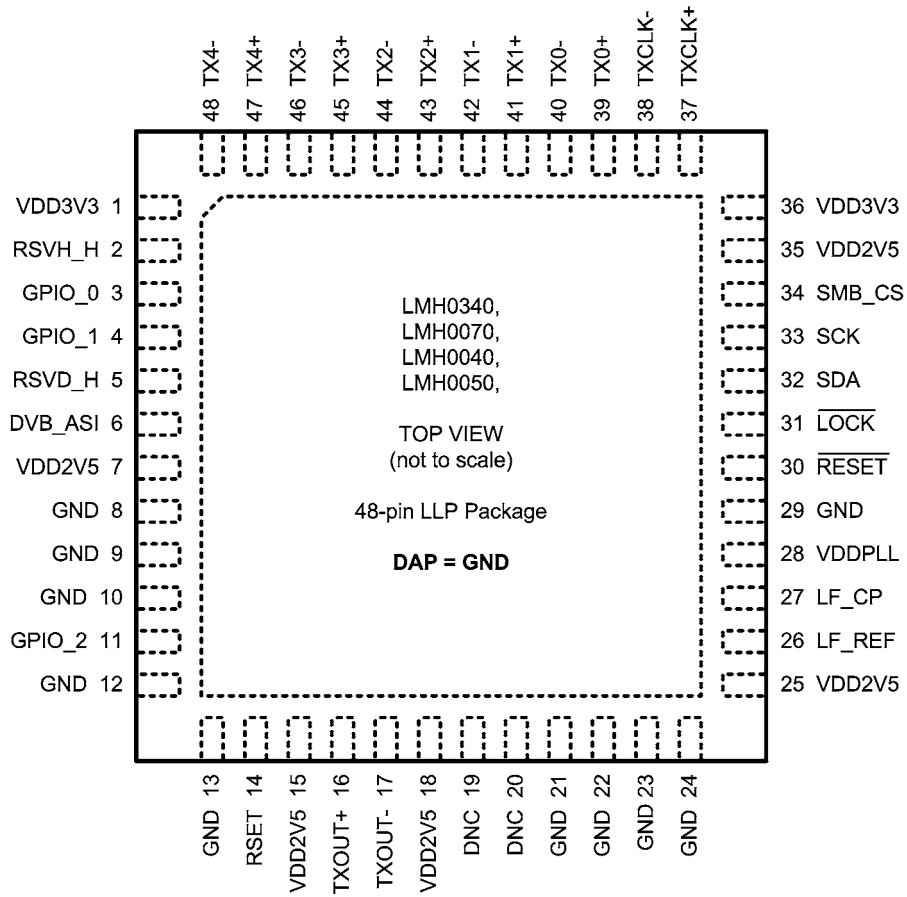


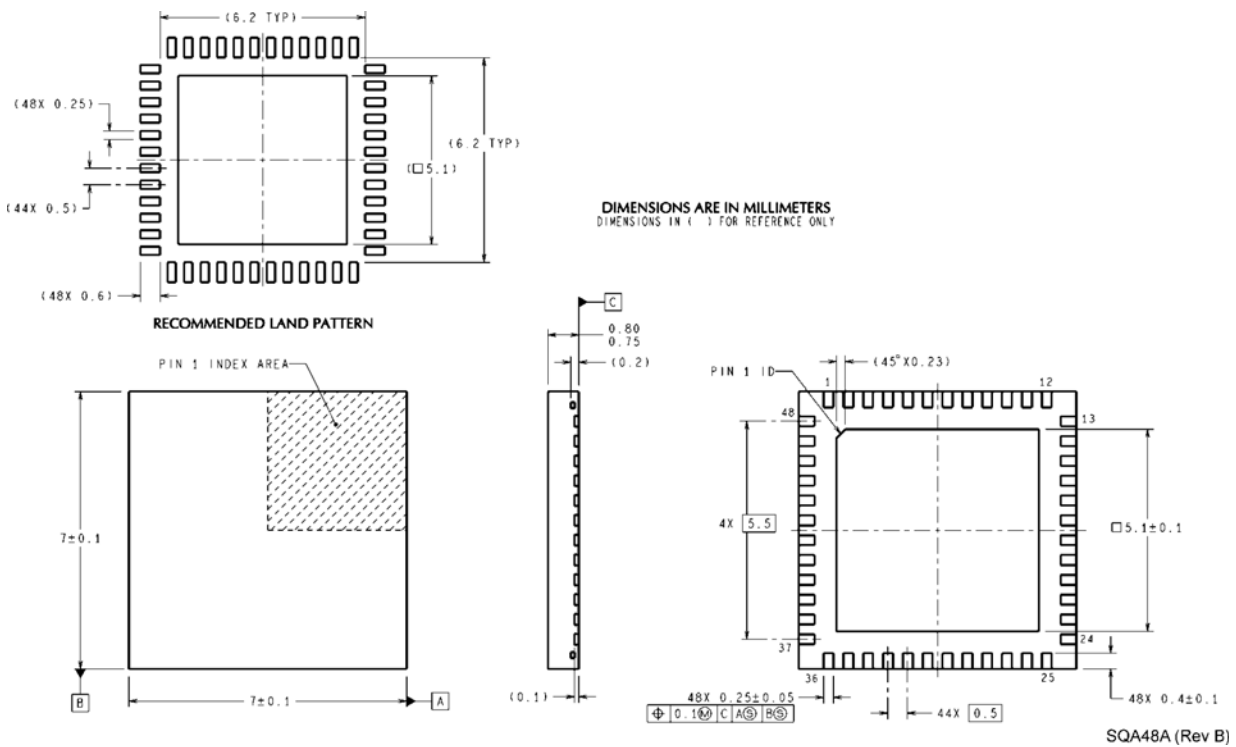
FIGURE 16. Connection Diagram for 48L LLP Package

製品情報

NSID	Speed	Cable Driver	Units per T&R	Package
LMH0340SQ	3G / HD / SD	SMPTE	1,000	SQA48A
LMH0340SQX			2,500	
LMH0340SQE			250	
LMH0040SQ	HD / SD	SMPTE	1,000	SQA48A
LMH0040SQX			2,500	
LMH0040SQE			250	
LMH0070SQ	SD	SMPTE	1,000	SQA48A
LMH0070SQX			2,500	
LMH0070SQE			250	
LMH0050SQ	HD / SD	CML	1,000	SQA48A
LMH0050SQX			2,500	
LMH0050SQE			250	



**外形寸法図** 特記のない限り inches (millimeters)



**48-Lead LLP Plastic Quad Package**  
**NS Package Number SQA48A**

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務を負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売か使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

**生命維持装置への使用について**

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2011 National Semiconductor Corporation

製品の最新情報については [www.national.com](http://www.national.com) をご覧ください。

**ナショナル セミコンダクター ジャパン株式会社**

本社 / 〒 135-0042 東京都江東区木場 2-17-16      TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

[www.national.com/jpn/](http://www.national.com/jpn/)

# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated (TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2012, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上