

LMH0041,LMH0051,LMH0071,LMH0341

*LMH0341, LMH0041, LMH0071, LMH0051 3 Gbps, HD, SD, DVB-ASI SDI
Deserializer with Loopthrough and LVDS Interface*



Literature Number: JAJSAT5

**ループスルー機能および LVDS インタフェースを備えた
3Gbps、HD、SD、DVB-ASI SDI デシリアライザ**

概要

LMH0341/0041/0071/0051 SDI デシリアライザは、FPGA とともに使用するナショナル セミコンダクターの SER/DES ファミリの製品で、5 ビット LVDS を通じて FPGA にインタフェースします。ホスト FPGA と組み合わせることで、LMH0341 は入力データ・レートを自動的に検知して、DVB-ASI、SMPTE 259M、SMPTE 292M、または SMPTE 424M のいずれかの規格に準拠した 5 ビットの Raw データ・ワードを出力します。デバイスにより対応する各規格は Table 1 を参照ください。

LMH0341 とホスト FPGA 間のインタフェースは、5 ビット幅の LVDS バス、LVDS クロック、SMBus インタフェースで構成されます。外付けの VCO やクロックは必要ありません。LMH0341 CDR は、入力データ・ストリームから周波数を検知し、クリーンなクロックを生成して、クロックとデータの両方をホスト FPGA に伝送します。LMH0341、LMH0041、LMH0071 には、SMPTE 準拠ケーブル・ドライバを備えたシリアル・リクロック・ループスルー機能があります。このファミリが提供する単一チャンネル・デシリアライザの一覧については、Table 1 を参照ください。

これらの SER/DES 製品ファミリには FPGA 用 IP コードのサポートがあり、設計エンジニアは SER/DES 製品を使ったビデオ・アプリケーションを迅速に開発できます。製品は小型の 48 ピン LLP パッケージで提供されます。

主な仕様

- SMPTE 259M-C、SMPTE 292M、SMPTE 424M、DVB-ASI に準拠の出力 (Table 1 参照)
- 消費電力 (typ): 590mW (ループスルーはディスエーブル、3G データレート時)
- 0.6UI 最小入力ジッタ許容度

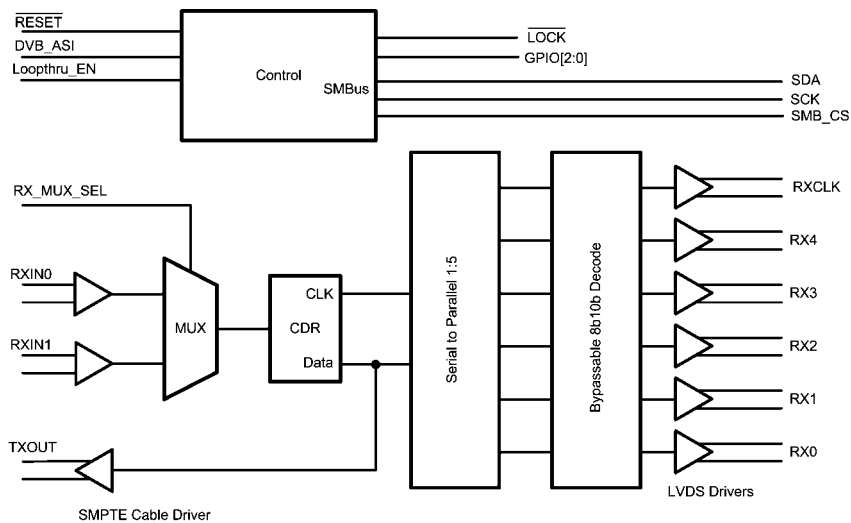
特長

- 5 ビットの LVDS インタフェース
- 外付けの VCO やクロックが不要
- ケーブル・ドライバを備えたリクロック・シリアル・ループスルー機能
- パワーダウン・モード
- 3.3V SMBus 構成インタフェース
- 小型 48 ピン LLP パッケージ
- 工業用温度範囲 - 40 °C ~ + 85 °C

アプリケーション

- 以下に対応する SDI インタフェース
 - ビデオ・カメラ
 - DVR
 - ビデオ・スイッチャ
 - ビデオ編集システム

一般的なブロック図



TRI-STATE® はナショナル セミコンダクターの登録商標です。

ピン説明

ピン名称	I/O 種別	説明
LVDS 入力インタフェース		
RX[4:0] + RX[4:0] -	出力、LVDS	LVDS データ出力ピン 5 チャンネル幅 DDR インタフェース
RXCLK + RXCLK -	出力、LVDS	LVDS クロック出力ピン DDR インタフェース
シリアル・データ入力		
RXIN ₀ + RXIN ₀ -	入力、差動	シリアル差動入力ピン チャンネル 0
RXIN ₁ + RXIN ₁ -	入力、差動	シリアル差動入力ピン チャンネル 1
ループスルー・シリアル出力		
TXOUT +	出力、CML	シリアル・デジタル・インタフェース出力ピン 非反転出力
TXOUT -	出力、CML	シリアル・デジタル・インタフェース出力ピン 反転出力
SMBus インタフェース		
SDA	入出力、 LVCMOS	SMBus データ入出力ピン
SCK	入力、LVCMOS	SMBus クロック入力ピン
SMB_CS	入力、LVCMOS	SMBus チップ選択入力ピン High のときにデバイスが選択されます。
制御と設定ピン		
RESET	入力、LVCMOS	リセット入力ピン H = 通常モード L = デバイス・リセット状態
LOCK	出力、LVCMOS	PLL ロック状態出力 H = ロックされていない L = PLL がロックされている
DVB_ASI	入力、LVCMOS	DVB_ASI 選択入力 H = DVB_ASI モードがイネーブル L = 通常モードがイネーブル
Loopthru_EN	入力、LVCMOS	ループスルー・イネーブル入力 H = リクロック・ループスルーがアクティブ L = リクロック・ループスルーがディスエーブル
RX_MUX_SEL	入力、LVCMOS	入力マルチプレクサ選択 H = RXIN ₁ を選択 L = RXIN ₀ を選択
GPIO[2:0]	入出力、 LVCMOS	汎用入出力 ソフトウェアで設定可能な入出力ピン
RSVD_H	入力、LVCMOS	設定入力 - High に接続しなければなりません 5kΩ 抵抗にて V _{DD3V3} にプルアップ

ピン説明 (つづき)

ピン名称	I/O 種別	説明
アナログ入力		
R _{SET}	入力	シリアル・ループスルー出力振幅調整 このピンからグラウンドに接続される抵抗で信号振幅を設定します。通常は、800mV 出力を得るため 7.87k Ω (SMPTE) を使用。
LF_CP	入力	ループ・フィルタ接続
LF_REF		ループ・フィルタ・リファレンス
DNC		接続せずに、開放のままにしてください。
電源とグラウンド		
V _{DD3V3}	電源	3.3V 電源
V _{DDPLL}	電源	3.3V PLL 電源
V _{DD2V5}	電源	2.5V 電源
GND	グラウンド	グラウンド – DAP (大きな中央のパッド) はデバイスの主要な GND であり、GND ピンとともにグラウンドに接続しなければなりません。

TABLE 1. Feature Table

Device	SMPTE 424M Support	SMPTE 292M Support	SMPTE 259M Support	DVB-ASI Support	Active Loophrough
LMH0341	x	x	x	x	x
LMH0041		x	x	x	x
LMH0071			x	x	x
LMH0051		x	x	x	

絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電気的信頼性試験方法の規格を参照ください。

電源電圧 (V _{DD3V3})	- 0.3V ~ + 4.0V
電源電圧 (V _{DD2V5})	- 0.3V ~ + 3.0V
LVC MOS 入力電圧	- 0.3V ~ (V _{DD3V3} + 0.3V)
LVC MOS 出力電圧	- 0.3V ~ (V _{DD3V3} + 0.3V)
SMBus 入出力電圧	- 0.3V ~ + 3.6V

LVDS 入力電圧	0.3V ~ 3.6V
接合部温度	+ 150 °C
保存温度範囲	- 65 °C ~ + 150 °C
リード温度 — ハンダ付け 4 秒	+ 260 °C
熱抵抗 — 接合部 - 周囲間 — θ_{JA}	26 °C /W
ESD 耐圧 — 人体モデル、 1.5k Ω 、100pF	$\geq \pm 8KV$

推奨動作条件

Parameter	Min	Typ	Max	Units
Supply Voltage (V _{DD3V3} -GND)	3.135	3.3	3.465	V
Supply Voltage (V _{DD2V5} -GND)	2.375	2.5	2.625	V
Supply noise amplitude (10 Hz to 50 MHz)			100	mV _{P-P}
Ambient Temperature	-40	+25	+85	°C
Case Temperature			102	°C
Input Data Rate — LMH0341	270		2970	Mbps
Input Data Rate — LMH0041	270		1485	Mbps
Input Data Rate — LMH0071	270		270	Mbps
Input Data Rate — LMH0051	270		1485	Mbps
LVDS PCB board trace length (mismatch <2%)			25	cm
R _{STERM} — SMBus termination resistor value		1000		Ω
Loophrough Output Driver Pullup Resistor Termination Voltage		2.5	2.625	V

電気的特性

特記のない限り、推奨動作条件に記載の電源電圧および動作周囲温度に対して適用 (Note 2)。

Symbol	Parameter	Condition	Min	Typ	Max	Units
$I_{DD2.5}$	2.5V supply current for LMH0341, LMH041, LMH0071	2.97 Gbps LT off		67	77	mA
		1.485 Gbps LT off (Note 9)		52	59	mA
		270 Mbps LT off (Note 9)		40	46	mA
		2.97 Gbps LT on		99	108	mA
		1.486 Gbps LT on (Note 9)		84	92	mA
		270 Mbps LT on (Note 9)		65	71	mA
		2.5V supply current for LMH0051	1.485 Gbps		52	59
	270 Mbps		40	46	mA	
$I_{DD3.3}$	3.3V supply current for LMH0341, LMH0041, LMH0071	LT off (Note 9)		106	120	mA
		LT on (Note 9)		112	127	mA
	3.3V supply current for LMH0051			106	119	mA
P_D	Power Consumption	2.97 Gbps, loophrough enabled		617	710	mW
		1.485 Gbps, loophrough enabled (Note 9)		580	670	mW
		270 Mbps, Loophrough enabled (Note 9)		532	620	mW
		2.97 Gbps, Loophrough Disabled (Note 9)		517	610	mW
		1.485 Gbps, Loophrough Disabled (Note 9)		480	560	mW
		270 Mbps, Loophrough Disabled (Note 9)		450	530	mW

制御ピンの電気的特性

特記のない限り、推奨動作条件に記載の電源電圧および動作周囲温度に対して適用。DVB_ASI、 $\overline{\text{RESET}}$ および $\overline{\text{LOCK}}$ 、GPIO、RX_MUX_SEL、Loophru_EN に適用 (Note 2)。

Symbol	Parameter	Condition	Min	Typ	Max	Units
V_{IH}	High Level Input Voltage		2.0		$V_{DD3V3} + 0.3$	V
V_{IL}	Low Level Input Voltage		-0.3		0.8	V
V_{OH}	High Level Output Voltage	$I_{OH} = -0.4$ mA	2.7	3.25		V
		$I_{OH} = -2$ mA	2.7	3.2		V
V_{OL}	Low Level Output Voltage	$I_{OL} = 2$ mA		0.1	0.3	V
V_{CL}	Input Clamp Voltage	$I_{CL} = -18$ mA		0.9	-1.5	V
I_{IN}	Input Current	$V_{IN} = 0.4V, 2.5V$ or V_{DD} Pullup and pulldown resistors not enabled.	-40		40	μ A
I_{OS}	Output Short Circuit Current	$V_{OUT} = 0V$		-44		mA

SDI 入力の電气的特性

特記のない限り、推奨動作条件に記載の電源電圧および動作周囲温度に対して適用 (Note 2)。

Symbol	Parameter	Condition	Min	Typ	Max	Units
V_{ID}	Input Differential Voltage	DC Coupled, $V_{CM} = 0.05V$ to $V_{DD}-0.05V$ (Note 7)	230		2200	mV
I_{IN}	Input Current	$0V < V_{IN} < 2.4V$	-300		50	μA
R_{IT}	Input Termination		84	100	116	Ω
TOL_{JIT}	Input Jitter Tolerance	Frequency < f2 (From SMPTE RP 184)		6		UI
		Frequency < f3		0.6		UI
λ_{BW}	Jitter Transfer Function 3 dB loop bandwidth	Figure 7		0.13%		Fraction of Datarate
δ	Jitter Peaking	Figure 7		0.05		dB
RL	Input Return Loss	Measured on 'ALP' evaluation board(Note 7)		>25dB to 1.5GHz >12dB to 3 GHz		dB

LVDS 出力の電气的特性

特記のない限り、推奨動作条件に記載の電源電圧および動作周囲温度に対して適用 (Note 2)。

Symbol	Parameter	Condition	Min	Typ	Max	Units
V_{OD}	Differential Output Voltage	$R_L = 100\Omega$	230		310	mV
ΔV_{OD}	Change in V_{OD} between complementary output states				35	mV
V_{OS}	Offset Voltage		1.125	1.25	1.375	V
ΔV_{OS}	Change in V_{OS} between complementary output states				35	mV
I_{OS}	Output Short Circuit Current	$V_{OUT} = 0V, R_L = 100\Omega$	-50			mA

LVDS スイッチング特性

特記のない限り、推奨動作条件に記載の電源電圧および動作周囲温度に対して適用 (Note 2)。

Symbol	Parameter	Condition	Min	Typ	Max	Units
t_{ROTR}	LVDS Low to High Transition time	See LVDS Switching times		300		ps
t_{ROTF}	LVDS High to Low Transition time			300		ps
t_{ROCP}	Receiver output clock period	RxCLKOUT is DDR. If divide by 4 is enabled, the output clock period will be doubled		2T		ns
t_{RODC}	RxCLKOUT Duty Cycle		45	50	55	%
t_{ROCH}	RxCLKOUT high time	See Receiver timing specifications	1.51			ns
t_{ROCL}	RxCLKOUT low time		1.51			ns
t_{RBIT}	Receiver output bit width			T		ns
t_{DVBC}	RX data transition to RXCLK transition	See Receiver timing specifications (Note 8)	650			ps
t_{DVAC}	RXCLK transition to RX data transition		650			ps
t_{ROJR}	Receiver output Random Jitter	Receiver output intrinsic random jitter. Bit error rate $\leq 10^{-15}$. Alternating 10 pattern. RMS (Note 7)		2.5		ps
t_{ROJT}	Peak-to-Peak Receiver Output Jitter	(Note 7)		70	125	ps
t_{RD}	Receiver Propagation Delay	See Receiver (LVDS Interface) Propagation Delay		12 T		
t_{RLA}	Receiver Link Acquisition Time	From device reset or change in input data rate to locked condition			24	ms
t_{LVSK}	LVDS Output Skew	LVDS Differential Output Skew between + and - pins		20		ps

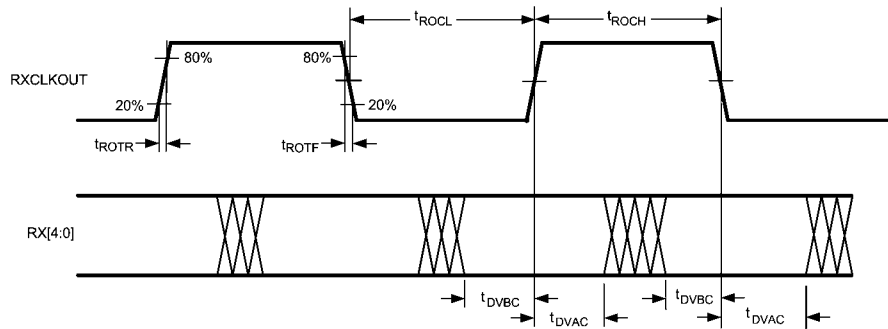


FIGURE 1. LVDS Switching Times

SMBus 入力の電氣的特性

特記のない限り、推奨動作条件に記載の電源電圧および動作周囲温度に対して適用 (Note 2)。

Symbol	Parameter	Condition	Min	Typ	Max	Units
V_{SIL}	Data, Clock Input Low Voltage				0.8	V
V_{SIH}	Data, Clock Input High Voltage		2.1		V_{SDD}	V
V_{SDD}	Nominal Bus Voltage		2.375		3.465	V
V_{OL}	Output Low voltage	$I_{OL}=2mA$			0.3	V
I_{SLEAKB}	Input Leakage per bus segment	See (Note 3)	-200		200	μA
I_{SLEAKP}	Input Leakage per pin	SCK and SDA pins	-10		10	μA
C_{SI}	Capacitance for SMBdata and SMBclk	See (Note 3, Note 4)			10	pF

SMBus スイッチング特性

特記のない限り、推奨動作条件に記載の電源電圧および動作周囲温度に対して適用 (Note 2)。

Symbol	Parameter	Condition	Min	Typ	Max	Units
f_{SMB}	Bus Operating Frequency		10		100	kHz
t_{BUF}	Bus free time between stop and start condition		4.7			μs
t_{SU-CS}	Minimum time between SMB_CS being active and Start condition	(Note 7)	30			ns
t_{H-CS}	Minimum time between stop condition and releasing SMB_CS	(Note 7)	100			ns
t_{HD-STA}	Hold time after (repeated) start condition. After this period, the first clock is generated	At $I_{SPULLUP} = MAX$	4.0			μs
t_{SU-STA}	Repeated Start condition setup time		4.7			μs
t_{SU-STO}	Stop Condition setup time		4.0			μs
t_{HD-DAT}	Data hold time		300			ns
t_{SU-DAT}	Data setup time		250			ns
t_{LOW}	Clock Low Period		4.7			μs
t_{HIGH}	Clock high time		4.0		50	μs
t_{POR}	Time in which a device must be operational after power on				500	ms

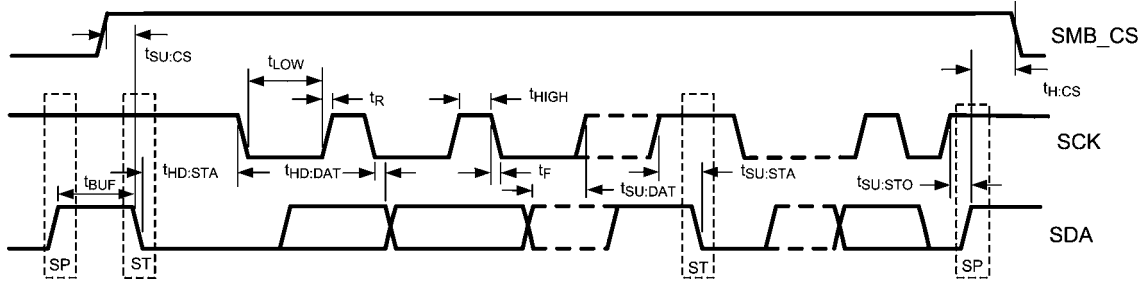


FIGURE 2. SMBus Timing Parameters

SDI 出カスイッチング特性 (LMH0341 / LMH0041 / LMH0071)

特記のない限り、推奨動作条件に記載の電源電圧および動作周囲温度に対して適用 (Note 2)。

Symbol	Parameter	Condition	Min	Typ	Max	Units
	SDI Output Datarate		270		2970	MHz
t_r	SDI Output Rise Time	DR=2.97 Gbps (Note 7)			135	ps
		DR=1.485 Gbps (Note 7)			145	
		DR=270 Mbps (Note 7)	400		1000	
t_f	SDI Output Fall Time	DR=2.97 Gbps (Note 7)			135	ps
		DR=1.485 Gbps (Note 7)			145	ps
		DR = 270 Mbps (Note 7)	400		1000	ps
Δt_f	Mismatch between Rise and Fall times	2.97 Gbps (Note 7)			25	ps
		1.485 Gbps (Note 7)			30	ps
		270 Mbps (Note 7)			100	ps
t_{SD}	Propagation Delay Latency			t_{CIP}		ns
t_j	Peak to Peak Output Jitter	2.97 Gbps (Note 7, Note 6)		25	40	
		1.485 Gbps (Note 7, Note 6)		35	50	
		270 Mbps (Note 7, Note 6)		65	110	
V_{OD}	SDI Output Voltage (Loopthrough Output)	Into 75Ω Load	720	800	880	mV
RL	Output Return Loss	Measured 5 MHz to 1483 MHz (Note 7)		15		dB
t_{OS}	Output Overshoot	(Note 7)			5	%

Note 1: 「絶対最大定格」とは、この値を超えるとデバイスの安全を保証できない制限値を意味します。これらの制限値までデバイスが動作することを意味するものではありません。

Note 2: 代表値は $V_{DD} = 3.3V$ 、 $T_A = 25^\circ C$ で測定されています。代表値は参照を目的としており、製造時検査は行っていません。

Note 3: 推奨値 — パラメータはテストされていません。

Note 4: 1 個のバス・セグメント当たりの推奨最大容量負荷は 400pF です。

Note 5: 最大終端電圧は、このデバイスの電源電圧と同じです。

Note 6: SMPTE RP184 に準拠して測定されています。

Note 7: 仕様は特性評価によって保証されています。

Note 8: 2.97Gbps、1.485Gbps および 270Mbps での特性に関する仕様について、製造時検査は 270Mbps についてのみ行われます。

Note 9: LMH0341 について、仕様は特性評価により保証されています。他種は製造時検査が行われます。

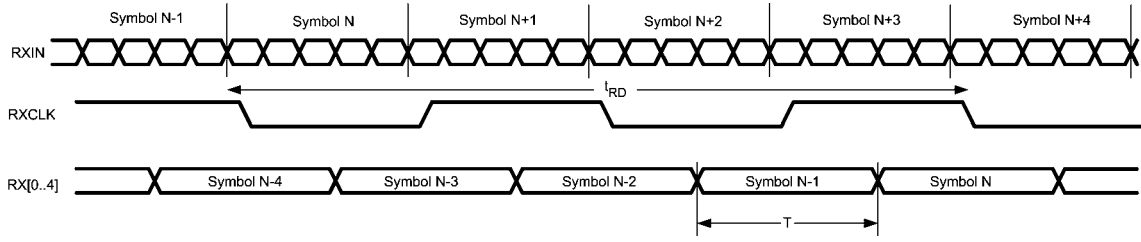


FIGURE 3. Receiver (LVDS Interface) Propagation Delay

機能説明

デバイスの動作

DES はデジタル・ビデオ信号の生成機器で使用されます。この DES はデータを処理して SER に渡す FPGA ホストと連携して動作するように設計されており、5 ビットの出力データを適切なパラレル・ビデオ・フォーマット (通常は 10 ビットまたは 20 ビット幅) に変換します。ほとんどのアプリケーションで、DES への入力データは DVB ASI、SMPTE 259M-C、SMPTE 292M または SMPTE 424M に準拠したデータであり、ナショナル セミコンダクターが提供する IP または類似の IP によりデコードされます。ナショナル セミコンダクターは、適切にデータをデコードする IP をソース・コード形式で提供すると共に、対応するアプリケーションの開発を支援する評価プラットフォームも提供しています。詳細については、ナショナル セミコンダクターの販売代理店にお問い合わせください。

電源

DES には、2.5V と 3.3V の複数のパワー・ピンが設けられています。これらのピンがすべて接続されており、適切にバイパスされていることが重要です。バイパスは、最小でも $4.7\mu\text{F}$ と $0.1\mu\text{F}$ のコンデンサを並列に構成し、各パワー・ピンの近くに $0.1\mu\text{F}$ のコンデンサを配置します。デバイスのパッケージの中央底面には、大きな接触面があります。この接触面は、デバイスの主要なグラウンド接続であるため、システム GND に接続する必要があります。3.3V 電源レールに接続する V_{DDPLL} ピンには、 $22\mu\text{F}$ のコンデンサが必要です。

電源分配システムでは、ディスクリット部品によるバイパスは 30MHz ~ 50MHz を超えると効果がありません。これより上の周波数では、電源層とグラウンド層間の固有容量が追加の RF バイパスとして使用できます。これを有効に利用するには、電源、GND それぞれに専用の層を設け、それらに向い合わせることで、電源と GND 間に分布容量を持たせます。

DES は、リニア・レギュレータから電力供給することで最高の性能を発揮します。通常リニア・レギュレータの出力は、スイッチング・レギュレータと比較してノイズが少なく、クリーンです。出力フィルタリングと電源周波数補償は、一般にリニア・レギュレータのほうがよりシンプルで効果的です。ロジック用電源などの低入力電圧で動作可能な低ドロップアウト・リニア・レギュレータを使用すると、レギュレータの消費電力を削減できます。低ドロップアウト・レギュレータをカスケード接続するべきではありません。これは消費電流負荷がカスケード中の最初のレギュレータにかかって、このレギュレータの負荷が増大し、温度が上昇するためです。

パワーアップ

3.3V 電源は 2.5V 電源より前に立ち上がる必要があります。電源シーケンスのタイミングは重要ではありません。デバイスにはパワーオン・リセット・シーケンスが装備されており、両方の電源がオンになるとこのシーケンスが機能します。このシーケンスは、すべてのレジスタ内容をデフォルト値にリセットし、PLL をリンク・アクイジション・モードに設定して $RXIN_0$ 入力のロックを試みます。

リセット

デバイスをリセットする方法は 3 つあります。1 つは自動リセットで、パワーアップ時に発生します。もう 1 つは Reset ピンで、このピンが Low になるとデバイスをリセットします。このピンが High に戻ると、デバイスの通常動作が再開されます。3 番目のリセッ

ト方法は Soft Reset で、リセット・レジスタへの書き込みにより実行されます。このリセットでは、すべてのレジスタ値がデフォルト値に戻ります。ただし、SMBus のデフォルト・アドレスが変更されていた場合は、アドレス・レジスタの値は影響を受けません。

LVDS 出力

DES には、ANSI/TIA/EIA-644 と互換性のある LVDS 出力があります。LVDS 出力は、ホスト FPGA 入力で適切に終端された 100Ω の伝送ラインを駆動します。FPGA とレシーバとの間のプリント基板配線は 25cm より短くすることを推奨します。プリント基板配線が長くなると、信号劣化やチャネル・スキューを招く可能性があり、これらはシリアル化時のエラーの原因になります。

DES の LVDS 出力の振幅はプログラム可能です。デフォルトの状態は電力を節約するために小さな振幅に設定されています。大きな出力振幅が必要な場合、レジスタ $0x27h$ で調整できます。

LVDS 出力タイミング

デフォルト状態での DES 出力タイミングは、LVDS スwitching 特性表に記載されています。ホスト FPGA へのラッチを容易にするために、必要に応じて LVDS 出力タイミングを調整できます。調整はレジスタ $0x28h$ で行います。このレジスタは、クロックとデータのタイミングを調整したり、RXCLK を DDR クロックから DDR/2 レートのクロックに変更したりできます。

ループ・フィルタ

DES には PLL が内蔵されており、入力データから埋め込みクロック復元するために使用されます。この PLL のループ・フィルタには外付け部品があり、シリアル・デジタル・インタフェースのアプリケーションで最適の結果を得るためには、インタフェースの代表例に示すように、コンデンサと抵抗をピン 26 と 27 の間に直列に接続しなければなりません。

DVB-ASI モード

DVB-ASI モードは、DVB-ASI ピンが High 状態になるとイネーブルされます。DVB-ASI モードがイネーブルになると、内蔵フレイマと 8b/10b デコーダが動作して、デコードされた 8b/10b データがニブル (4bit) ごとに $RX0-RX3$ に現れます。 $RX4$ はアイドル文字検出で、レシーバが外付け FIFO にデータを書き込まないようにするためのイネーブルとして使用できます。 $RX0-RX3$ 上に現れるデータがアイドル文字の場合、 $RX4$ は High になります。データの最下位ニブルは、RXCLK の立ち上がりエッジで表され、最上位ニブルは RXCLK の立ち下がりエッジで表されます。

SDI 入力インタフェース

デバイスには 2 つの入力があり、マルチプレクサを介して RX_MUX_SEL ピンで指定した 1 つが選択されます。選択された入力はデシリアライザのクロック・リカバリ部に送られ、リクロックされた信号はループスルーに出力されます。ほとんどの SDI インタフェースでは、性能要件を満たすためにイコライザが必要です。HD-SDI および SD-SDI のアプリケーションでは、この用途に最適なイコライザは LMH0044 です。LMH0044 は小型のパッケージで供給されており、出力を LMH0041 の $RXIN$ 入力に直接接続できます。LMH0344 は LMH0044 とピン互換であり、3Gbps データに対応するので、LMH0341 との組み合わせには理想的な選択肢です。

機能説明 (つづき)

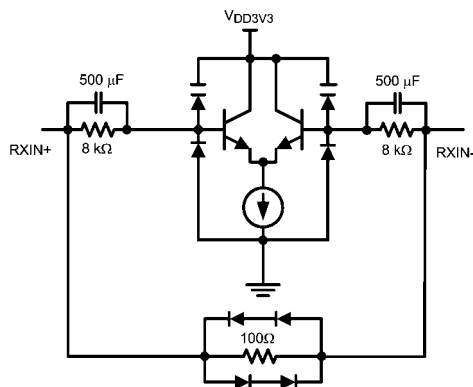


FIGURE 4. Simplified SDI Input Circuit

SDI 入力のスイッチング

DES の入力、内蔵の 2:1 マルチプレクサ、または外付けのクロスポイント・スイッチを経由して、1 つのソースから別のソースに切り替えられたとき、様々な振る舞いが想定されます。同じデータレートで動作する 2 つの信号間で入力のスイッチングが行われるときは、ほとんどの場合 DES のロックは外れません。PLL が新しい入力信号に位相を合わせるまで、不完全なデータを含むワードが若干生じます。場合によっては (入力間の位相差、温度などにより)、PLL のロックが外れ、再度ロックする可能性もあります。この状態は、LOCK ピンを監視することでわかります。パルスが High に移行するときはロックが外れた状態を示します。ロックが外れた場合、再ロックするまでの時間は約 5ms です。入力切り替えがデータレートの異なる信号間の場合 (例えば、270Mbps 信号から 1.485Gbps 入力)、ロック手続きはさらに複雑になり、ロック時間もずっと長くなります。どちらの場合も、受信した信号を処理する IP は、適切なワード・フレーミングを再確立する必要があります。

SDI 出カインタフェース

シリアル・ループスルー出力は、低スキューの相補信号または差動信号を提供します。出力バッファは電流モードに設計されているため、ハイ・インピーダンス出力が得られます。75Ω の伝送ラインを駆動するには、各出力ピンと V_{DD2V5} 間に 75Ω の抵抗を接続しなければなりません。この抵抗には 2 つの機能があります。すなわち、ケーブルを駆動するために電流出力を電圧に変換すること、伝送ラインのバック終端抵抗となることです。出力ドライバはそのスルーレートを入力データレートに応じて自動的に調整し、SMPTE 259M、SMPTE 292M または SMPTE 424M に準拠するようにします。出力振幅および立ち上がり/立ち下がり時間に関する仕様に加えて、SMPTE 仕様では SDI 出力が出力リターン・ロス (ORL) 仕様を満たすことが要求されます。デバイスの出力ピンと、プリント基板には寄生容量が存在します。リターン・ロスを最適化するためには、これらは通常、並列に配置されたインダクタと抵抗で構成される直列ネットワークを用いて補償されます。これらの部品の実際の値はアプリケーションによって異なりますが、標準的インタフェース回路に示す値をまずお試しください。これを推奨します。

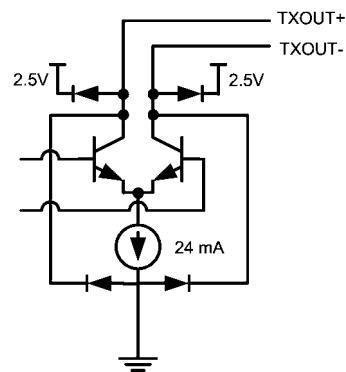


FIGURE 5. Simplified SDI Output Circuit

ジッタ管理

SMPTE 424M (3Gbps 標準) は、SDI トランスミッタの要件を 0.2UI から 0.3UI に緩和しました。これは、この信号をエラーなしに受信するのが大変難しいことを意味します。DES が信号をエラーなしで受信できるかどうかを判断するための重要なパラメータがジッタ許容度です。Figure 6 に、2.97Gbps 入力での LMH0341 のジッタ許容度を示します。この図の上のカーブよりジッタの少ない信号は、すべて DES で受信できます。下方のラインは、すべてのレシーバに対する SMPTE の要求を示します。10MHz より上の周波数でわずかにレベルが低下していますが、これはデータ取得に使用した試験機器の影響によるものです。一旦信号を受信したら、次の課題は、入力信号に存在するジッタが、どの程度 RXCLK 出力に伝わるかという点です。これはジッタ伝達関数により求められます。ジッタ伝達関数は、入力ジッタと出力ジッタの比であり、周波数の関数として測定されます。特性表は、このカーブに関連する 2 つのパラメータを示しています。つまり、 δ はジッタ・ピーキングであり、ジッタの最大ゲインを示します。理想的な δ は 0 ですが、小さな値ほど良いです。システムに複数のデバイスが使用され、 δ が最大の周波数がすべてのデバイスで同じ場合、ゲインが乗算されます。そのため、その周波数においてジッタの累積が過度になる危険があります。LMH0341 は、ジッタ・ピーキングが極めて低いので、上記の心配はありません。問題となるもう一つのパラメータは、ジッタ伝達帯域幅 λ です。周波数 λ の入力ジッタは 3dB 減衰し、 λ より高い周波数のジッタはこれより大きく減衰します。設計の観点からは、これは主に λ より低い周波数でのジッタのみ注意する必要があることを意味します。LMH0341 では、ループ帯域幅をデータレートに応じて調整するので、低いデータレートではループ帯域幅は低くなります。Figure 8 は、2.97Gbps 信号入力、0.5UI の入力ジッタ、および標準的な電源電圧、温度での LMH0341 のジッタ伝達カーブを示します。

機能説明 (つづき)

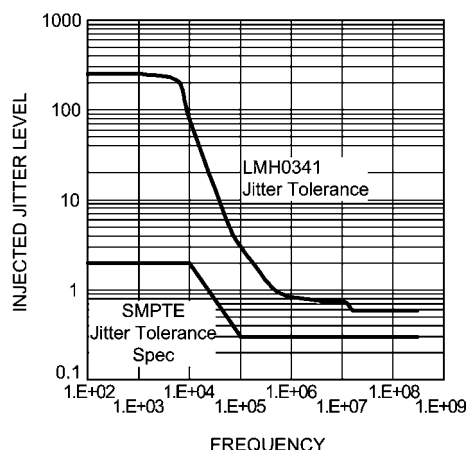


FIGURE 6. Jitter Tolerance Curve

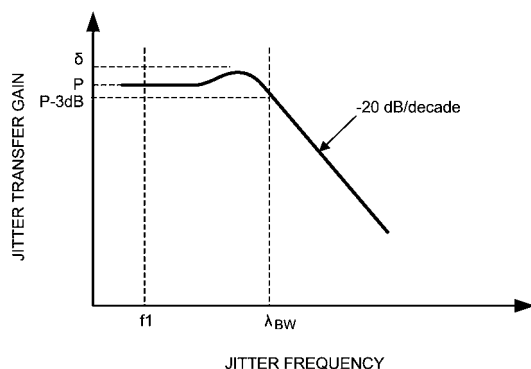


FIGURE 7. Jitter Transfer Curve Parameters

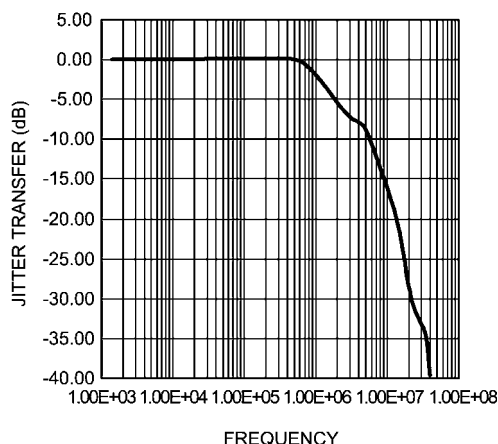


FIGURE 8. Jitter Transfer Curve

SMBus インタフェース

設定用バスは、システム・マネジメント・バス (SMBus) 2.0 仕様準拠しています。SMBus 2.0 には複数のオプションがあります。オプションの ARP (Address Resolution Protocol) 機能には対応していません。入出力レベルは 3.3V のみで、5V 耐圧ではありません。マルチドロップ・アプリケーション (1 つのホストに対して複数のデバイスがある) には、SMB_CS 信号の使用が推奨されます。

システム・マネジメント・バス (SMBus) は、さまざまなシステム部品間の通信用に設計された 2 線式インタフェースです。SMBus 経由で回路の制御機能にアクセスすることにより、ピンの数を最小限に抑えながら、最大限に汎用性を持たせることができます。SMBus を制御するピンは 3 つあります。デバイスに対し、SMBus インタフェースをイネーブルにする SMBus CS ピン、クロック・ライン、データ・ラインです。複数のデバイスが存在するアプリケーションでは、SDA ピンと SCK ピン各々を一緒にバス接続し、通信する個々のデバイスは CS ピンにより選択します。SCL と SDA はどちらもオープン・ドレインであり、外付けのプルアップ抵抗により High にプルアップします。DES には、SMBus からアクセス可能な設定用レジスタがいくつかあります。このレジスタは後出の「DES レジスタの詳細」の表に示します。

SMBus を通じたデバイスへのデータ伝送

通常動作では、SCK が High の間、SDA 上のデータは安定していなければなりません。

START/STOP/IDLE 状態

SMBus には 3 つの固有な状態があります。

START SCK が High のとき SDA の High から Low への遷移は、START 状態のメッセージを示します。

STOP SCK が High のとき SDA の Low から High への遷移は、STOP 状態のメッセージを示します。

IDLE 最後に検出された STOP 状態から時間 t_{BUF} を超えて SCK と SDA の両方が High 状態である場合、または High 状態の合計時間が仕様で定められた最大値 t_{HIGH} を超えた場合、バスは IDLE 状態に移行します。

SMBus トランザクション

トランザクションは、ホストが DES の SMBus を START 状態にしたときに開始され、MSB を先頭にして 1 バイト (8 ビット) が転送され、9 ビット目に ACK ビットが続きます。ACK ビットは、ACK を示す "0" または NACK を示す "1" です。この後、ホストは SCL ラインを Low に保持して、レシーバがバイトを受信したことを示す確認応答 (ACK) として SDA ラインを駆動するまで待ちます。

SMBus インタフェースを通じたレジスタへの書き込み

DES のレジスタにデータ値を書き込む際、ホストは 3 バイトの値を書き込みます。最初のバイトはデバイス・アドレスです。デバイス・アドレスは 7 ビットの値で、DES に書き込む場合、最後のビット (LSB) を "0" に設定して動作が書き込みであることを示します。2 番目に書き込むバイトはレジスタ・アドレスです。また、3 番目のバイトは指定したレジスタに書き込むデータです。さらにデータを書き込む場合、レジスタ・アドレスは自動的に加算されます。書き込みサイクルの終わりに、ホストはバスを STOP 状態にします。

SMBus インタフェースを通じたレジスタからの読み出し

レジスタからデータ値を読み出す際、ホストは最初にデバイス・アドレスを書き込み、このとき LSB を "0" に設定して書き込み動作であることを示します。次に、レジスタ・アドレスをデバイスに書き込みます。次にホストは START 状態を再アサートし、デバイス・アドレスをもう一度書き込みますが、このとき LSB を "1" に設定して読み出し動作であることを示します。この動作に続いて、DES は指定されたレジスタからのデータを用いて SDA ラインを駆動します。ホストは、ACK ビットを "1" にアサートしてデータの読み出しが終わったことを示します。最後のバイトを読み出した後、ホストは NACK を "0" にアサートし、DES に対してもうデータが必要ないことを示します。

機能説明 (つづき)

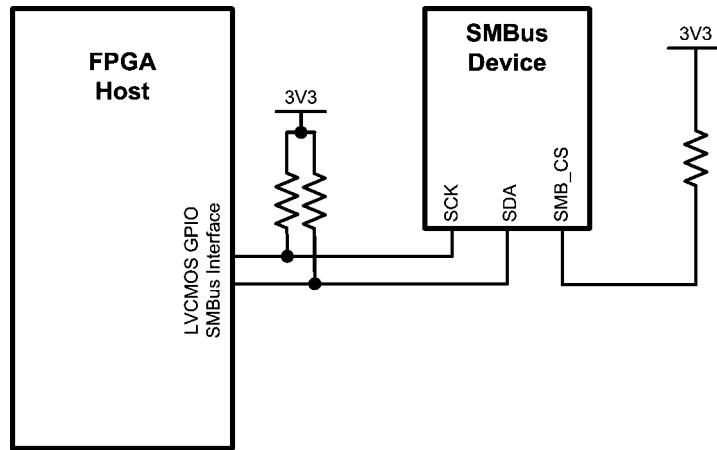


FIGURE 9. SMBus Configuration 1 — Host to single device

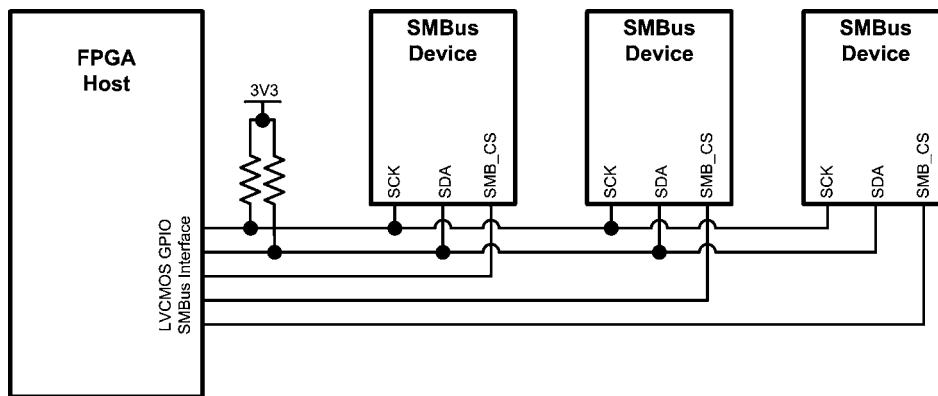


FIGURE 10. SMBus Configuration 2 — Host to multiple devices with SMB_CS signals

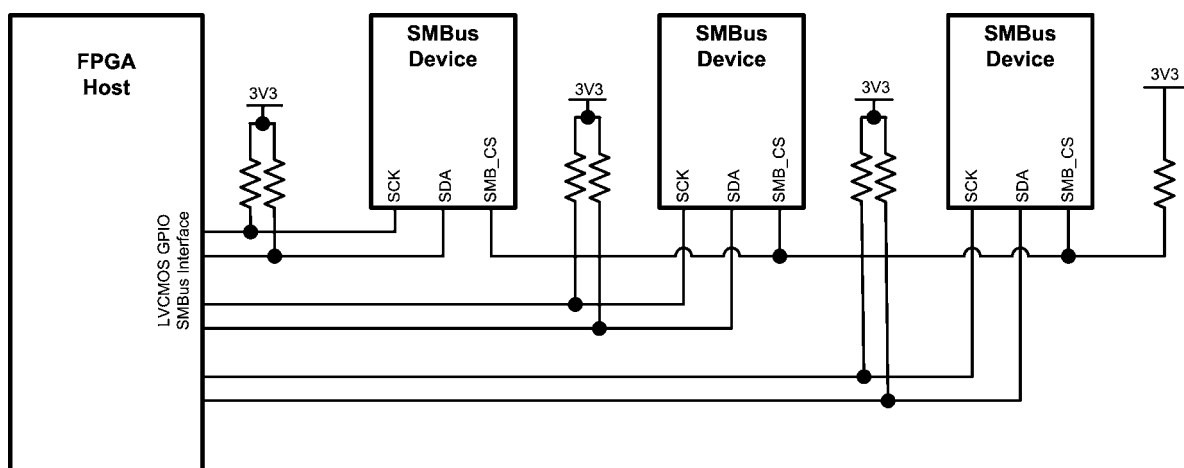


FIGURE 11. SMBus Configuration 3 — Host to multiple devices with multiple SMBus Interfaces

機能説明 (つづき)

汎用入出力ピン (GPIO)

DES には、特定のレジスタ値に専用のピンから直接アクセスできるように設定できる 3 つのピンがあります。例えば、特定のアプリケーションで、デシリアライザの入力信号の消失に対する迅速な動作が要求される場合、PCLK 検出状態ビットを外付けピンに直接つないで、ホストプロセッサに割込みを発生させることができます。GPIO ピンは、TRI-STATE[®] (ハイ・インピーダンス) モードになるように設定できます。またバッファをディスエーブルにすることができます。さらに、入力として使用するときは、プルアップ抵抗、プルダウン抵抗、またはバイアスしないように設定できます。

各 GPIO ピンには制御用レジスタがあります。これらのレジスタは、それぞれ上位 4 ビットで GPIO ピンに求められる機能を定義しますが、オプションは 3 つの GPIO ピンで多少異なります。ピンは、LMH0040 デバイスのさまざまな内部状態を監視したり、外部の信号源からの入力として動作したり、外部機能を制御する出力として使用できます。

GPIO₀ の機能

- SMBus でプログラムした信号の出力を可能にする
- SMBus を介した外部信号の監視を可能にする
- 入力 0 上の信号状態を監視する

GPIO₁ の機能

- パワーオン・リセットを監視する
- SMBus でプログラムした信号の出力を可能にする
- SMBus を介した外部信号の監視を可能にする。入力 1 上の信号状態を監視する
- 入力クロック・リカバリ PLL のロック状態を監視する

GPIO₂ の機能

- SMBus でプログラムした信号の出力を可能にする
- SMBus を介した外部信号の監視を可能にする
- 一定のクロック信号を出力する
- フルレート LVDS TX クロックの 1/20 を出力する
- フルレート CDR クロックの 1/20 を出力する

ビット 2 とビット 3 は、デバイスに内蔵されたプルアップ / プルダウン抵抗の状態を次の真理値表に従って設定します。

- 00: プルアップおよびプルダウンがディスエーブル
- 01: プルダウンがイネーブル
- 10: プルアップがイネーブル
- 11: リザーブ

ビット 1 は、入力バッファをイネーブルまたはディスエーブルするために使用されます。GPIO ピンを出力ピンとして使用する場合、このビットを "0" に設定して入力をディスエーブルする必要があります。

LSB は、出力を通常出力状態とハイ・インピーダンス・モードの間で切り替えるために使用されます。GPIO ピンを入力ピンとして使用する場合、このビットを "0" に設定して出力をハイ・インピーダンス・モードにする必要があります。

例えば、GPIO₀ ピンを入力 0 上の入力信号状態監視に使用する場合は、レジスタ 02h を値 00010010b にします。

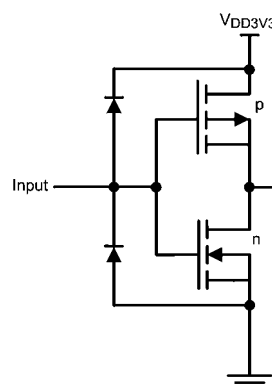


FIGURE 12. Simplified LVCMOS Input Circuit

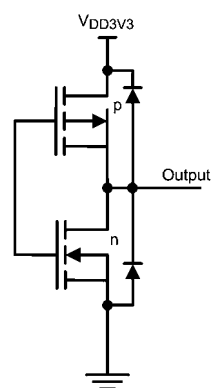


FIGURE 13. Simplified LVCMOS Output Circuit

GPIO ピンの応用例

DES 設計の見直しのときに便利なデバッグ・ツールとなるだけでなく、GPIO ピンを実践的に使用できる場面はほかにもあります。

一次入力信号が消失した場合の二次入力への自動切り替え

入力 0 の状態を監視するように GPIO₀ を設定すると、入力 0 ピンに信号が存在しないとき GPIO₀ ピンは Low になります。この信号を反転して RX_MUX_SEL の駆動に使用すると、入力 0 上の入力が消失したときにデバイスが自動的に入力 1 に切り替わります。

その他の GPIO ピンの用途として、イコライザからの CD 出力、または SMBus を介した DES 自体からの LOCK 出力などの外部信号へのアクセスとして使用できます。これによって DES と FPGA 間の接続数を減らすことができます。

アプリケーション情報

PCB の推奨レイアウト

ほとんどすべてのアプリケーションで、DES への入力は LMH0044 などのイコライザの出力によって駆動されます。入力コネクタとイコライザ間のインタフェースについては、イコライザのデータシートの推奨事項に従ってください。DES はイコライザと FPGA との間に配置します。DES がイコライザに近すぎると、DES の高速デジタル出力とイコライザ入力との間にクロストークが発生するリスクがあります。逆に、DES とイコライザの間が離れすぎていると、両者の間の配線がノイズを拾ったり、超高速信号のためにノイズを撒き散らしたりする場合があります。イコライザから DES への信号は、必ず差動信号のトレースとして扱ってください。差動信号トレースの 2 つの導線の間にスキューがある場合、これによって DES の受信回路に問題が発生するだけではなく、ペア内のトレース間に位相差が生じ、信号が同相信号のように放射します。

ループスルー出力を使用する場合、DES をループスルー出力 BNC コネクタの近くに配置すること、イコライザを SDI 入力 BNC コネクタの近くに配置することが推奨されます。これによって、最も重要な接続の長さが最小になります。

DES には、ループスルー出力用のケーブル・ドライバが備わっています。SMPTE シリアル仕様では、ドライバの出力リターン・ロスについてきわめて厳密な要件が定められています。出力リターン・ロスは、DES と出力コネクタ間の接続に非理理想要因があると悪化します。この部分のトレース長をできるだけ短くして、このトレースの特性インピーダンスを $75\ \Omega$ にする必要があります。 $75\ \Omega$ の終端抵抗は、できる限りループスルー出力ピンの近くに配置してください。

ホスト FPGA と DES との間の PCB トレースを 25cm (10 インチ) より長くしないことを推奨します。また、トレースは差動ペアとして配置し、ペアの線の長さを厳密に合わせてカップリングすること、6 つの各ペアを同じ長さのトレースにすることを推奨します。

PCB 設計の推奨事項と禁止事項

推奨事項 できるだけ、各電源専用に 1 つの層全体を割り当てます。これによって、電源層のインダクタンスが減少します。

推奨事項 できるだけ表面実装部品を使用します。

推奨事項 各パワー・ピンの近くにバイパス・コンデンサを配置します。

禁止事項 グラウンド・ループを作らないでください。電源層とグラウンド層に生じるカットアウトに注意して、ループができないようにしてください。

禁止事項 グラウンド層内を不連続にしないでください。帰還電流は、抵抗が最小のパスを通ります。高周波数信号では、これはインダクタンスが最小のパスになります。

推奨事項 ループスルー出力は、外界と接続に使う PCB のエッジにできるだけ近い場所に配置してください。

推奨事項 すべての差動トレースのトレース長を同じ長さにしてください。各ペア内のトレースの長さを同じにし、ペアどうしでも長さを揃えます。

推奨事項 ビアは大きなインダクタンスを持つことに注意してください。ビアを使って電源またはグラウンド層に接続するときは、1 つより、2 つのビアを並列に配置して使うことを推奨します。

推奨事項 パッケージの底面の金属はグラウンド層に接続してください。この接続は、デバイスとの主要な GND 接続に使われるとともに、熱スルーホールとして機能しダイの動作温度を低く保ちます。

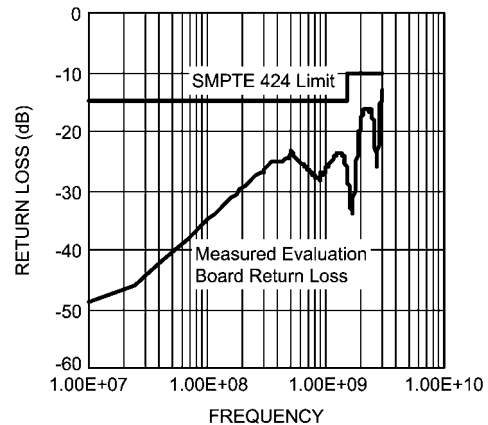


FIGURE 14. Evaluation Board Loopthrough Output Return Loss

代表的な SMPTE アプリケーション回路

DES の代表的なアプリケーション回路を Figure 15 に示します。この回路は、3Gbps デシリアライザ LMH0341 を示します。低データレートの SMPTE アプリケーションでは代わりに LMH0041 または LMH0071 デシリアライザを使用することができます。

DES とホスト FPGA 間の RX インタフェースは、5 ビットの LVDS データ・バスと LVDS クロックで構成されます。これは 1 対 1 のインタフェースです。終端は、FPGA デバイスが用意します。そうでない場合は、外付けの $100\ \Omega$ 抵抗をできるだけ FPGA の近くに配置して、スタブ長を短く抑えます。ペアは、スキューの影響を最少にするために同じ長さにしてください。LVDS クロック (RXCLK) は、両エッジを使ってデータを伝送します。

SMBus もホスト FPGA から DES に接続されます。SMBus を共有する場合は、チップ選択信号を使ってアドレス指定するデバイスを選択します。SCK 信号と SDA 信号にはプルアップ抵抗が必要です。SMB_CS は、FPGA からの GPO 信号により駆動されます。FPGA 入出力によっては、それがプッシュ/プル出力でない場合、プルアップが必要です。

アプリケーションによっては、いくつかのほかのホスト GPIO 信号が使用されます。これには、DVB_ASI および RESET 入力信号が含まれます。これらのピンが使用されない場合は、望まれる状態にレベルを固定する必要があります。LOCK 信号は、DES の監視に使用することがあります。これを使用しない場合は、このピンを NC としておきます (またはテスト・ポイントに接続します)。

この回路では、LMH0341 の GPIO_1 ピンが RXIN_1 の状態を出力するように設定されています。LMH0340 からの信号が受信されると、RXIN_1 が選択されます。この信号が消失した場合、RXIN_0 から入力されるシステム・リファレンスのブラック信号に自動的に切り替わります。

アプリケーション情報 (つづき)

DES には、ループスルーのために SMPTE 準拠のケーブル・ドライバが備わっています。これは差動ドライバですが、75 Ω 同軸ケーブルを駆動するために一般的にシングルエンドで使用されます。外付けの 75 Ω プルアップ抵抗が 2.5V 電源に対して使用されます。アクティブ出力には、SMPTE の出力リターン・ロス仕様を満たすためのマッチング・ネットワークも含まれます。アプリケーションごとに異なりますが、6.8nH インダクタを並列にした直列の 75 Ω 抵抗を設計の初期値として使用します。信号は 4.7 μF コンデンサを用いてケーブルに AC 結合されます。補完出力を使用しない場合、AC 結合コンデンサの後で単純にグラウンドに終端します。SMPTE 規格が要求する NRZI 方式のコードであるので、この出力は、反転信号であってもループバックや 1:2 機能に使用できます。ケーブル・ドライバの出力電圧は、R_{SET} 抵抗により設定されます。シングルエンドのアプリケーションでは、振幅を 800mV に設定するため、このピンとグラウンドに 7.87k Ω を接続します。

PLL ループ・フィルタは、SER 用の外付けフィルタです。LF_CP ピンと LF_REF ピンとの間にコンデンサを接続します。一般的な値は 30nF です。

適切なレベルに設定する必要がある設定ピンがいくつかあります。RSVD_H ピンは、5k Ω 抵抗で 3.3V 電源に対して High にプルアップします。アプリケーションによって、DVB_ASI ピンは固定する場合と駆動する場合があります。

3つの電源接続があります (推奨項目については、バイパスに関する説明とピンの説明を参照してください)。2つの主な電源は、3.3V 電源と 2.5V 電源です。PLL 回路用の 3.3V 接続もあります。

デバイスには複数のグラウンド接続があります。SER の主なグラウンド接続は、中央の大きな DAP パッドです。これは、デバイスの適切な動作を得るために**必ず**グラウンドに接続しなければなりません。さらに、図や「ピン説明」の表に示すように、これ以外の複数の入力をグラウンドに接続する必要があります。

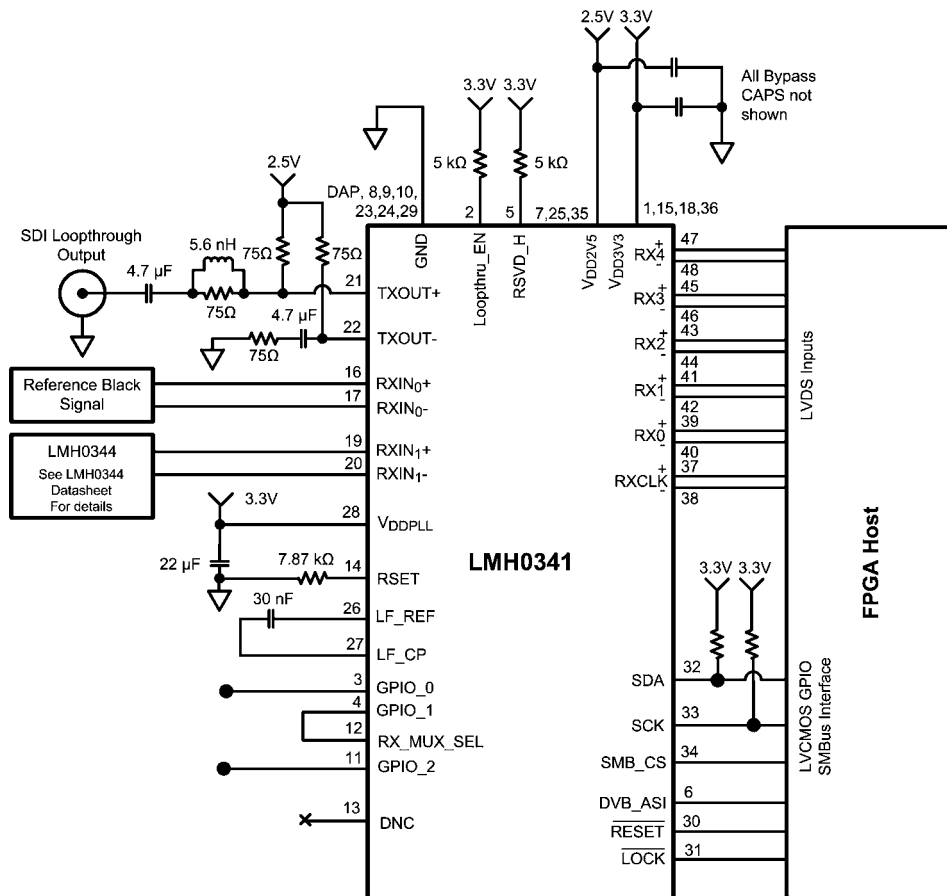


FIGURE 15. Typical SMPTE Application Circuit

アプリケーション情報 (つづき)

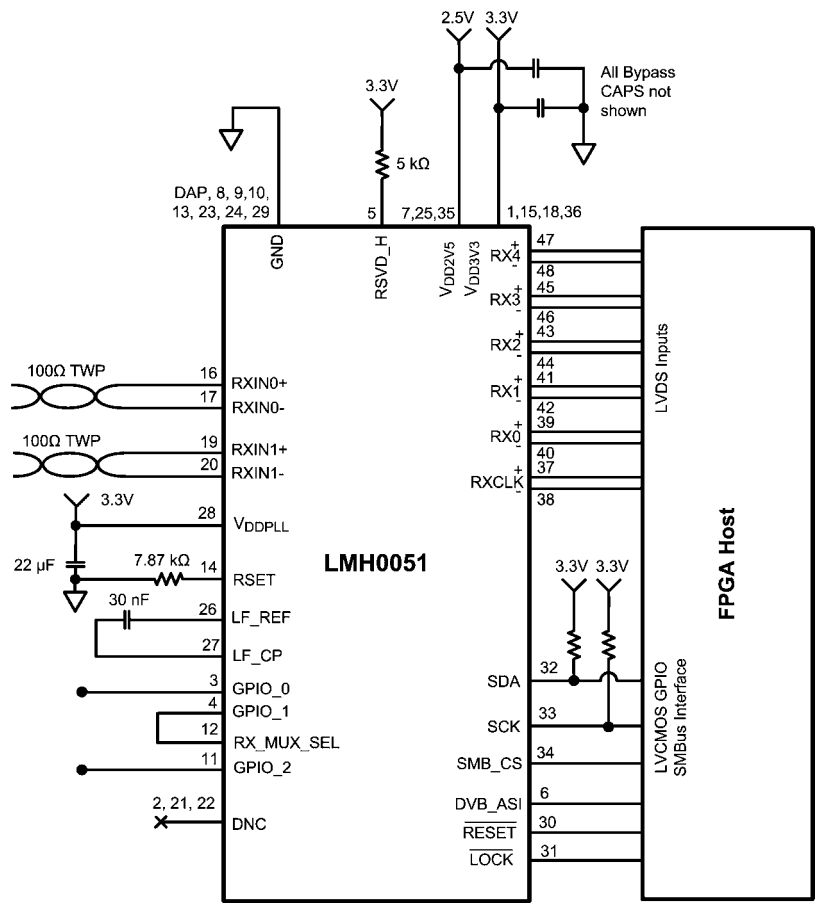


FIGURE 16. Typical CML Application Circuit (LMH0051)

レジスタの説明

次の表は、デバイス設定レジスタの詳細を示します。

DES レジスタの詳細

ADD 'h	名称	ビット	フィールド	R/W	デフォルト	説明
00	device_identification	このレジスタの MSB 7 ビットで、デバイスの SMBus アドレスを定義します。デフォルト値は 0x58h ですが、上書きされる場合があります。このレジスタの LSB は、常に "0" である必要があります。アドレスが 1 ビット上位にシフトされるので、システムによっては 058h を 'B0h とアドレス指定する場合があります。				
		7:1	device_id	r/w	058h	SMBus デバイス ID
		0	リザーブ		0	
01	reset	レジスタ 0x01h の LSB に "1" が書き込まれた場合、デバイスはソフト・リセットを実行し、レジスタ 0x00h の内容を除いて、内部の状態をパワーアップ時の状態に復元します。レジスタ 0x00h は、修正された場合も、変更されないまま残ります。				
		7:1	リザーブ			
		0	sw_rst	r/w	0'b	ソフトウェア・リセット
02	GPIO_0 Configuration	このレジスタは、GPIO_0 を設定します。このピンが入力として使用される場合は、出力は TRI-STATE (bit[0] = "0") にする必要があり、また出力として使用される場合は、入力バッファはディスエーブル (bit[1] = "0") にする必要があることに注意してください。				
		7:4	GPIO_0_mode[3:0]	r/w	0000'b	0000: GPout レジスタ 0001: 信号検知 0 その他: リザーブ
		3:2	GPIO_0_ren[1:0]	r/w	01'b	00: プルアップおよびプルダウンはディスエーブル 01: プルダウンはイネーブル 10: プルアップはイネーブル 11: リザーブ
		1	GPIO_0_sleepz	r/w	0'b	0: 入力バッファはディスエーブル 1: 入力バッファはイネーブル
		0	GPout0 enable	r/w	1'b	0: 出力は TRI-STATE 1: 出力はイネーブル
03	GPIO_1 Configuration	このレジスタは、GPIO_1 を設定します。このピンが入力として使用される場合は、出力は TRI-STATE (bit[0] = "0") にする必要があり、また出力として使用される場合は、入力バッファはディスエーブル (bit[1] = "0") にする必要があることに注意してください。				
		7:4	GPIO_0_mode[3:0]	r/w	0000'b	0000: POR 0001: GP_OUT[1] 0010: 信号検知 1 0011: cdr_lock 上記以外: リザーブ
		3:2	GPIO_0_ren[1:0]	r/w	01'b	00: プルアップおよびプルダウンはディスエーブル 01: プルダウンはイネーブル 10: プルアップはイネーブル 11: リザーブ
		1	GPIO_0_sleepz	r/w	0'b	0: 入力バッファはディスエーブル 1: 入力バッファはイネーブル
		0	GPout0 enable	r/w	1'b	0: 出力は TRI-STATE 1: 出力はイネーブル

DESレジスタの詳細 (つづき)

ADD 'h	名称	ビット	フィールド	R/W	デフォルト	説明
04	GPIO_2 Configuration	このレジスタは、GPIO_2を設定します。このピンが入力として使用される場合は、出力は TRI-STATE (bit[0] = "0") にする必要があり、また出力として使用される場合は、入力バッファはディスエーブル (bit[1] = "0") にする必要があることに注意してください。				
		7:4	GPIO_0_mode[3:0]	r/w	0000'b	0000: GPout [2] レジスタ 0001: 常に出力クロック 0010: LVDS TX CLK 0011: CDR_CLK 上記以外: リザーブ
		3:2	GPIO_0_ren[1:0]	r/w	01'b	00: プルアップおよびプルダウンはディスエーブル 01: プルダウンはイネーブル 10: プルアップはイネーブル 11: リザーブ
		1	GPIO_0_sleepz	r/w	0'b	0: 入力バッファはディスエーブル 1: 入力バッファはイネーブル
		0	GPout0 enable	r/w	1'b	0: 出力は TRI-STATE 1: 出力はイネーブル
05	GP Input	GPIO ピンのいずれかが入力として設定される場合の入力ピンの状態を示します。				
		7:3	リザーブ			
		2		r		GPIO 2 上の入力データ
		1		r		GPIO 1 上の入力データ
		0		r		GPIO 0 上の入力データ
06	GP Output	GPIO ピンが汎用出力ピンとして設定される場合、このレジスタへの値が GPIO ピンの出力バッファに転送されます。				
		7:3	リザーブ			
		2		r/w		GPIO 2 上の出力データ
		1		r/w		GPIO 1 上の出力データ
		0		r/w		GPIO 0 上の出力データ
07-0C	リザーブ					
0D	DVB_ASI Idle_A	DVB_ASI モードでは、有効なデータがない場合に、アイドル文字がデータストリームに挿入されます。この文字はレシーバにより識別されます。デフォルトは K28.5 ですが、必要な場合はこのレジスタ・ペアを介して変更することができます。				
		7:0		r/w	83	データ [7:0]
0E	DVB_ASI Idle_B	DVB_ASI アイドル文字 MSBs				
		7:2	リザーブ			
		1:0		r/w	2	データ [9:8]
0F-1C	リザーブ					
1D	Variant	このレジスタを読み出すと、どの種類の DES が使われているかを示す 8 ビット値が返されます。				
		7:6	リザーブ	r		
		5	Loop through enable	r	ピン値	このビットは、ループスルー・イネーブルの状態を返します。また、デフォルトでは、Loophtru_EN ピンと同じ状態です。
		4:3	mode	r	ピン値	デバイスの状態を示す 2 ビットのパターンを返します。 00,01,10: 標準ビデオ・モード 11: DVB_ASI モード
		2	リザーブ			
		1:0	Variant	r		デバイスの種類を返します。 00: LMH0341 01: LMH0041/LMH0051 10: LMH0071 11: リザーブ
1E-1F	リザーブ					

DESレジスタの詳細 (つづき)

ADD 'h	名称	ビット	フィールド	R/W	デフォルト	説明
20	Control	7:3	リザーブ			
		2	Data Order	r/w	0	デシリアライズの順番を決定します。 0: LSB を最初に受信すると想定 1: MSB を最初に受信すると想定
		1	Reset Channel	r/w	0	このビットに "1" を設定すると、チャンネルのリセットが行われます。
		0	Digital Powerdown	r/w	0	このビットに "1" を設定すると、いくつかのデジタル処理部分がシャットダウンされ、電力を節約します。
21	DVB_ASI	このレジスタを使用して、デバイスを DVB_ASI モードまたは標準動作モードに切り替えます。				
		7:5	リザーブ			
		4	RX_MUX_SEL	r/w	0	レジスタ 22 によりイネーブルされると、このビットは RX_MUX_SEL ピンに優先されます。
		3:2	リザーブ			
22	Override	このレジスタを使用して、ピン設定ではなく SMBus インタフェースによって DVB_ASI および入力選択機能を制御します。				
		7:5	リザーブ			
		4	RX_MUX Control Override	r/w	0	このレジスタに "1" を指定すると、レジスタ 21 によって入力マルチプレクサの状態を制御できます。このビットが "0" に設定された場合は、選択は RX_MUX_SEL ピンの状態によって決定されます。
		3:1	リザーブ			
0	DVB_ASI Override	このレジスタに "1" を指定すると、レジスタ 21 によって DVB_ASI 選択ピンの状態を制御できます。このビットが "0" に設定された場合は、選択は DVB_ASI ピンの状態によって決定し、"1" の場合はレジスタ 21 の内容が優先します。				
23-26	リザーブ					
27	LVDS Control 1	このレジスタを使用して、LVDS 出力ピンを制御します。このレジスタで、個々の LVDS 出力をイネーブルまたはディスエーブルにできます。また、出力を高振幅出力モードに切り替えることができます。				
		7	LVDS_VOD	r/w	0	"0" を指定した場合、LVDS 出力の V _{OD} は電気的特性の表に記載された通りになります。このビットに "1" を指定すると、V _{OD} が大きくなり、より長いトレースの駆動が可能になり、総消費電力は増加します。
		6	LVDS Control	r/w	0	このビットに "1" を指定すると、SMBus を使って LVDS 出力を制御できます。
		5	RXCLK Enable	r/w	0	RXCLK 出力ドライバをイネーブルにします。
		4	RX4 Enable	r/w	0	RX4 出力ドライバをイネーブルにします。
		3	RX3 Enable	r/w	0	RX3 出力ドライバをイネーブルにします。
		2	RX2 Enable	r/w	0	RX2 出力ドライバをイネーブルにします。
		1	RX1 Enable	r/w	0	RX1 出力ドライバをイネーブルにします。
		0	RX0 Enable	r/w	0	RX0 出力ドライバをイネーブルにします。

DESレジスタの詳細 (つづき)

ADD 'h	名称	ビット	フィールド	R/W	デフォルト	説明
28	LVDS Control 2	これらのビットも LVDS 出力を制御します。				
		7	リザーブ			
		6	LVDS Reset	r/w	0	LVDS ブロックをリセットします。
		5	RXCLK Rate	r/w	1	1: RXCLK は DDR クロックです。 0: RXCLI は DDR/2 のレートです。
		4	RXCLK Invert	r/w	0	RXCLK 信号の極性を反転します。
		3:2	LVDS Clock delay	r/w	10'b	各 LSB は、80ps の遅延を RXCLK 信号パスに加えます。 これにより、セットアップ時間とホールド時間が調整できます。
		1:0	リザーブ			
29-2A	リザーブ					
2B	Event Configuration	クロック・リカバリ PLL 上のエラー・イベントのカウンタを制御できます。				
		7:4	リザーブ			
		3	Event Count Select	r/w	0	0: CDR イベント・カウンタの読み出しを選択します。RXCLK 信号の消失、またはロックの消失についてイベントがカウンタされます。 1: データ・イベント・カウンタを選択します。
		2	Reset CDR Error Count	r/w	0	CDR イベント・カウンタをリセットします。
		1	Reset Link Error Count	r/w	0	データ・イベント・カウンタをリセットします。
		0	enable count	r/w	0	イベント・カウンタをイネーブルにします。
2C	リザーブ					
2D	Error Monitor	エラー監視機能を制御します。				
		7:5	リザーブ			
		4	Accumulate Error Count	r/w	0	エラー・カウンタの累積をイネーブルにします。
		3	8b10b error disable	r/w	0	このビットを設定すると、8b/10b エラーのカウンタをディスエーブルにします。または、エラーが LOCK ピンの状態に影響しないようにします。
		2	clear event count	r/w	0	このビットを設定すると、現在および以前のエラー・カウンタ数をクリアします。
		1	select error count	r/w	0	表示するエラー・カウンタを選択します。 0: 現在のエラー数 1: 選択されたタイミング・ウィンドウ内のエラー数
		0	Normal Error Disable	r/w	0	エラー数がエラー・スレッショルドを超えたときに、NORMAL 状態から外れることをディスエーブルにします。
2E	Error Threshold	エラー・スレッショルドの LSB を設定します。				
		7:0	Error Threshold	r/w	0x10h	この値を超えると、デバイスが受信を止め RXOUT ピンからデータ出力を停止する、エラー・スレッショルド値です。
2F	Error Threshold	エラー・スレッショルドの MSB を設定します。				
			Error Threshold	r/w	00	この値を超えると、デバイスが受信を止め RXOUT ピンからデータ出力を停止する、エラー・スレッショルド値です。

DESレジスタの詳細 (つづき)

ADD 'h	名称	ビット	フィールド	R/W	デフォルト	説明
30-3A	リザーブ					
3B	Data Rate	このレジスタは、受信 PLL がロックしたレートに関する情報を示します。				
		7	リザーブ			
		6:4	Freq Range	r	111	001: 270Mbps 011: 1.485Gbps 110: 2.97Gbps 111: アンロック
		3:0	リザーブ			
3C	CDR Lock Status	7:4	リザーブ			
		3	CDR Lock	r		1: CDR ロック 0: CDR アンロック
		2	Signal Detect Ch 1	r		1: 信号あり
		1	Signal Detect Ch 0	r		1: 信号あり
		0	リザーブ			
3D	Event Status	エラー・カウント・レジスタ				
		7:0	event count	r/w	0	リンク消失が生じるエラーのカウン
3E	Error Status 1	エラー・カウントの LSB				
		7:0	Data Error Count 1	r/w	0	データ内のエラーの数 —LSB
3F	Error Status 2	エラー・カウント・レジスタの MSB				
		7:0	Data Error Count 2	r/w	0	データ内のエラーの数 —MSB

ピン配置図

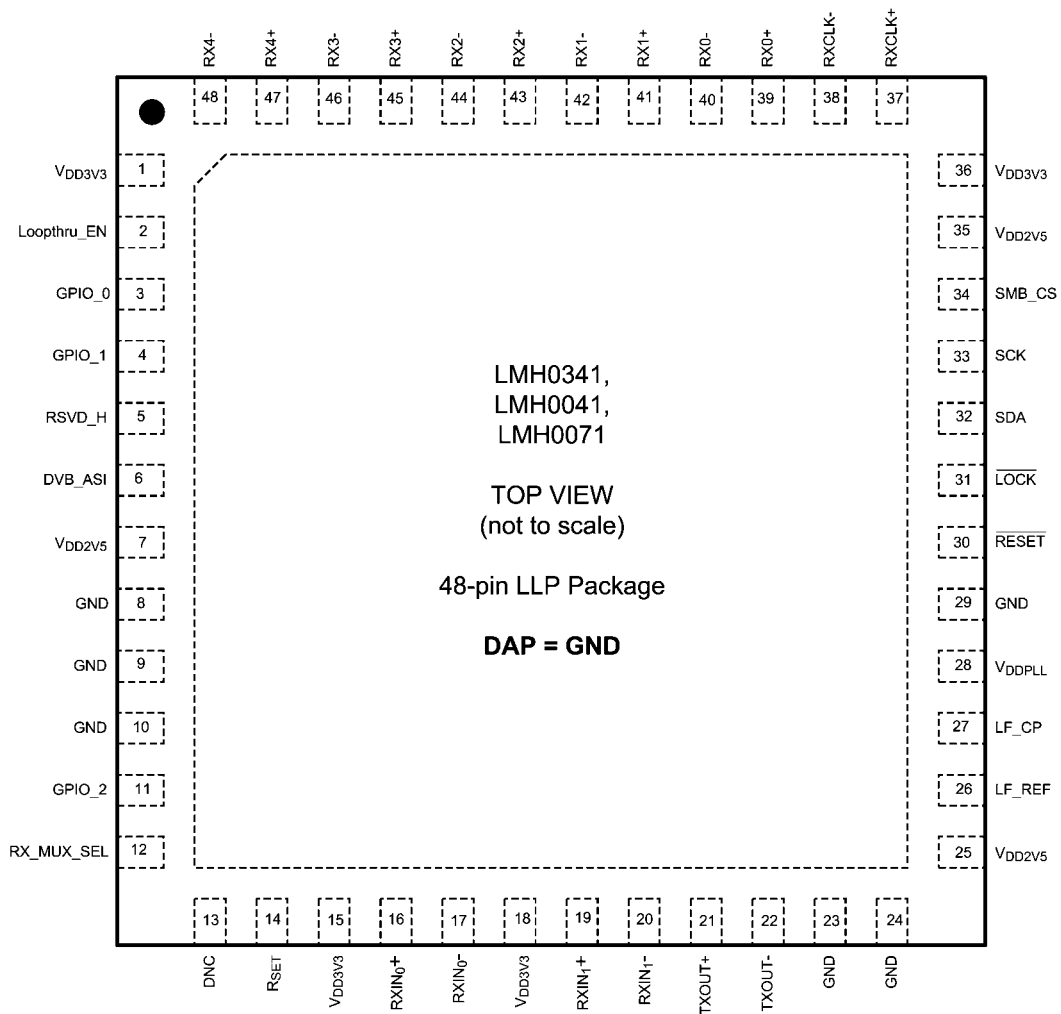


FIGURE 17. Connection Diagram for LMH0341 / LMH0041 / LMH0071

ピン配置図 (つづき)

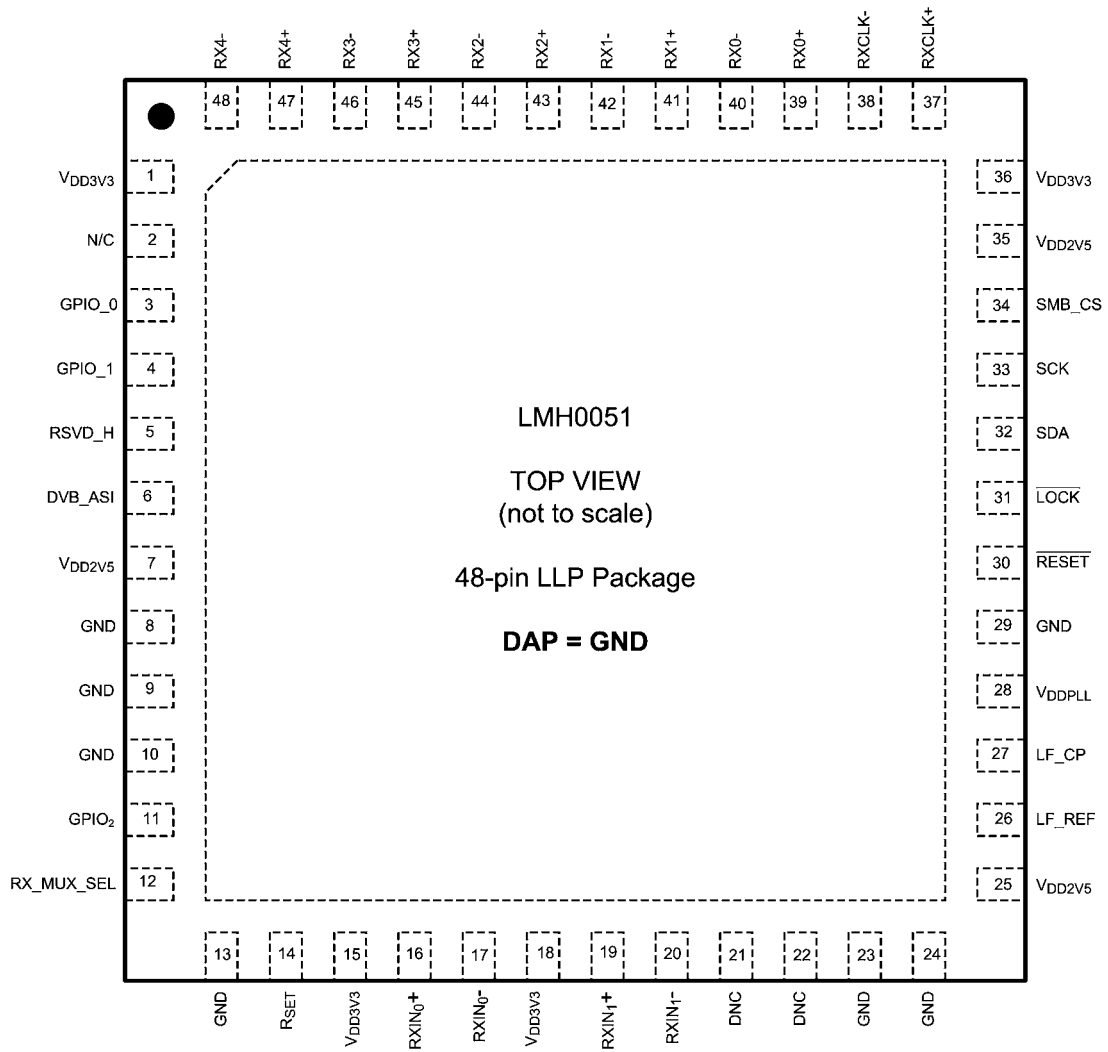
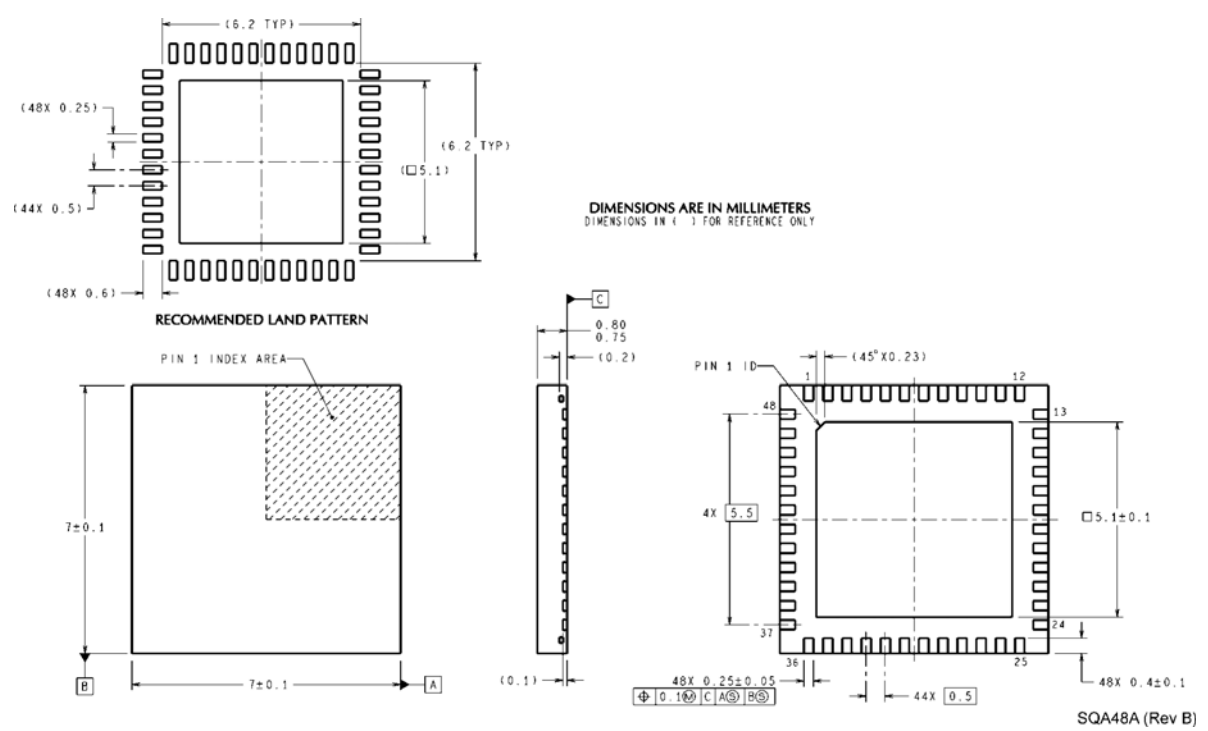


FIGURE 18. Connection Diagram for LMH0051

製品情報

NSID	Speed	Feature	Units per T&R	Package
LMH0341SQ	3G / HD / SD	SMPTE, Loophthrough	1,000	SQA48A
LMH0341SQX			2,500	
LMH0341SQE			250	
LMH0041SQ	HD / SD	SMPTE, Loophthrough	1,000	SQA48A
LMH0041SQX			2,500	
LMH0041SQE			250	
LMH0071SQ	SD	SMPTE, Loophthrough	1,000	SQA48A
LMH0071SQX			2,500	
LMH0071SQE			250	
LMH0051SQ	HD / SD	CML	1,000	SQA48A
LMH0051SQX			2,500	
LMH0051SQE			250	

外形寸法図 単位は millimeters



48-Lead QFN Plastic Quad Package
NS Package Number SQA48A

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売か使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2010 National Semiconductor Corporation
製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。 www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated (TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを含みません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしているとして特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2012, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上