

LMH6515

LMH6515 600 MHz, Digital Controlled, Variable Gain Amplifier



Literature Number: JAJSAPO

LMH6515

600MHz、デジタル制御式可変ゲイン・アンプ (DVGA)

概要

LMH6515 は、高性能のデジタル制御式可変ゲイン・アンプ (DVGA) です。このデバイスは、高精度ゲイン制御を低ノイズ、ウルトラリニア、差動アンプとを組み合わせています。LMH6515 は、通常、システムのダイナミック・レンジを広げるために自動ゲイン制御 (AGC) が必要となる移動無線や携帯電話の基地局などミックスド・シグナルやデジタル通信アプリケーションの広い範囲で高性能 ADC を駆動します。高速 ADC と共に使用すると、システムのダイナミック・レンジは最大 32dB まで拡張できます。

LMH6515 には差動入力と差動出力を備えているため 5V の単一電源で大きな信号振幅が可能です。このデバイスは、RF 素子からの信号を受け取り、終端されたインピーダンス環境を維持するように設計されています。入力インピーダンスは抵抗性の 200 です。出力インピーダンスは、200 または 400 のいずれかを選択できます。ユニークな内部アーキテクチャにより、シングルエンド入力信号と差動入力信号の両方が使用できます。

LMH6515 への入力信号は、高い線形性を備えたデジタル制御アッテネータにより、正確に 1dB 刻みで 31 段階にスケールされます。アッテネータ出力は、高ゲイン、ウルトラリニアの差動トランスコンダクタの入力信号になります。トランスコンダクタの差動出力電流は、内蔵の 200 または 400 負荷を使用して電圧に変換できます。トランスコンダクタンス・ゲインは 0.1A/V であり、得られる最大電圧ゲインは、200 負荷の駆動時には +26dB、また 400 負荷の駆動時には 32dB です。ゲイン設定のローカル保存用にデジタル・ラッチが内蔵されています。ゲイン・ステップのセトリング・タイムは 5ns です。ゲイン設定値に対する帯域幅と位相の感度が低くなるように考慮されています。

LMH6515 は、工業用温度範囲 -40 ~ +85 で動作します。LMH6515 は、16 ピンの熱特性が強化された LLP パッケージで提供されます。

特長

- 31dB の可変ゲイン範囲
- 高精度な 1dB ゲイン・ステップ
- 5 ビットの並列ゲイン制御
- 内蔵レジスタによるゲイン設定の保存
- 完全差動信号パス
- シングルエンド入力から差動出力が可能
- 200 の入力インピーダンス
- 省スペース型 (4mm × 4mm) LLP パッケージ

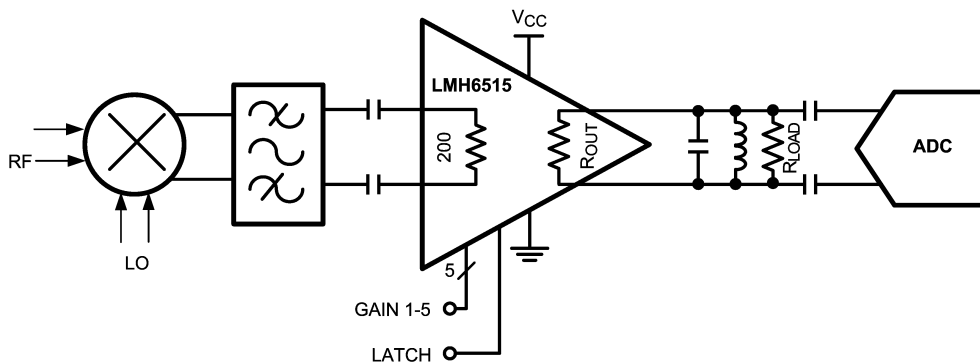
主な仕様

- 600MHz 帯域幅 (100 負荷)
- 40dBm OIP3 (75MHz、200 負荷)
- 20dB ~ 30dB の最大ゲイン
- 200 または 400 を選択可能な出力インピーダンス
- 8.3dB のノイズ・フィギュア
- 5ns のゲイン・ステップ切り替え時間
- 消費電流 100mA

アプリケーション

- 携帯電話基地局
- IF サンプリング・レシーバ
- 計測機器
- モデム
- 画像処理
- 差動ライン・レシーバ

代表的なアプリケーション



LMH™ はナショナル セミコンダクターの登録商標です。

絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電気的信頼性試験方法の規格を参照ください。

保存周囲温度範囲

- 65 ~ + 150

ハンダ付け情報

赤外線または対流方式 (20 秒)

235

流動ハンダ付け (10 秒)

260

ESD 耐圧 (Note 2)

人体モデル

2kV

マシン・モデル

150V

正電源電圧 (ピン 3)

- 0.6V ~ + 5.5V

出力電圧 (ピン 14、15)

- 0.6V ~ + 6.8V

任意の 2 グラウンド間の電位差

< 200mV

アナログ入力電圧範囲

- 0.6V ~ V_{CC}

デジタル入力電圧範囲

- 0.6V ~ + 3.6V

出力短絡持続時間

(1 ピンとグラウンド間)

無制限

接合部温度

+ 150

動作定格 (Note 1)

電源電圧 (ピン 3)

4V ~ 5.25V

出力電圧範囲 (ピン 14、15)

1.4V ~ 6.4V

任意の 2 グラウンド間の電位差

< 10mV

アナログ入力電圧範囲、

AC 結合

± 1.4V

温度範囲 (Note 3)

- 40 ~ + 85

パッケージ熱抵抗 (J_A)

16 ピン LLP

47 /W

5V 電気的特性 (Note 4)

以下の仕様は、特記のない限り、V_{CC} = 5V の単一電源電圧、最大ゲイン、R_L = 100 (200 外部 || 200 内部)、V_{OUT} = 2V_{PP}、f_{in} = 150MHz の場合に適用されます。太字のリミット値は全温度範囲に適用されます。

Symbol	Parameter	Conditions	Min (Note 6)	Typ (Note 5)	Max (Note 6)	Units
Dynamic Performance						
SSBW	-3 dB Bandwidth	Average of all Gain Settings		600		MHz
Noise and Distortion						
	Third Order Intermodulation Products	f = 75 MHz, V _{OUT} = 2 V _{PP}		-76		dBc
		f = 150 MHz, V _{OUT} = 2 V _{PP}		-72		
		f = 250 MHz, V _{OUT} = 2 V _{PP}		-66		
		f = 450 MHz, V _{OUT} = 2 V _{PP}		-58		
OIP3	Output 3rd Order Intercept Point	f = 75 MHz, V _{OUT} = 2 V _{PP} , Tone Spacing = 0.5 MHz		39		dBm
		f = 150 MHz, V _{OUT} = 2 V _{PP} , Tone Spacing = 2 MHz		37		
		f = 250 MHz, V _{OUT} = 2 V _{PP} , Tone Spacing = 2 MHz		34		
		f = 75 MHz, R _L = 200Ω, V _{OUT} = 2 V _{PP} , Tone Spacing = 0.5 MHz		40		
		f = 150 MHz, R _L = 200Ω, V _{OUT} = 2 V _{PP} , Tone Spacing = 2 MHz		37		
		f = 250 MHz, R _L = 200Ω, V _{OUT} = 2 V _{PP} , Tone Spacing = 2 MHz		34		
P1 dB	Output Level for 1 dB Gain Compression	f = 75 MHz, R _L = 200Ω		16.7		dBm
		f = 250 MHz, R _L = 200Ω		14.7		
		f = 75 MHz		14.5		
		f = 450 MHz		13.2		
VNI	Input Noise Voltage	Maximum Gain, f = 40 MHz		1.8		nV/√Hz
VNO	Output Noise Voltage	Maximum Gain, f = 40 MHz		18		nV/√Hz
NF	Noise Figure	Maximum Gain		8.3		dB
Analog I/O						
	Differential Input Resistance		165 160	186	210 220	Ω
	Input Common Mode Resistance		825 785	971	1120 1160	Ω

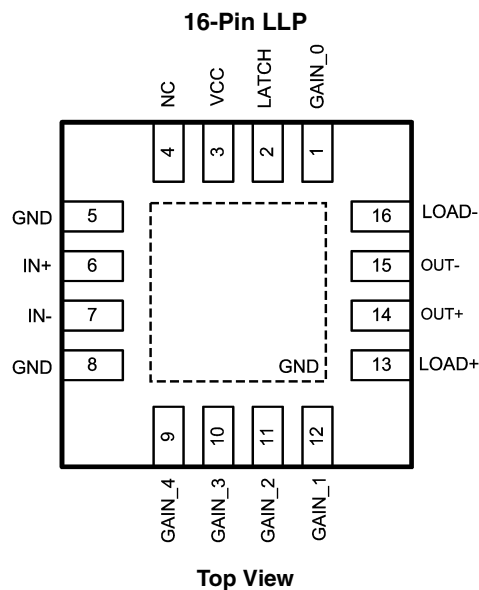
5V 電気的特性 (Note 4) (つづき)

以下の仕様は、特記のない限り、 $V_{CC} = 5V$ の単一電源電圧、最大ゲイン、 $R_L = 100$ (200 外部 || 200 内部)、 $V_{OUT} = 2V_{PP}$ 、 $f_{in} = 150MHz$ の場合に適用されます。太字のリミット値は全温度範囲に適用されます。

Symbol	Parameter	Conditions	Min (Note 6)	Typ (Note 5)	Max (Note 6)	Units
	Differential Output Impedance	Low Gain Option		187		Ω
		High Gain Option	330 325	370	410 415	
	Internal Load Resistors	Between Pins 13, 14 and Pins 15, 16	165 160	187	210 235	Ω
	Input Signal Level (AC Coupled)	Max Gain, $V_O = 2 V_{PP}$, $R_L = 1 k\Omega$		126		mV_{PP}
	Maximum Differential Input Signal	AC Coupled		5.6		V_{PP}
	Input Common Mode Voltage	Self Biased	1.3 1.1	1.4	1.5 1.7	V
	Input Common Mode Voltage Range	Driven Externally		0.9 to 2.0		V
	Minimum Input Voltage	DC		0		V
	Maximum Input Voltage	DC		3.3		V
	Maximum Differential Output Voltage Swing	$V_{CC} = 5V$, Output Common Mode = 5V		5.5		V_{PP}
V_{OS}	Output Offset Voltage	All Gain Settings		30		mV
CMRR	Common Mode Rejection Ratio			85		dB
PSRR	Power Supply Rejection Ratio		63 61	83		dB
Gain Parameters						
	Maximum Gain	DC, Internal $R_L = 200\Omega$, External $R_L = 1280\Omega$	23.9 23.4	24.2	24.6 24.8	dB
	Minimum Gain	DC, Internal $R_L = 200\Omega$, External $R_L = 1280\Omega$	-7.2 -7.7	-6.9	-6.5 -6.4	dB
	Gain Step Size	DC		1.0		dB
	Gain Step Error	DC		0.02		dB
		$f = 150 MHz$			0.07	
	Cumulative Gain Step Error	DC, Gain Step 31 to Gain Step 0	-0.1 -0.2	0.05	0.3 0.4	dB
	Gain Step Switching Time			5		ns
Digital Inputs/Timing						
	Logic Compatibility	CMOS Logic		3.3		V
VIL	Logic Input Low Voltage				0.8	V
VIH	Logic Input High Voltage		2.0			V
IIH	Logic Input High Input Current			32	40	μA
TSU	Setup Time			3		ns
THOLD	Hold Time			3		ns
TPW	Minimum Latch Pulse Width			10		ns
Power Requirements						
ICC	Total Supply Current	$V_{OUT} = 0V$ Differential, V_{OUT} Common Mode = 5V		107	124 134	mA
	Amplifier Supply Current	Pin 3 Only		56	66 74	mA
	Output Stage Bias Currents	Pins 13, 14 and Pins 15, 16; V_{OUT} Common Mode = 5 V		48	58 60	mA

- Note 1:** 絶対最大定格とは、デバイスに破壊が発生する可能性のあるリミット値をいいます。動作定格とはデバイスが機能する条件を示しますが、特定の性能リミット値を保証するものではありません。仕様および試験条件の保証値に関して「電気的特性」を参照してください。
- Note 2:** 人体モデル適用規格 MIL-STD-883、Method 3015.7 マシン・モデル適用規格 JESD22-A115-A (ESD MM std. of JEDEC)、電場(界)誘導帯電モデル適用規格 JESD22-C101-C (ESD FICDM std. of JEDEC)
- Note 3:** 最大消費電力は、 $T_{J(MAX)}$ 、 J_A の関数として求めることができます。任意の周囲温度での最大許容電力損失は、 $P_D = (T_{J(MAX)} - T_A) / J_A$ です。すべての数値は、プリント基板に直接ハンダ付けしたパッケージを対象とします。
- Note 4:** 「電気的特性」の値は、記載温度の工場出荷試験条件にのみ適用されます。電気的特性の表記載のパラメータの性能は、試験条件と異なる条件下では保証されません。
- Note 5:** 代表 (typ) 値は特性評価時におけるパラメータの標準値 (norm) を表します。実際の代表値は、経時的に変化するとともに、アプリケーションや構成にも依存します。この代表値はテストされた値ではなく、出荷済みの製品材料に対する保証値ではありません。
- Note 6:** リミット値は 25 °C において全数試験を行っています。動作温度範囲全域にわたるリミット値は統計的品質管理 (SQC) 法を用いた相関によって保証されません。
- Note 7:** 負の入力電流にはデバイスから流れ出る電流が含まれます。
- Note 8:** ドリフトは、2 点の温度間で生じたパラメータの変化量を、2 点の温度間の温度差で除算したものです。

ピン配置図



ゲイン制御ピン

Pin Number	Pin Name	Gain Step Size
1	GAIN_0	1 dB
12	GAIN_1	2 dB
11	GAIN_2	4 dB
10	GAIN_3	8 dB
9	GAIN_4	16 dB

製品情報

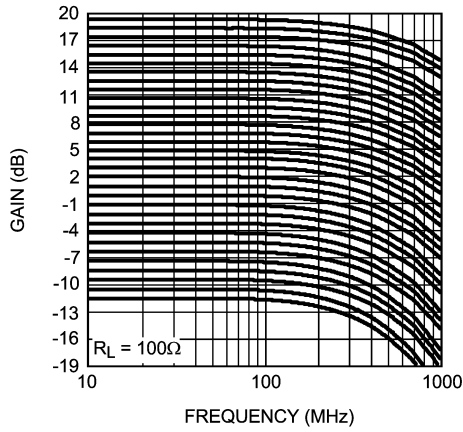
Package	Part Number	Package Marking	Transport Media	NSC Drawing
16-Pin LLP	LMH6515SQ	L6515SQ	1k Units Tape and Reel	SQA16A
	LMH6515SQX		4.5k Units Tape and Reel	

ピン説明

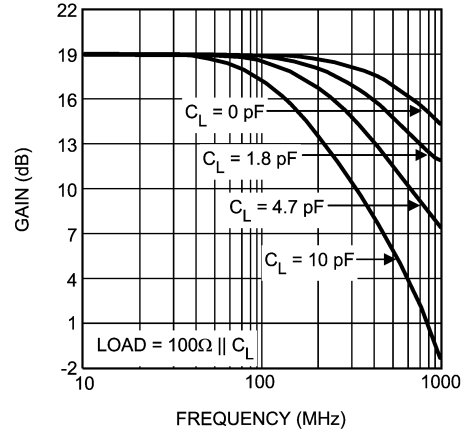
ピン番号	Symbol	説明
アナログ I/O		
6	IN +	非反転アナログ入力。内部で 1.4V にバイアスされています。入力電圧は、 V_{CC} を超えることや、GND より 0.5V 以上低くなることは許容されません。
7	IN -	反転アナログ入力。内部で 1.4V にバイアスされています。入力電圧は、 V_{CC} を超えることや、GND より 0.5V 以上低くなることは許容されません。アンプをシングルエンドで使用する場合は、この入力をグラウンドに容量結合してください。
15	OUT -	オープン・コレクタ反転出力。このピンは、電源も必要とする出力です。このピンは、RF チョーク、またはフィルタを形成する適切なサイズのインダクタを介して 5V 電源に接続してください。詳細は「アプリケーション情報」を参照してください。
14	OUT +	オープン・コレクタ非反転出力。このピンは、電源も必要とする出力です。このピンは、RF チョーク、またはフィルタを形成する適切なサイズのインダクタを介して 5V 電源に接続してください。詳細は「アプリケーション情報」を参照してください。
16	LOAD -	ピン 15 と内部 200 Ω 抵抗との接続点。このピンは、高ゲインでは開放としておき、低ゲインおよび低実効出力インピーダンスではピン 13 に短絡できます。詳細は「アプリケーション情報」を参照してください。
13	LOAD +	ピン 14 と内部 200 Ω 抵抗との接続点。このピンは、高ゲインでは開放としておき、低ゲインおよび低実効出力インピーダンスではピン 16 に短絡できます。詳細は「アプリケーション情報」を参照してください。
電源		
3	V_{CC}	5V の電源ピン。低 ESR のセラミック・バイパス・コンデンサを使用します。このピンは出力段以外のすべてに電源を供給します。
5,8	GND	グラウンド・ピン。低インピーダンス・グラウンド・プレーンに接続します。すべてのピン電圧は、これらのピンの電圧を基準にして規定されます。放熱用の露出パッドもグラウンドに接続してください。
デジタル入力		
1,12,11, 10,9	GAIN_0 ~ GAIN_4	ゲイン設定ピン。各ピンのゲイン・ステップ・サイズについては、上記の表を参照してください。これらのピンは、3.3V CMOS ロジック互換です。5V を入力すると損傷を与える場合があります。
2	LATCH	このピンは、上記のゲイン設定ピンの機能を制御します。LATCH ピンが論理 High 状態のときは、ゲインは固定されており、変化しません。LATCH ピンが論理 Low 状態のときは、ゲインはゲイン制御ピンの状態に基づいて設定されます。LATCH ピンを Low 状態にした場合に行われるゲインの変化は、ただちに有効になります。このピンは、3.3V CMOS ロジック互換です。5V を入力すると損傷を与える場合があります。
4	NC	このピンは接続されていません。このピンはグラウンドにするか、開放したままにすることができます。

代表的な性能特性 $V_{CC} = 5V$

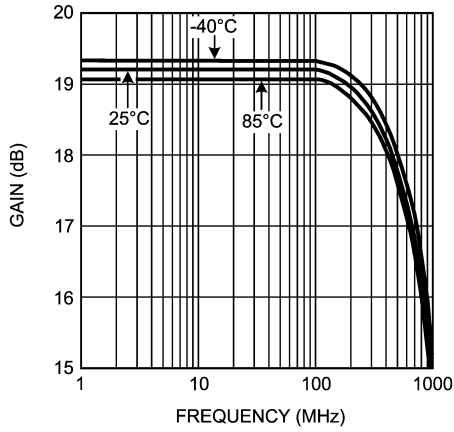
Frequency Response All Gain Settings



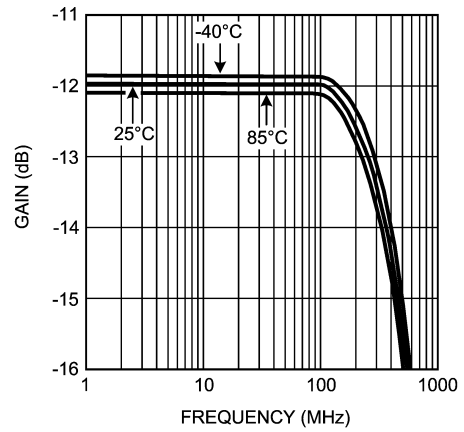
Frequency Response with Capacitive Load



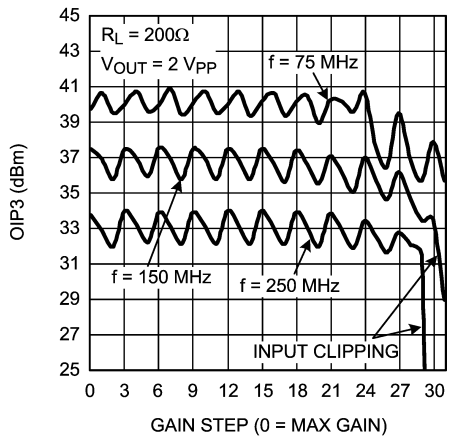
Frequency Response Over Temperature, Maximum Gain



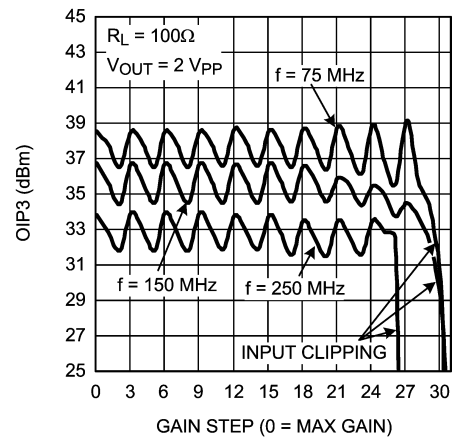
Frequency Response Over Temperature, Minimum Gain



OIP3 High Gain Mode

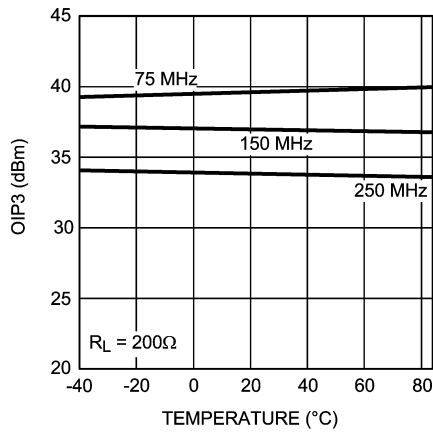


OIP3 Low Gain Mode

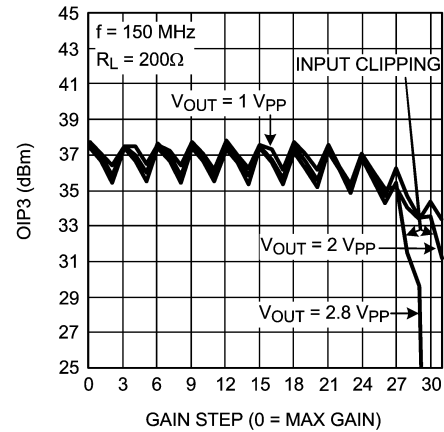


代表的な性能特性 $V_{CC} = 5V$ (つぎ)

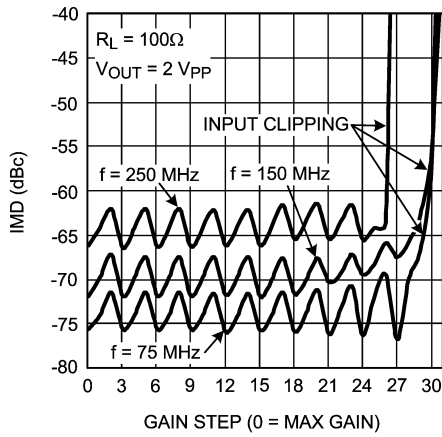
OIP3 Over Temperature



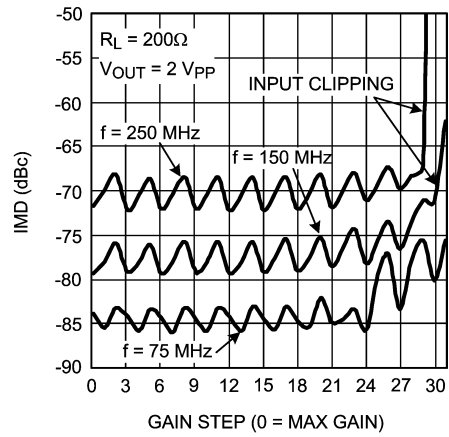
OIP3 High Gain Mode



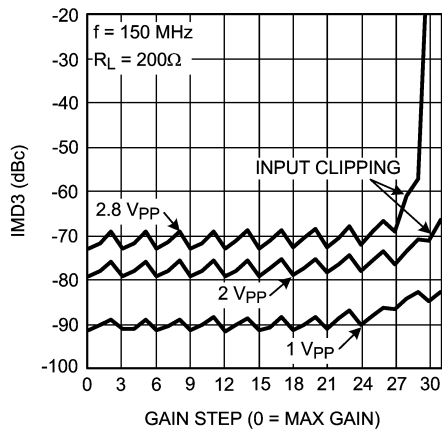
IMD3 Low Gain Mode



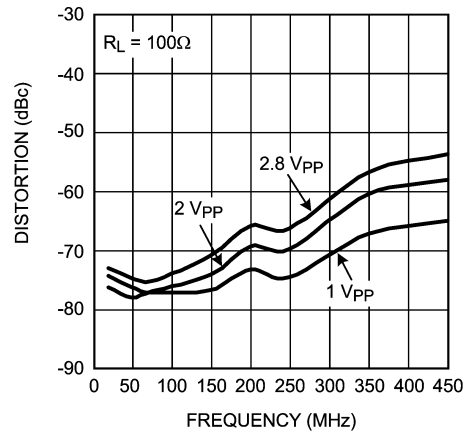
IMD3 High Gain Mode



IMD3 High Gain Mode

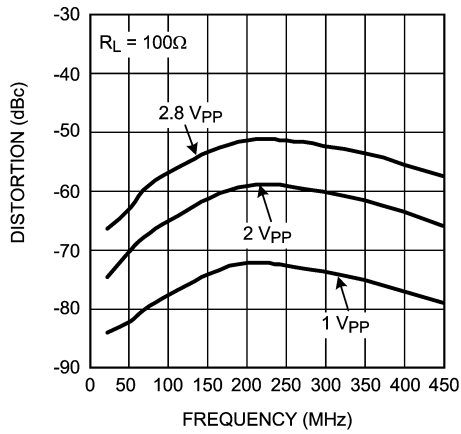


HD2 vs. Frequency

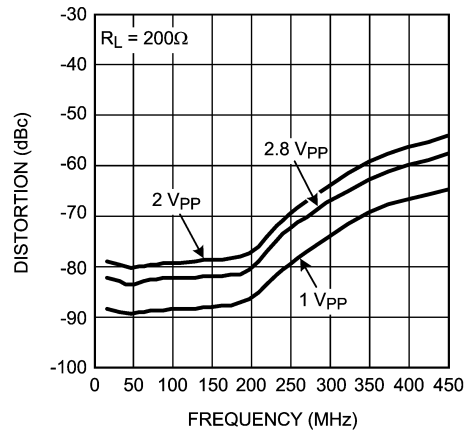


代表的な性能特性 $V_{CC} = 5V$ (つぎ)

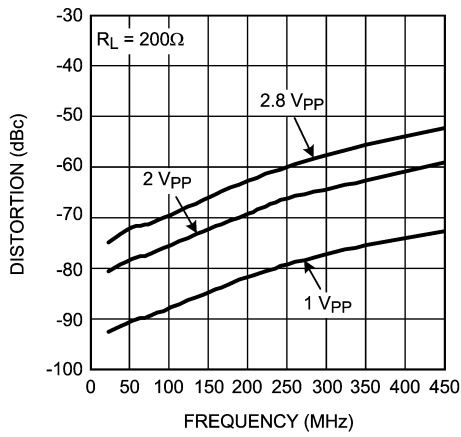
HD3 vs. Frequency



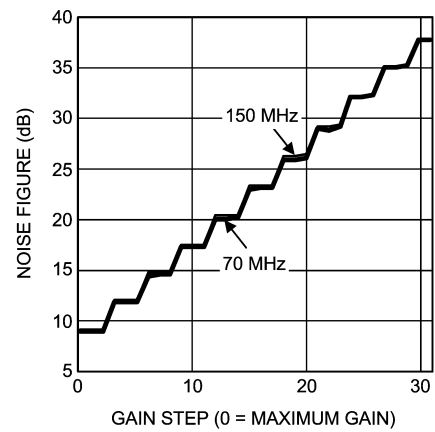
HD2 vs. Frequency



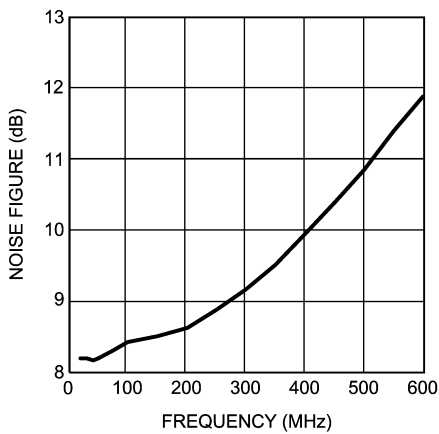
HD3 vs. Frequency



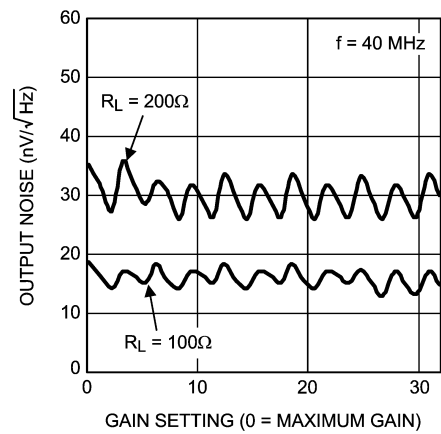
Noise Figure for All Gain Settings



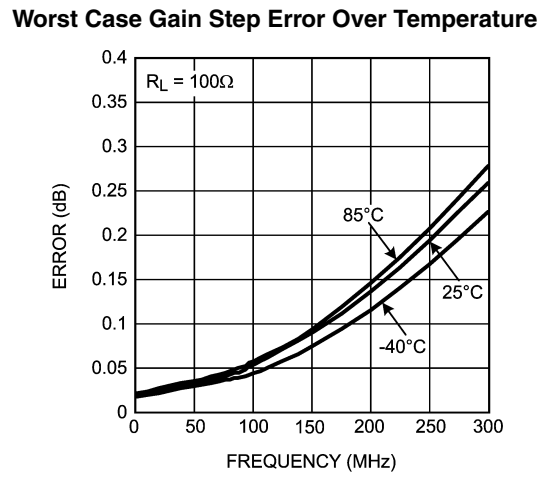
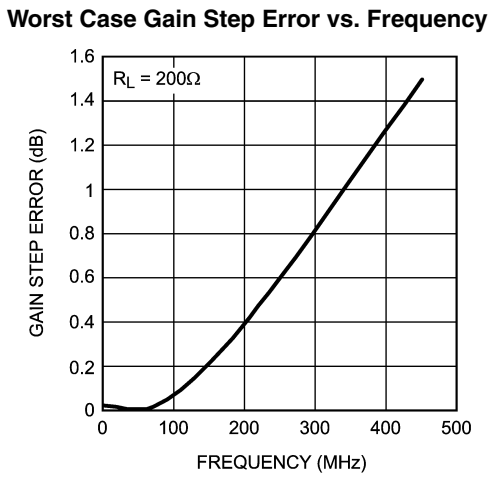
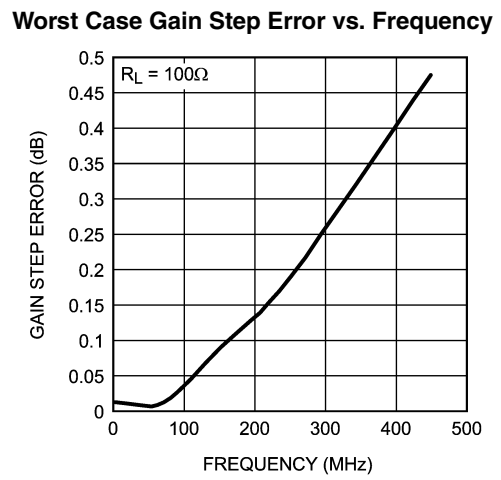
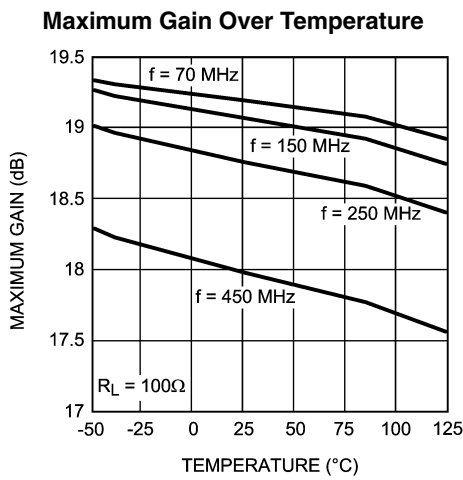
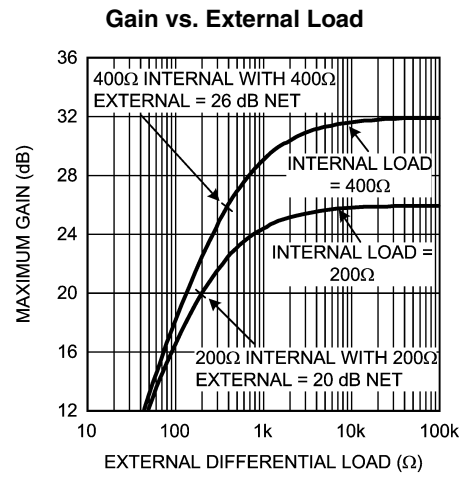
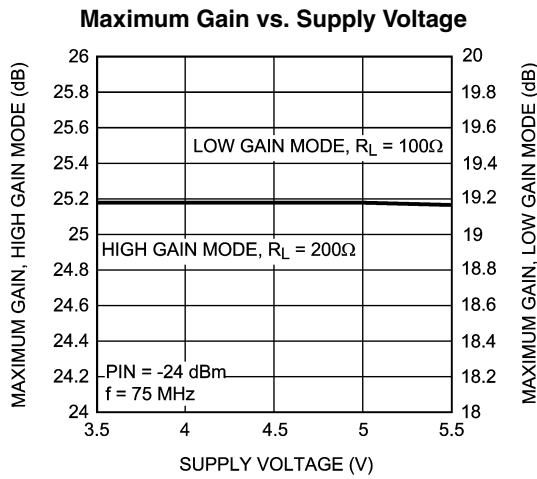
Noise Figure vs. Frequency



Differential Output Noise

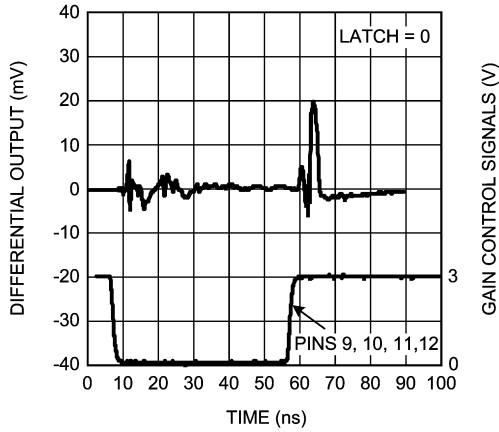


代表的な性能特性 $V_{CC} = 5V$ (つづき)

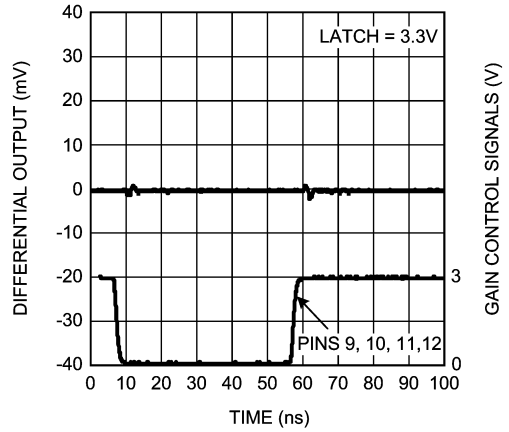


代表的な性能特性 $V_{CC} = 5V$ (つぎ)

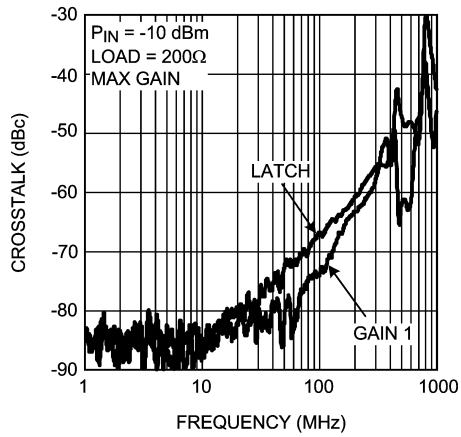
Digital Crosstalk



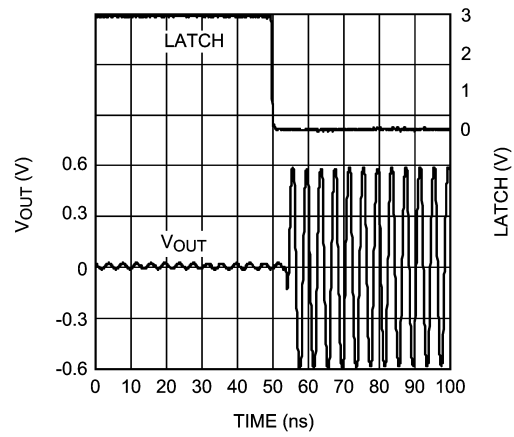
Digital Crosstalk



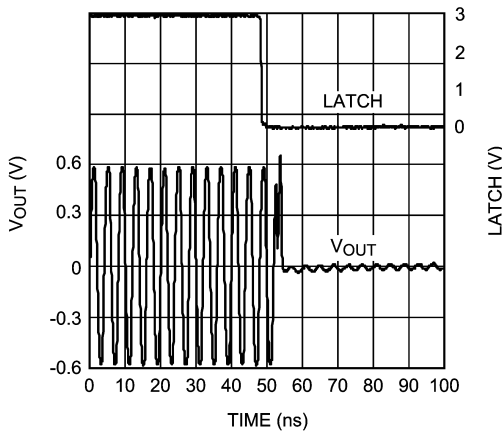
Digital Pin to Output Isolation



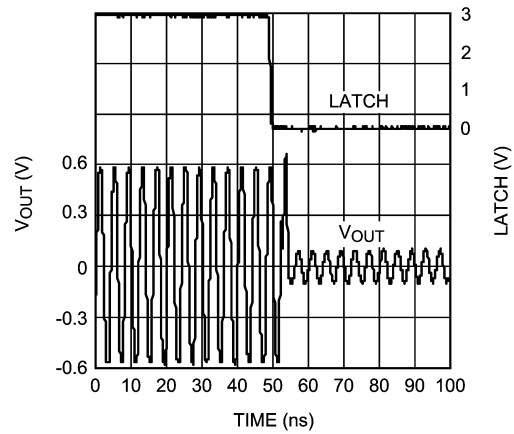
Minimum Gain to Maximum Gain Switching Using Latch Pin



Maximum Gain to Minimum Gain Switching Using Latch Pin

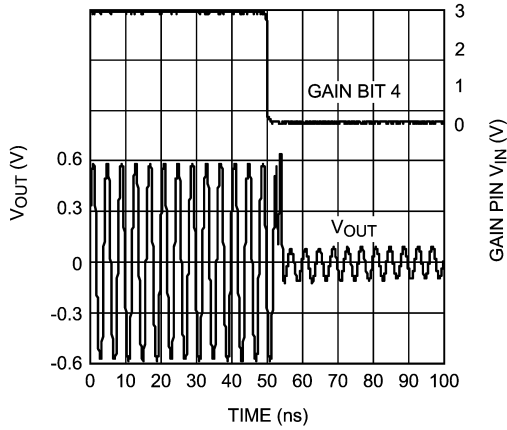


16 dB Gain Step Using Latch Pin

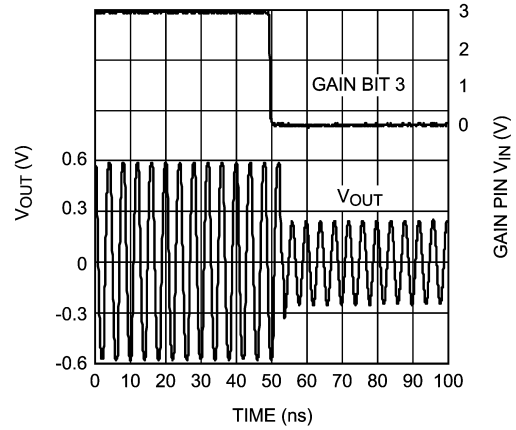


代表的な性能特性 $V_{CC} = 5V$ (つづき)

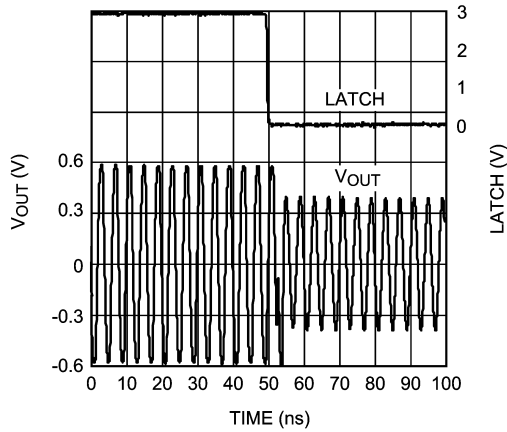
16 dB Gain Step with Latch Pin Low
Switching Gain Pin 4



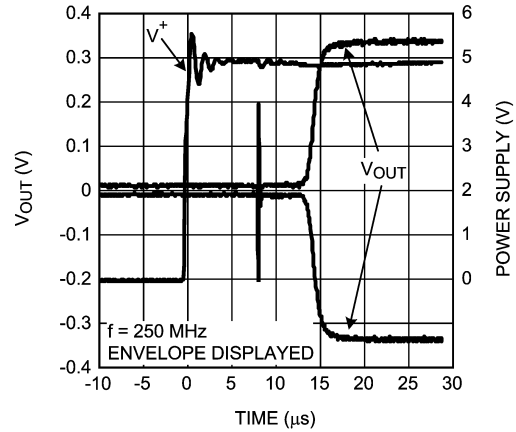
8 dB Gain Step with Latch Pin Low
Switching Gain Pin 3



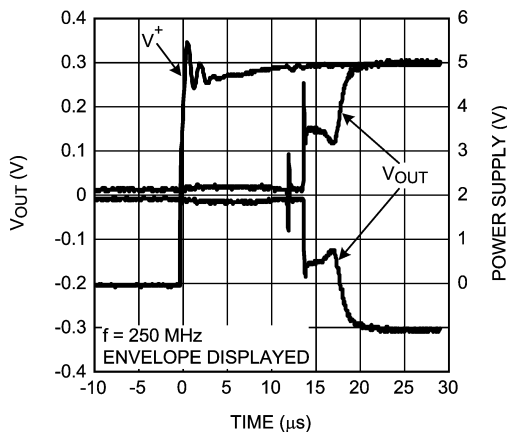
4 dB Gain Step Using Latch Pin



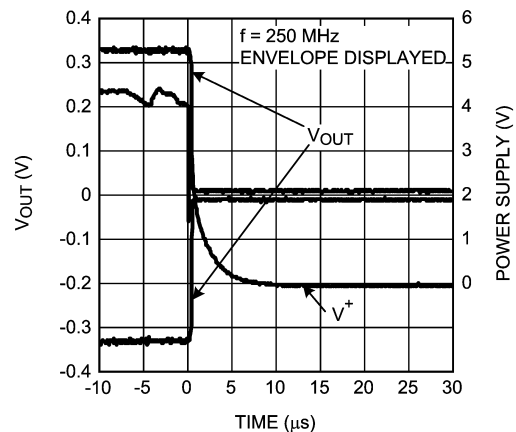
Power On Timing, Maximum Gain



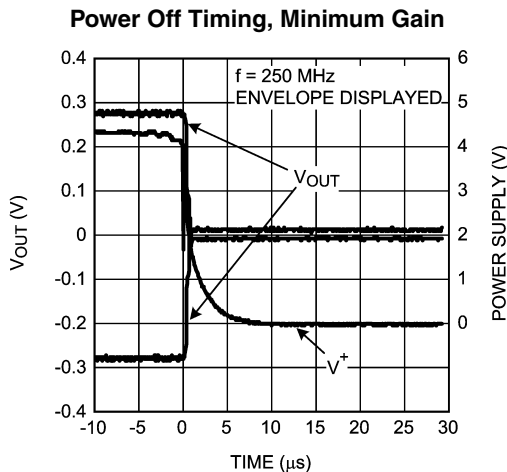
Power On Timing, Minimum Gain



Power Off Timing, Maximum Gain



代表的な性能特性 $V_{CC} = 5V$ (つづき)



アプリケーション情報

LMH6515 は、最高 400MHz までの信号パス・アプリケーションに最適な完全差動型アンプです。LMH6515 の入力は 200 Ω です。絶対ゲインは負荷に依存しますが、ゲイン・ステップは常に 1dB です。LMH6515 の出力段は、クラス A アンプです。このクラス A 動作により、優れた歪み特性と線形特性が得られます。このため、LMH6515 は電圧増幅、および高い線形性が要求される ADC ドライバに最適です。

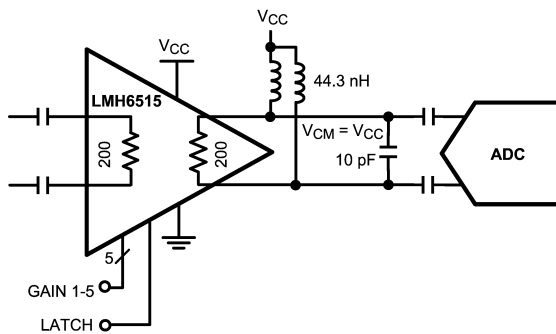


FIGURE 1. LMH6515 Typical Application

LMH6515 の同相出力電圧の設定には注意が必要です。インダクタを使った同相出力電圧の設定は、好ましい方法の一つであり、最大の出力振幅が得られます。出力は AC 結合することを推奨します。上記のインダクタは、アイドル時の同相出力を正電源電圧にシフトします。またインダクタを使うと、出力電圧は電源電圧を超えることができます。同相出力電圧を設定する他の方法では、5V より高い電源電圧が必要です。5V を超える電源電圧を使用する場合は、同相出力が 5.25V の電源定格を超えないように注意する必要があります。

また、OUT + と OUT - ピンの最大電圧の制限値 (6.4V) に注意することも重要です。インダクタを使用するときは、これらのピンの電圧振幅は電源電圧を超えます。5V の同相出力動作ポイントでは、実質的な最大振幅が 5.6V_{pp} 差動になります。システム・キャリブレーションと自動ゲイン制御アルゴリズムを使って、この制限値を超えないように調整してください。

システム設計を支援するため、ナショナル セミコンダクターは ADC14V155KDRB 高 IF レシーバ基準電圧設計ボードを提供します。このボードは、LMH6515 DVGA と ADC14V155 ADC を組み合わせ、多くの IF レシーバ・アプリケーションですぐに利用

できます。169MHz の IF 周波数を使用して、小信号 SN 比は 72dBFS、SFDR は 90dBFS 以上を実現しています。大信号の測定では、SN 比が 68dBFS、SFDR が 77dBFS という結果を示します。このボードは、LMK03000 低ジッタ高精度クロック・コンディショナも備えています。

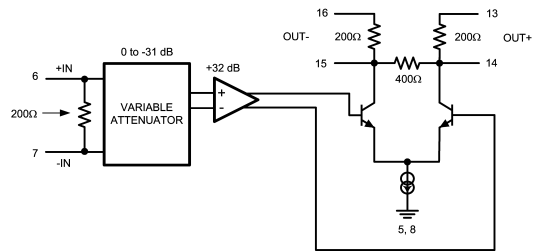


FIGURE 2. LMH6515 Block Diagram

入力特性

LMH6515 の入力インピーダンスは、内部抵抗を使って公称 200 Ω に設定されます。製造工程のばらつきにより、値は「5V 電気的特性」の表に示すような範囲になります。周波数が高くなると、寄生容量がインピーダンスに影響を及ぼし始めます。この特性は基板のレイアウトにも依存するので、ユーザーのシステム・ボードで検証してください。

最大ゲインでは、デジタル・アッテネータが 0dB に設定され、入力信号が出力よりずっと小さくなります。最小ゲインでの出力は、入力より 12dB 以上小さい値です。この構成では、出力構成と所望の出力信号電圧によっては、入力信号の大きさがアンプ出力の振幅を制限する場合があります。入力信号は、負電源電圧 (通常は 0V) より 0.5V 以上低い振幅とすることはできません。また、正電源電圧を超えてもいけません。その場合、入力信号はクリップされ、それが非常に大き過ぎると大きい歪みが発生します。入力段は約 1.4V に自己バイアスされているので、電源電圧が低いと入力電圧の振幅が制限されます。より大きな入力信号を駆動するには、同相入力を強制的に 1.4V より高くして振幅を増加させることができます。同相入力が 2.0V の場合、8V_{pp} の最大入力信号が実現できます。同相入力が 1.4V の内部バイアスポイントから離れてシフトする場合の入力信号振幅に対する代償は、歪み性能がわずかに影響を受けるということです。

アプリケーション情報 (つづき)

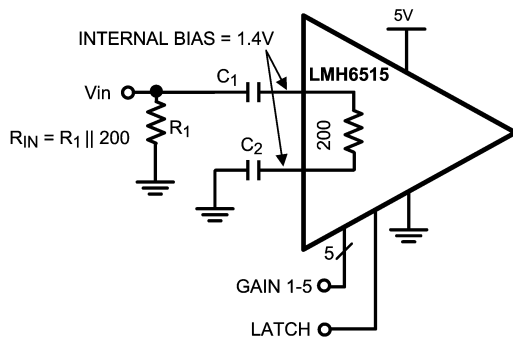


FIGURE 3. Single Ended Input
(Note Capacitor on grounded Input)

出力特性

LMH6515 では、2つの異なる出力構成を選択できます。LMH6515 は、オープン・コレクタ構成となっています。Figure 8 に示すように、各出力には 200 プルアップ抵抗が内蔵されています。さらに、2つの出力間に 400 の内部抵抗があります。この結果、200 または 400 の差動負荷が外部負荷と並列に接続されます。400 では高ゲインが得られ、200 では低ゲインが得られます。高ゲインが必要ではない限り、200 の構成を推奨します。

LMH6515 の出力の同相電圧は、外付け部品で設定する必要があります。ほとんどのアプリケーションは、出力段にインダクタを使用すると有利です。特に、Figure 9 に示すように、400 の場合は出力電圧を発生させるためにインダクタが必要です。200 の場合も、200 のオンチップ抵抗による電圧降下が出力トランジスタを飽和させるので、Figure 10 または Figure 11 に示すようにインダクタが必要です。抵抗と高電圧電源を使って同相出力電圧を設定することも可能です。しかし、出力を DC 結合する必要がない限り、この動作は推奨しません。DC 結合が必要な場合は、同相入力電圧と同相出力電圧を考慮する必要があります。

LMH6515 の最大帯域幅は、低ゲイン、低インピーダンス出力を選択し、低負荷抵抗を使用することで達成されます。67 の実効負荷を使うと、約 1GHz の帯域幅を実現できます。出力段の実効抵抗が大きくなるにつれて、ボードの配線容量とアンプ出力段により、帯域幅がほぼ線形に狭くなります。出力インピーダンスが 100 のとき、帯域幅は 600MHz に低減し、200 では帯域幅は 260MHz になります。このため、きわめて高いインピーダンス負荷の駆動は推奨しません。

大きい値の負荷抵抗では帯域幅が狭くなりますが、歪み性能は改善され、ゲインが大きくなります。LMH6515 にはコモン・エミッタのクラス A 出力段を備え、出力デバイスの電流振幅の量を最小化して歪みを大幅に改善します。

LMH6515 の出力段は、出力トランジスタのコレクタを通して給電されます。出力段の電源はインダクタを介して供給され、インダクタのリアクタンスによって出力電圧が生じます。Figure 1 に、44.4nH の値のインダクタが示されています。使用されるインダクタの値は、アプリケーションによって異なります。Figure 1 では、ADC と負荷コンデンサに共振するようにインダクタが選択され、弱いバンド・パス・フィルタ効果が作られています。広帯域アプリケーションでは、より大きい値のインダクタを使用すると低周波数の動作が向上します。ただし、大きな値のインダクタは高周波数の性能を低減させます。特に 0603 以下の物理的に小型のインダクタはこの特性が顕著です。大型のインダクタは、狭帯域アプリケーションについても、同じ値の小型のものより高い性能を示す傾向があります。これは、大型のインダクタでは DC 抵抗が小さく、内部巻線容量が小さくなり、その結果より高い Q 値とより高い自己共振周波数が

得られるためです。自己共振周波数は、必要な信号周波数より少なくとも 2 倍高くなります。その他、電力インダクタとフィルタ・インダクタは、それらの磁場が結合しないように注意して回路基板に配置する必要があります。インダクタの相互結合はフィルタ特性を損ない、望ましくない歪みを生じる可能性があります。

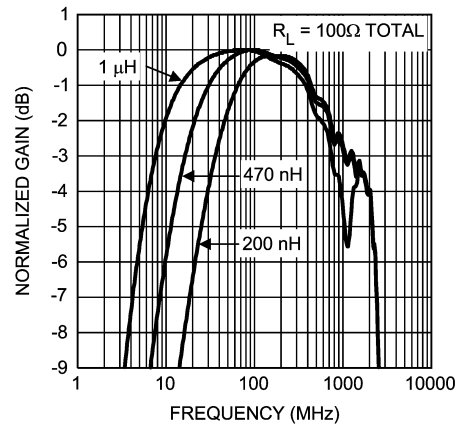


FIGURE 4. Bandwidth Changes due to Different Inductor Values

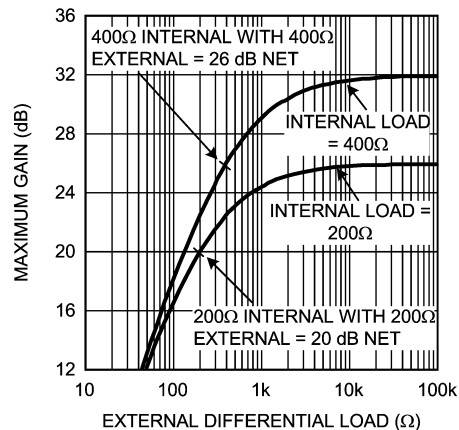


FIGURE 5. Gain vs. External Load

デジタル制御

LMH6515 では、32 のゲイン設定で 31dB の範囲をカバーしています。望ましくない信号遷移を防ぐために、LMH6515 は最小ゲイン状態 (すべての論理入力ピンが 0V) で電源をオンしてください。LMH6515 には、5 ビットのゲイン制御バスとラッチ・ピンが備わっています。ラッチ・ピンが Low のとき、ゲイン制御ピンからのデータは直ぐにゲイン回路に伝えられます (つまり、ゲインが即座に変化します)。ラッチ・ピンが High に遷移すると、現在のゲイン状態が保持され、その後のゲイン設定ピンの変化は無視されます。ゲイン変化によるグリッチを最小にするために、ラッチ・ピンが Low の間は同時に複数のゲイン制御ピンが変化しないようにします。5ns という高速のゲイン・ステップ切り替え時間を達成するために、内部のゲイン変更回路は非常に高速になっています。ゲイン・グリッチは、ゲイン設定ビット間のタイミング・スキューに起因して起こります。特に、ゲインをわずかに変化させるために 3 つ以上のゲイン制御ピンの状態の変化が必要な場合などが当てはまります。連続的なゲイン制御が必要な場合は、ラッチ・ピンをグラウンドに接続できます。この状態は、トランスペアレント・モードと呼ばれ、ゲイン・ピンは常にアクティブです。この状態では、望ましくない遷移を避けるために、ゲイン・ピンの論理遷移タイミングを設定する注意が必要です。

アプリケーション情報 (つづき)

LMH6515 は、3.3V CMOS 論理回路とインタフェースするように設計されています。5V 論理での動作が必要な場合は、各論理ピンに単純な分圧回路を設けることによってこれが可能になります。100 Ω 伝送線路を適切に終端させるには、片側をグラウンドに接続した 66.5 Ω 抵抗と 33.2 Ω の直列抵抗の分圧器が線路を適切に終端し、3.3V 論理電圧レベルを発生させます。論理ピンの 3.6V 絶対最大電圧定格を超えないように注意する必要があります。

露出パッド LLP パッケージ

LMH6515 は、熱特性を強化したパッケージに封止されています。露出パッドは GND ピンに接続します。露出パッドを電源グラウンド・プレーンに接続することを推奨しますが、必須ではありません。いずれの場合も、デバイスの熱散逸はこのパッドの取り付けに大きく依存します。露出パッドは、回路上のできるだけ多くの銅箔に取り付け、できれば外付けの銅箔にも取り付けることを推奨します。ただし、システム・ボードを設計するときに、優れた高速レイアウト法を取ることが極めて重要です。推奨するレイアウト技術については、LMH6515 の評価用ボードを参照してください。

パッケージ情報は、次のナショナル セミコンダクターの Web サイトからご利用になります。

<http://www.national.com/packaging/folders/sqa16a.html>

ADC とのインタフェース

LMH6515 は、ADC14155 などの高速 ADC と共に使用するように設計されています。1 ページの「代表的なアプリケーション」で示したように、AC 結合は特に IF サブサンプリング・アプリケーションに適した柔軟性を提供します。出力に接続された抵抗性の回路も、出力抵抗間に出力信号が発生するため、ゲイン損失の原因になります。「Maximum Gain vs. External Load」の図は、外部負荷が追加されたときのゲインの変化を示します。

LMH6515 の入力、通常の動作に最適な電圧に自己バイアスされています。入力の内部バイアス電圧は、約 1.4V です。ほとんどのアプリケーションで、LMH6515 入力を AC 結合する必要があります。

出力同相電圧は自己バイアスされていません。そのため、Figure 1 に示すように、外付けインダクタを使って正電源レールまで引き上げる必要があります。このことによって、LMH6515 は 5V 単一電源で、大きな信号振幅と歪みを実現できます。内部負荷抵抗があることにより、LMH6515 のゲインは安定したゲインを提供します。

ユニークな内部アーキテクチャにより、LMH6515 または差動とシングルエンドのいずれの信号源でも駆動できます。LMH6515 をシングルエンドで駆動する場合、使用しない入力は 0.01 μF コンデンサでグラウンドに終端してください。使用しない入力を直接グラウンドに短絡すると、内部のバイアス回路が妨害されて性能が劣化します。

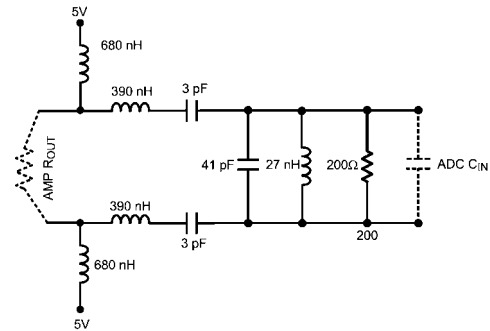


FIGURE 6. Bandpass Filter
Center Frequency is 140 MHz with a 20 MHz Bandwidth
Designed for 200 Ω Impedance

ADC ノイズ・フィルタ

Figure 6 はフィルタの回路図を表し、以下の表は一般的な IF 周波数の値を示しています。このフィルタは、帯域幅、ノイズ除去性能、コストの間のバランスを考慮しています。このフィルタの構成は、ADC14V155KDRB 高 IF レシーバ基準電圧設計ボードと同じです。このフィルタ構成は、「Compatible High Speed Analog to Digital Converters」の表に示した 12 ビット /14 ビットのサブサンプリング A/D コンバータに最適です。

Filter Component Values

Filter Component Values					
	Fc	75 MHz	140 MHz	170 MHz	250 MHz
	BW	40 MHz	20 MHz	25 MHz	Narrow Band
Components	L1, L2	10 μH	10 μH	10 μH	10 μH
	L3, L4	390 nH	390 nH	560 nH	—
	C1, C2	10 pF	3 pF	1.4 pF	47 pF
	C3	22 pF	41 pF	32 pF	11 pF
	L5	220 nH	27 nH	30 nH	22 nH
	R1, R2	100	200	100	499

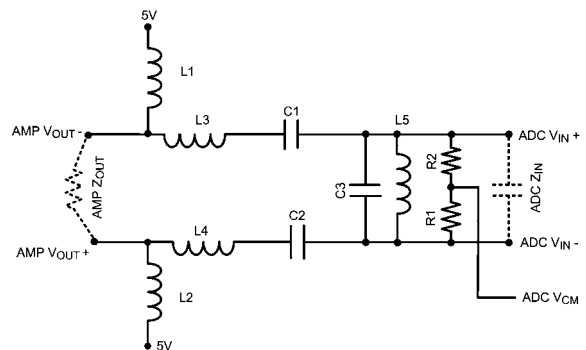


FIGURE 7. Sample Filter

アプリケーション情報 (つづき)

電源

Figure 8 に示すように、LMH6515 では出力ピンの電源を接続する方法がいくつかあります。ピン 3 (V_{CC}) は必ず接続します。出力段は、Figure 9、Figure 10 および Figure 11 に示すように接続できます。V_{CC} の電源電圧の範囲は 4V ~ 5.25V です。5V 電源で最高の性能を発揮しますが、他方、電源電圧が低いと消費電力が小さくなります。2.5% またはそれより良好なレギュレーションの電源電圧を推奨します。

デジタル回路は 3.3V の内部電源電圧から給電されることに、特に留意してください。論理ピンは、絶対最大値の 3.6V を超えては駆動しないでください。詳細は「デジタル制御」を参照してください。

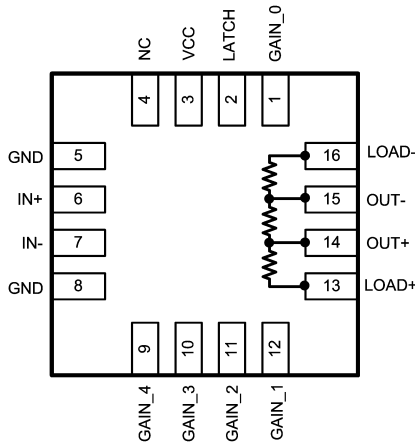


FIGURE 8. Internal Load Resistors

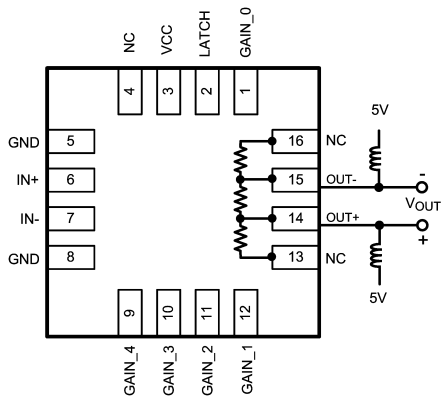


FIGURE 9. Using High Gain Mode (400 Load)

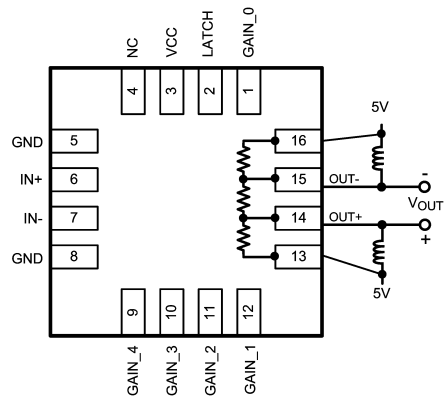


FIGURE 10. Using Low Gain Mode (200 Load)

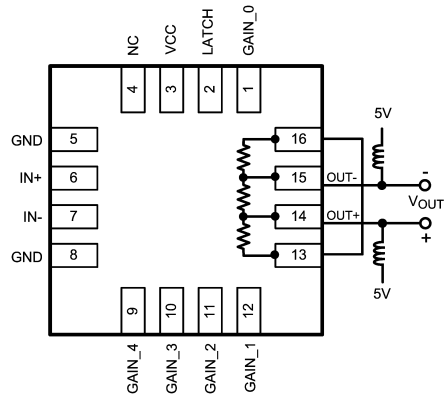
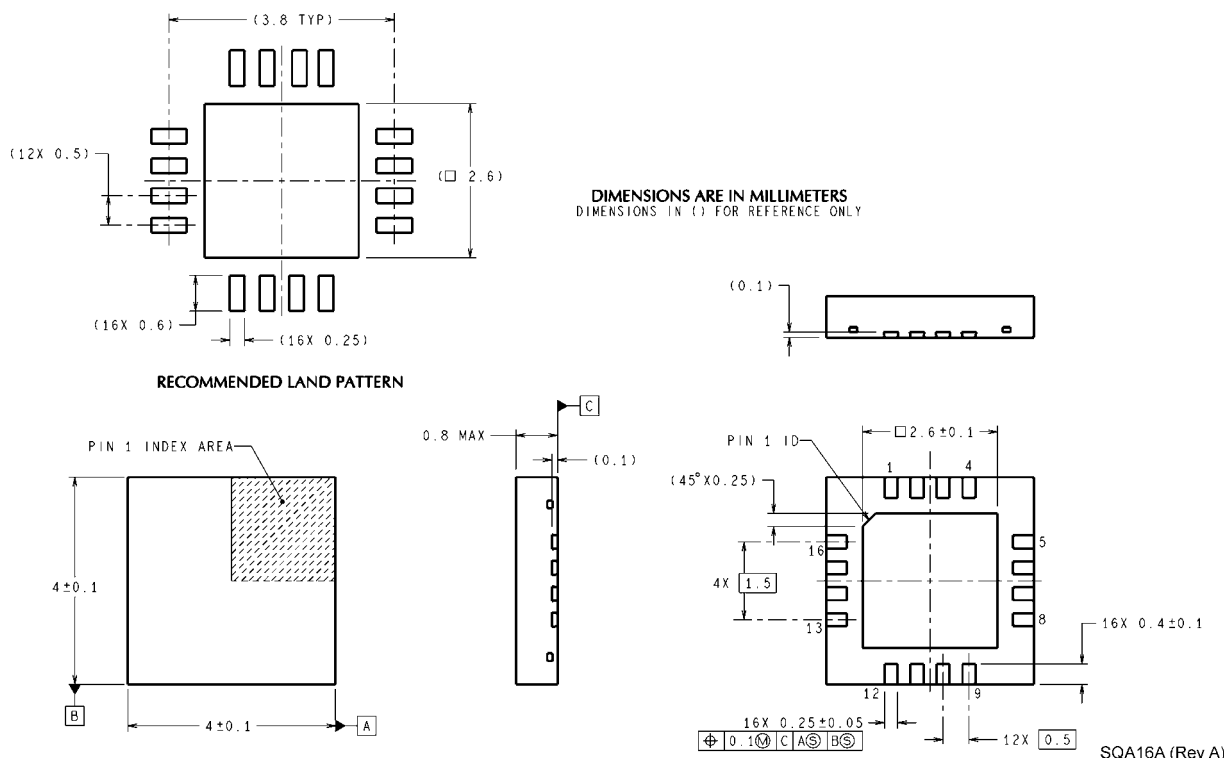


FIGURE 11. Alternate Connection for Low Gain Mode (200 Load)

Compatible High Speed Analog to Digital Converters

Product Number	Max Sampling Rate (MSPS)	Resolution	Channels
ADC12L063	62	12	SINGLE
ADC12DL065	65	12	DUAL
ADC12L066	66	12	SINGLE
ADC12DL066	66	12	DUAL
CLC5957	70	12	SINGLE
ADC12L080	80	12	SINGLE
ADC12DL080	80	12	DUAL
ADC12C080	80	12	SINGLE
ADC12C105	105	12	SINGLE
ADC12C170	170	12	SINGLE
ADC12V170	170	12	SINGLE
ADC14C080	80	14	SINGLE
ADC14C105	105	14	SINGLE
ADC14DS105	105	14	DUAL
ADC14155	155	14	SINGLE
ADC14V155	155	14	SINGLE
ADC08D500	500	8	DUAL
ADC08500	500	8	SINGLE
ADC08D1000	1000	8	DUAL
ADC081000	1000	8	SINGLE
ADC08D1500	1500	8	DUAL
ADC081500	1500	8	SINGLE
ADC08(B)3000	3000	8	SINGLE
ADC08L060	60	8	SINGLE
ADC08060	60	8	SINGLE
ADC10DL065	65	10	DUAL
ADC10065	65	10	SINGLE
ADC10080	80	10	SINGLE
ADC08100	100	8	SINGLE
ADCS9888	170	8	SINGLE
ADC08(B)200	200	8	SINGLE
ADC11C125	125	11	SINGLE
ADC11C170	170	11	SINGLE

外形寸法図 単位は millimeters



16-Pin Package
NS Package Number SQA16A

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2007 National Semiconductor Corporation
製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

本資料に掲載されているすべての回路の使用に起因する第三者の特許権その他の権利侵害に関して、弊社ではその責を負いません。また掲載内容は予告無く変更されることがありますのでご了承ください。

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上