

LMH6559

LMH6559 High-Speed, Closed-Loop Buffer



Literature Number: JAJSA46

LMH6559

高速クローズドループ・バッファ

概要

LMH6559 は、超高周波信号の処理が必要なアプリケーション向けに開発された、高速動作のクローズドループ・バッファ回路です。LMH6559 は、小信号帯域幅 1,750MHz と超高速スレーレート 4,580V/μs を実現する一方で、4 回路のバッファの待機時電流はわずか 10mA に過ぎません。20MHz で 100 負荷に対する全高調波歪みは - 52dBc です。LMH6559 はループ・ゲインが 1 となるように内部回路が構成されています。入力インピーダンスは 200kΩ で、出力インピーダンスは 1.2Ω です。このような優れた性能を備える LMH6559 は、プリント基板上で高周波信号を分配するアプリケーションに理想的です。3.58MHz における微分利得と微分位相の仕様はそれぞれ 0.06% と 0.02 と小さく、ビデオ信号のバッファに適しています。

デバイスは、ナショナル セミコンダクターの実績ある高性能回路アーキテクチャを用いて設計され、高速 VIP10 プロセスで製造されています。

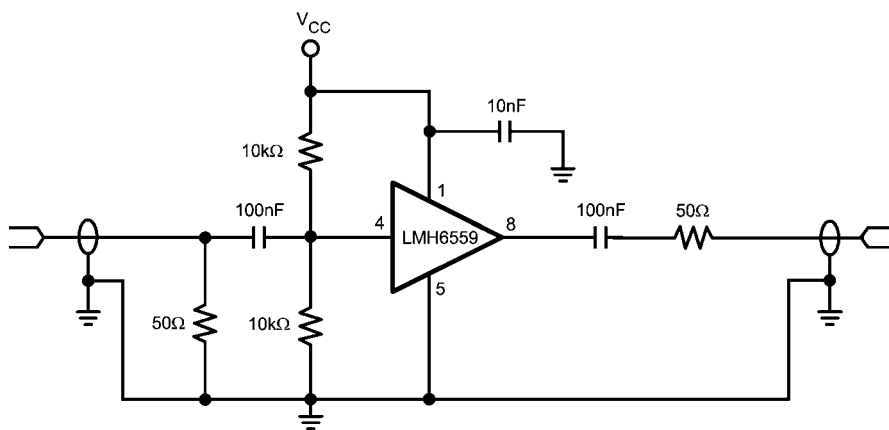
特長

クローズドループ・バッファ	
小信号帯域幅	1,750MHz
スレーレート	4,580V/μs
0.06% / 0.02 微分利得 / 微分位相	
20MHz における全高調波歪み	- 52dBc
単一電源電圧	3V(最小値)
出力電流	75mA

アプリケーション

- ビデオ・スイッチングヒルレーティング
- テスト・ポイント・ドライバ
- 高周波アクティブ・フィルタ
- 広帯域 DC クランピング・バッファ
- 高速ピーク検出回路
- 伝送システム
- テレコム
- 計測機器

標準的な回路図



絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電気的信頼性試験方法の規格を参照ください。

ESD 耐圧		流動ハンダ付け (10 秒)	260
人体モデル	2,000V	保存温度範囲	- 65 ~ + 150
マシン・モデル	200V	接合部温度	+150
出力短絡時間	(Note 3、4)	動作定格 (Note 1)	
電源電圧 ($V^+ - V^-$)	13V	電源電圧 ($V^+ - V^-$)	3 - 10V
入出力端子電圧	$V^+ + 0.8V$ 、 $V^- - 0.8V$	温度範囲 (Note 5、6)	- 40 ~ + 85
ハンダ付け情報		パッケージ熱抵抗 (Note 5、6)	
赤外線または対流方式 (20 秒)	235	8 ピン SOIC	172 /W
		5 ピン SOT23	235 /W

± 5V 電気的特性

特記のない限り、すべてのリミット値は $T_J = 25^\circ\text{C}$ 、 $V^+ = +5V$ 、 $V^- = -5V$ 、 $V_O = V_{CM} = 0V$ 、 $R_L = 100\ \Omega \sim 0V$ に対して保証されます。太字のリミット値は全動作温度範囲に適用されます。

Symbol	Parameter	Conditions	Min (Note 8)	Typ (Note 7)	Max (Note 8)	Units
Frequency Domain Response						
SSBW	Small Signal Bandwidth	$V_O < 0.5V_{PP}$		1750		MHz
GFN	Gain Flatness < 0.1dB	$V_O < 0.5V_{PP}$		200		MHz
FPBW	Full Power Bandwidth (-3dB)	$V_O = 2V_{PP}$ (+10dBm)		1050		MHz
DG	Differential Gain	$R_L = 150\ \Omega$ to 0V, $f = 3.58\ \text{MHz}$		0.06		%
DP	Differential Phase	$R_L = 150\ \Omega$ to 0V, $f = 3.58\ \text{MHz}$		0.02		deg
Time Domain Response						
t_r	Rise Time	3.3V Step (20-80%)		0.4		ns
t_f	Fall Time			0.5		ns
t_s	Settling Time to $\pm 0.1\%$	3.3V Step		9		ns
OS	Overshoot	1V Step		4		%
SR	Slew Rate	(Note 10)		4580		V/ μs
Distortion And Noise Performance						
HD2	2 nd Harmonic Distortion	$V_O = 2V_{PP}$, $f = 20\ \text{MHz}$		-58		dBc
HD3	3 rd Harmonic Distortion	$V_O = 2V_{PP}$, $f = 20\ \text{MHz}$		-53		dBc
THD	Total Harmonic Distortion	$V_O = 2V_{PP}$, $f = 20\ \text{MHz}$		-52		dBc
e_n	Input-Referred Voltage Noise	$f = 1\ \text{MHz}$		5.7		nV/ $\sqrt{\text{Hz}}$
CP	1dB Compression point	$f = 10\ \text{MHz}$		+23		dBm
SNR	Signal to Noise Ratio	$f > 100\ \text{kHz}$, BW = 5MHz, $V_O = 350\ \text{mVrms}$		89		dB
Static, DC Performance						
A_{CL}	Small Signal Voltage Gain	$V_O = 100\ \text{mV}_{PP}$ $R_L = 100\ \Omega$ to 0V	.97	.996		V/V
		$V_O = 100\ \text{mV}_{PP}$ $R_L = 2\ \text{k}\Omega$ to 0V	.99	.998		
V_{OS}	Input Offset Voltage			3	20 25	mV
TC V_{OS}	Temperature Coefficient Input Offset Voltage	(Note 11)		23		$\mu\text{V}/^\circ\text{C}$
I_B	Input Bias Current	(Note 9)	-10 -14	-3		μA
TC I_B	Temperature Coefficient Input Bias Current	(Note 11)		-3.6		nA/ $^\circ\text{C}$

± 5V 電気的特性 (つづき)

特記のない限り、すべてのリミット値は $T_J = 25$ 、 $V^+ = +5V$ 、 $V^- = -5V$ 、 $V_O = V_{CM} = 0V$ 、 $R_L = 100 \sim 0V$ に対して保証されます。太字のリミット値は全動作温度範囲に適用されます。

Symbol	Parameter	Conditions	Min (Note 8)	Typ (Note 7)	Max (Note 8)	Units
R_{OUT}	Output Resistance	$R_L = 100\Omega$ to 0V, $f = 100kHz$		1.2		Ω
		$R_L = 100\Omega$ to 0V, $f = 10MHz$		1.3		
PSRR	Power Supply Rejection Ratio	$V_S = \pm 5V$ to $V_S = \pm 5.25V$	48 44	63		dB
I_S	Supply Current	No Load		10	14 17	mA
Miscellaneous Performance						
R_{IN}	Input Resistance			200		k Ω
C_{IN}	Input Capacitance			1.7		pF
V_O	Output Swing Positive	$R_L = 100\Omega$ to 0V	3.20 3.18	3.45		V
		$R_L = 2k\Omega$ to 0V	3.55 3.54	3.65		
	Output Swing Negative	$R_L = 100\Omega$ to 0V		-3.45	-3.20 -3.18	V
		$R_L = 2k\Omega$ to 0V		-3.65	-3.55 -3.54	
I_{SC}	Output Short Circuit Current	Sourcing: $V_{IN} = +V_S$, $V_O = 0V$		-83		mA
		Sinking: $V_{IN} = -V_S$, $V_O = 0V$		83		
I_O	Linear Output Current	Sourcing: $V_{IN} - V_O = 0.5V$ (Note 9)	-50 -43	-74		mA
		Sinking: $V_{IN} - V_O = -0.5V$ (Note 9)	50 43	74		

5V 電気的特性

特記のない限り、すべてのリミット値は、 $T_J = 25$ 、 $V^+ = 5V$ 、 $V^- = 0V$ 、 $V_O = V_{CM} = V^+ / 2$ 、 $R_L = 100 \sim V^+ / 2$ で保証されます。太字のリミット値は全動作温度範囲に適用されます。

Symbol	Parameter	Conditions	Min (Note 8)	Typ (Note 7)	Max (Note 8)	Units
Frequency Domain Response						
SSBW	Small Signal Bandwidth	$V_O < 0.5V_{PP}$		745		MHz
GFN	Gain Flatness < 0.1dB	$V_O < 0.5V_{PP}$		90		MHz
FPBW	Full Power Bandwidth (-3dB)	$V_O = 2V_{PP}$ (+10dBm)		485		MHz
DG	Differential Gain	$R_L = 150\Omega$ to $V^+ / 2$, $f = 3.58$ MHz		0.29		%
DP	Differential Phase	$R_L = 150\Omega$ to $V^+ / 2$, $f = 3.58$ MHz		0.06		deg
Time Domain Response						
t_r	Rise Time	2.3V _{PP} Step (20-80%)		0.6		ns
t_f	Fall Time			0.9		ns
t_s	Settling Time to $\pm 0.1\%$	2.3V Step		9.6		ns
OS	Overshoot	1V Step		3		%
SR	Slew Rate	(Note 10)		2070		V/ μ s
Distortion And Noise Performance						
HD2	2 nd Harmonic Distortion	$V_O = 2V_{PP}$, $f = 20MHz$		-53		dBc
HD3	3 rd Harmonic Distortion	$V_O = 2V_{PP}$, $f = 20MHz$		-56		dBc
THD	Total Harmonic Distortion	$V_O = 2V_{PP}$, $f = 20MHz$		-52		dBc
e_n	Input-Referred Voltage Noise	$f = 1MHz$		4.0		nV/ \sqrt{Hz}

5V 電気的特性 (つぎ)

特記のない限り、すべてのリミット値は、 $T_J = 25$ 、 $V^+ = 5V$ 、 $V^- = 0V$ 、 $V_O = V_{CM} = V^+ / 2$ 、 $R_L = 100 \sim V^+ / 2$ で保証されます。太字のリミット値は全動作温度範囲に適用されます。

Symbol	Parameter	Conditions	Min (Note 8)	Typ (Note 7)	Max (Note 8)	Units
CP	1dB Compression point	$f = 10\text{MHz}$		+7		dBm
SNR	Signal to Noise Ratio	$f > 100\text{kHz}$, $BW = 5\text{MHz}$, $V_O = 350\text{mVrms}$		92		dB
Static, DC Performance						
A_{CL}	Small Signal Voltage Gain	$V_O = 100\text{mV}_{PP}$ $R_L = 100\Omega$ to $V^+ / 2$.97	.996		V/V
		$V_O = 100\text{mV}_{PP}$ $R_L = 2\text{k}\Omega$ to $V^+ / 2$.99	.998		
V_{OS}	Input Offset Voltage			1.52	12 16	mV
TC V_{OS}	Temperature Coefficient Input Offset Voltage	(Note 11)		23		$\mu\text{V}/^\circ\text{C}$
I_B	Input Bias Current	(Note 9)	-5 -8	-2.7		μA
TC I_B	Temperature Coefficient Input Bias Current	(Note 11)		1.6		$\text{nA}/^\circ\text{C}$
R_{OUT}	Output Resistance	$R_L = 100\Omega$ to $V^+ / 2$, $f = 100\text{kHz}$		1.4		Ω
		$R_L = 100\Omega$ to $V^+ / 2$, $f = 10\text{MHz}$		1.6		
PSRR	Power Supply Rejection Ratio	$V_S = +5V$ to $V_S = +5.5V$, $V_{IN} = V_S / 2$	48 44	68		dB
I_S	Supply Current	No Load		4.7	7 8.5	mA
Miscellaneous Performance						
R_{IN}	Input Resistance			22		$\text{k}\Omega$
C_{IN}	Input Capacitance			2.0		pF
V_O	Output Swing Positive	$R_L = 100\Omega$ to $V^+ / 2$	3.80 3.75	3.88		V
		$R_L = 2\text{k}\Omega$ to $V^+ / 2$	3.94 3.92	3.98		
	Output Swing Negative	$R_L = 100\Omega$ to $V^+ / 2$		1.12	1.20 1.25	V
		$R_L = 2\text{k}\Omega$ to $V^+ / 2$		1.03	1.06 1.09	
I_{SC}	Output short circuit Current	Sourcing: $V_{IN} = +V_S$, $V_O = V^+ / 2$		-57		mA
		Sinking: $V_{IN} = -V_S$, $V_O = V^+ / 2$		26		
I_O	Linear Output Current	Sourcing: $V_{IN} - V_O = 0.5V$ (Note 9)	-50 -43	-64		mA
		Sinking: $V_{IN} - V_O = -0.5V$ (Note 9)	30 23	42		

3V 電気的特性

特記のない限り、すべてのリミット値は、 $T_J = 25$ 、 $V^+ = 3V$ 、 $V^- = 0V$ 、 $V_O = V_{CM} = V^+ / 2$ 、 $R_L = 100 \sim V^+ / 2$ で保証されます。太字のリミット値は全動作温度範囲に適用されます。

Symbol	Parameter	Conditions	Min (Note 8)	Typ (Note 7)	Max (Note 8)	Units
Frequency Domain Response						
SSBW	Small Signal Bandwidth	$V_O < 0.5V_{PP}$		315		MHz
GFN	Gain Flatness < 0.1dB	$V_O < 0.5V_{PP}$		44		MHz

3V 電気的特性 (つぎ)

特記のない限り、すべてのリミット値は、 $T_J = 25^\circ\text{C}$ 、 $V^+ = 3\text{V}$ 、 $V^- = 0\text{V}$ 、 $V_O = V_{CM} = V^+ / 2$ 、 $R_L = 100\ \Omega \sim V^+ / 2$ で保証されます。太字のリミット値は全動作温度範囲に適用されます。

Symbol	Parameter	Conditions	Min (Note 8)	Typ (Note 7)	Max (Note 8)	Units
FPBW	Full Power Bandwidth (-3dB)	$V_O = 1V_{PP}$ (+4.5dBm)		265		MHZ
Time Domain Response						
t_r	Rise Time	1.0V Step (20-80%)		0.8		ns
t_f	Fall Time			1.2		ns
t_s	Settling Time to $\pm 0.1\%$	1V Step		10		ns
OS	Overshoot	0.5V Step		0		%
SR	Slew Rate	(Note 10)		770		V/ μs
Distortion And Noise Performance						
HD2	2 nd Harmonic Distortion	$V_O = 2V_{PP}$, $f = 20\text{MHz}$		-74		dBc
HD3	3 rd Harmonic Distortion	$V_O = 2V_{PP}$, $f = 20\text{MHz}$		-57		dBc
THD	Total Harmonic Distortion	$V_O = 2V_{PP}$, $f = 20\text{MHz}$		-56		dBc
e_n	Input-Referred Voltage Noise	$f = 1\text{MHz}$		3.9		nV/ $\sqrt{\text{Hz}}$
CP	1dB Compression point	$f = 10\text{MHz}$		+4		dBm
SNR	Signal to Noise Ratio	$f > 100\text{kHz}$, $\text{BW} = 5\text{MHz}$, $V_O = 350\text{mVrms}$		92		dB
Static, DC Performance						
A_{CL}	Small Signal Voltage Gain	$V_O = 100\text{mV}_{PP}$ $R_L = 100\ \Omega$ to $V^+ / 2$.97	.995		V/V
		$V_O = 100\text{mV}_{PP}$ $R_L = 2\text{k}\ \Omega$ to $V^+ / 2$.99	.998		
V_{OS}	Input Offset Voltage			1	7 9	mV
TC V_{OS}	Temperature Coefficient Input Offset Voltage	(Note 11)		3.5		$\mu\text{V}/^\circ\text{C}$
I_B	Input Bias Current	(Note 9)	-3 -3.5	-1.5		μA
TC I_B	Temperature Coefficient Input Bias Current	(Note 11)		0.46		$\text{nA}/^\circ\text{C}$
R_{OUT}	Output Resistance	$R_L = 100\ \Omega$ to $V^+ / 2$, $f = 100\text{kHz}$		1.8		Ω
		$R_L = 100\ \Omega$ to $V^+ / 2$, $f = 10\text{MHz}$		2.3		
PSRR	Power Supply Rejection Ratio	$V_S = +3\text{V}$ to $V_S = +3.5\text{V}$, $V_{IN} = V^+ / 2$	48 46	68		dB
I_S	Supply Current	No Load		2.4	3.5 4.5	mA
Miscellaneous Performance						
R_{IN}	Input Resistance			23		k Ω
C_{IN}	Input Capacitance			2.3		pF
V_O	Output Swing Positive	$R_L = 100\ \Omega$ to $V^+ / 2$	2.02 1.95	2.07		V
		$R_L = 2\text{k}\ \Omega$ to $V^+ / 2$	2.12 2.02	2.17		
	Output Swing Negative	$R_L = 100\ \Omega$ to $V^+ / 2$.930	.970 1.050	V
		$R_L = 2\text{k}\ \Omega$ to $V^+ / 2$.830	.880 .980	
I_{SC}	Output Short Circuit Current	Sourcing: $V_{IN} = +V_S$, $V_O = V^+ / 2$		-32		mA
		Sinking: $V_{IN} = -V_S$, $V_O = V^+ / 2$		15		

3V 電気的特性 (つぎ)

特記のない限り、すべてのリミット値は、 $T_J = 25^\circ\text{C}$ 、 $V^+ = 3\text{V}$ 、 $V^- = 0\text{V}$ 、 $V_O = V_{CM} = V^+ / 2$ 、 $R_L = 100\ \Omega \sim V^+ / 2$ で保証されます。太字のリミット値は全動作温度範囲に適用されます。

Symbol	Parameter	Conditions	Min (Note 8)	Typ (Note 7)	Max (Note 8)	Units
I_O	Linear Output Current	Sourcing: $V_{IN} - V_O = 0.5\text{V}$ (Note 9)	-20	-28		mA
		Sinking: $V_{IN} - V_O = -0.5\text{V}$ (Note 9)	12 8	17		

Note 1: 絶対最大定格とは、その値を超えるとデバイスの安全性を保証できなくなる値のことです。デバイスをこれらのリミット値で動作させなければならないことを示すものではありません。デバイスの動作条件は「電気的特性」の表に規定されています。

Note 2: 人体モデル適用規格: MIL-STD-883、Method 3015.7
 マシン・モデル適用規格: JESD22-A115-A (ESD MM std. of JEDEC)
 電場 (界) 誘導帯電モデル適用規格: JESD22-C101-C (ESD FICDM std. of JEDEC)

Note 3: 単一電源、分割電源のどちらで動作させる場合にも適用されます。高周囲温度下で短絡動作を連続させると、150 の最大許容接合部温度を超える場合があります。

Note 4: 出力短絡試験は瞬時試験の 1 つです。Note 6 を参照してください。

Note 5: 最大消費電力は、 $T_J(\text{MAX})$ 、 J_A 、 T_A の関数です。任意の周囲温度での最大許容電力損失は、 $P_D = (T_J(\text{MAX}) - T_A) / J_A$ です。すべての数値は、プリント基板に直接ハンダ付けするパッケージに適用されます。

Note 6: 「電気的特性」の値は、記載温度の工場出荷試験条件にのみ適用されます。工場試験条件では $T_J = T_A$ となるように自己発熱を大幅に抑えています。「電気的特性」には、自己発熱により $T_J > T_A$ となる条件下で保証されるパラメータ性能値は記載されていません。デバイスの温度ディレーティングについては「アプリケーション情報」を参照してください。

Note 7: 代表値 (typ) は、特性解析時に確定された最も標準的なパラメータ値を示します。実測値は、経時的に変化するとともに、アプリケーションや構成にも依存します。この代表値はテストされた値ではなく、出荷済みの製品材料に対する保証値ではありません。

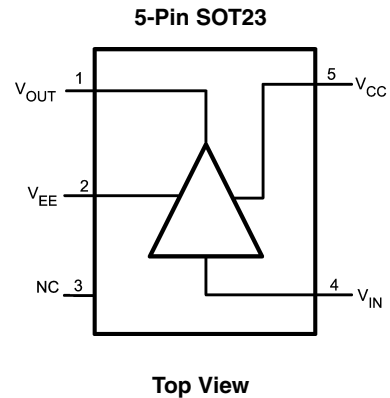
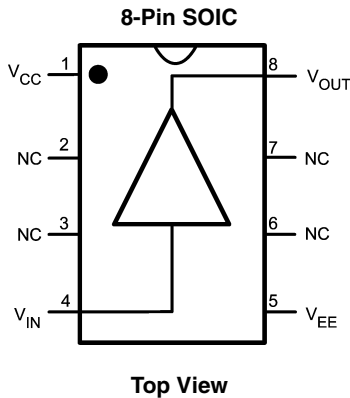
Note 8: リミット値は、すべて試験または統計解析により保証されています。

Note 9: デバイスに向かって流れ込む電流を正方向の電流と定義しています。

Note 10: スルーレートは立ち上がりスルーレートと立ち下がりスルーレートとの平均値です。

Note 11: 温度ドリフト係数は、2 点の温度間で生じたパラメータの変化量を、2 点の温度間の温度差で除したものです。

ピン配置図



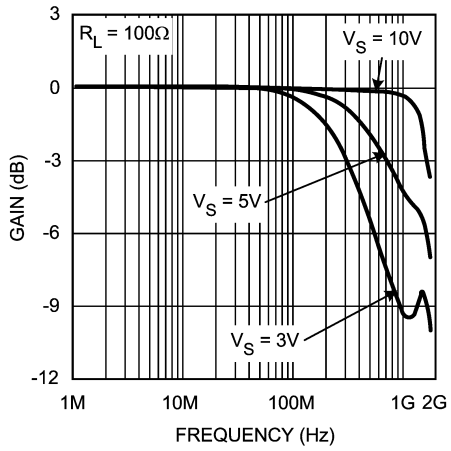
製品情報

Package	Part Number	Package Marking	Transport Media	NSC Drawing
8-Pin SOIC	LMH6559MA	LMH6559MA	95 Units/Rail	M08A
	LMH6559MAX		2.5k Units Tape and Reel	
5-Pin SOT23	LMH6559MF	B05A	1k Units Tape and Reel	MF05A
	LMH6559MFX		3k Units Tape and Reel	

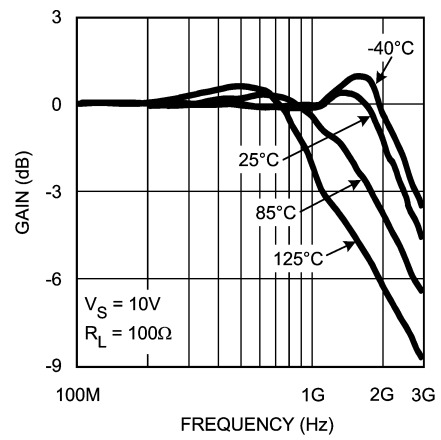
代表的な性能特性

特記のない限り、 $T_J = 25^\circ\text{C}$ 、 $V^+ = +5\text{V}$ 、 $V^- = -5\text{V}$ 。

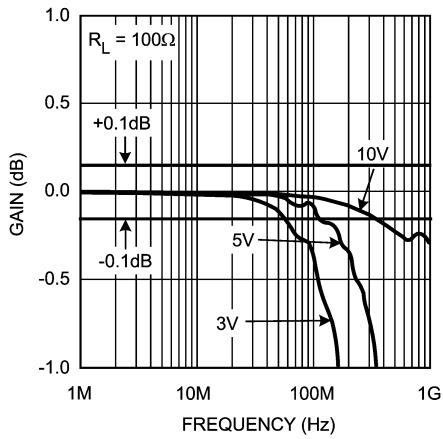
Frequency Response



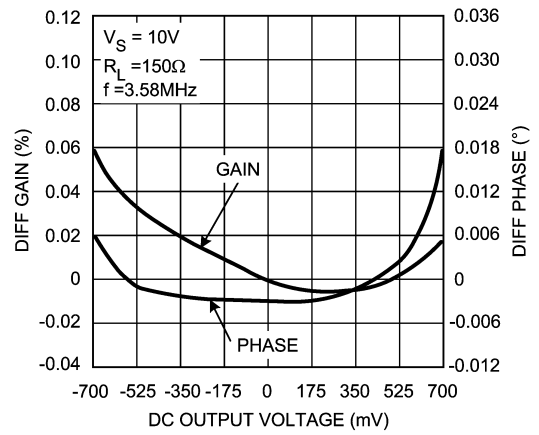
Frequency Response Over Temperature



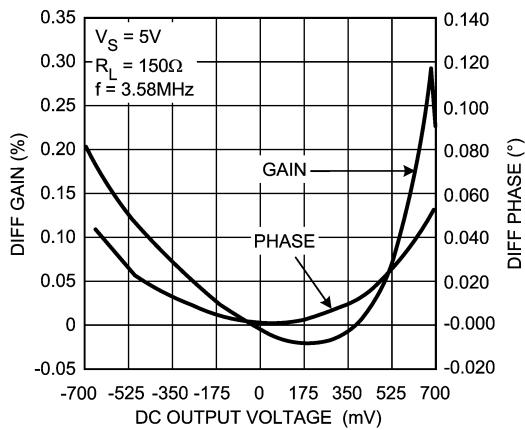
Gain Flatness



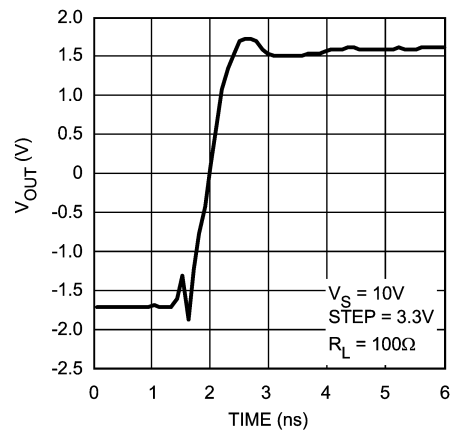
Differential Gain and Phase



Differential Gain and Phase



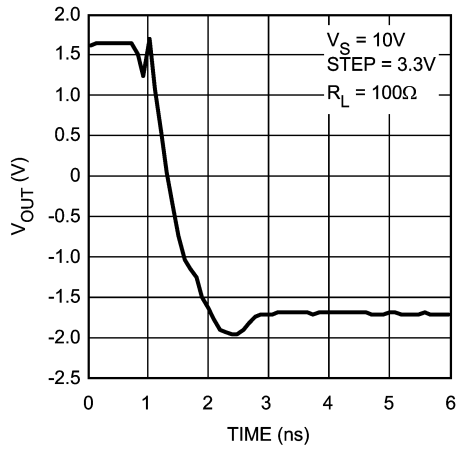
Transient Response Positive



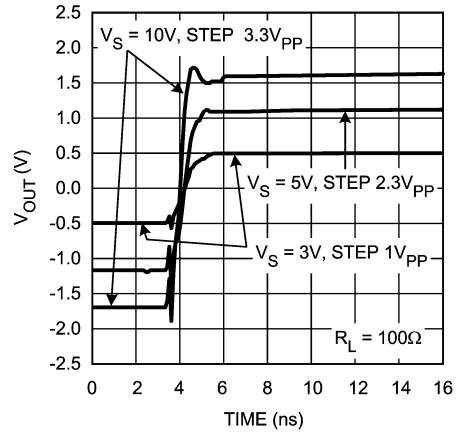
代表的な性能特性 (つづき)

特記のない限り $T_J = 25^\circ\text{C}$ 、 $V^+ = +5\text{V}$ 、 $V^- = -5\text{V}$ 。

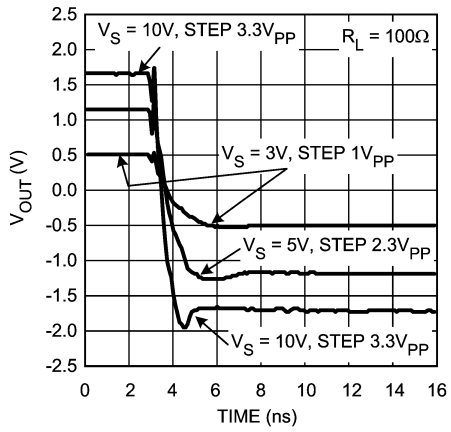
Transient Response Negative



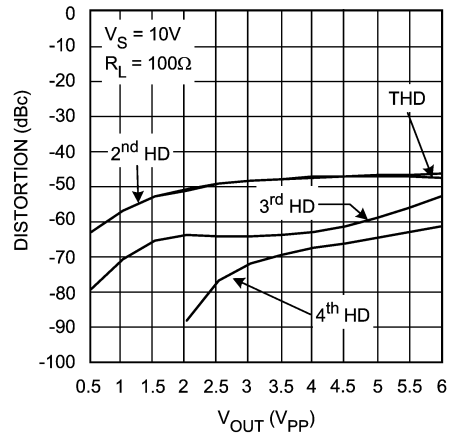
Transient Response Positive for Various V_{SUPPLY}



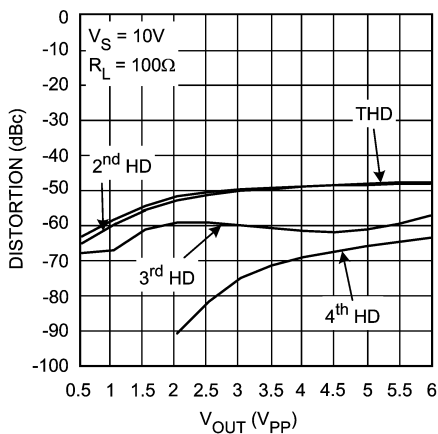
Transient Response Negative for Various V_{SUPPLY}



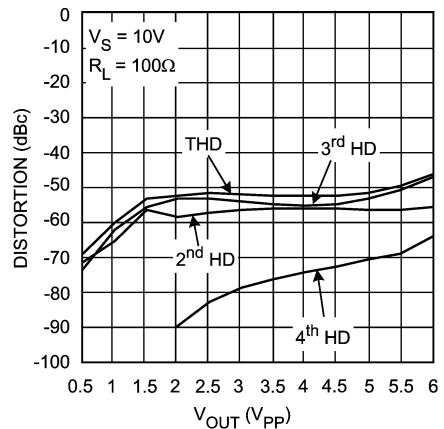
Harmonic Distortion vs. V_{OUT} @ 5MHz



Harmonic Distortion vs. V_{OUT} @ 10MHz



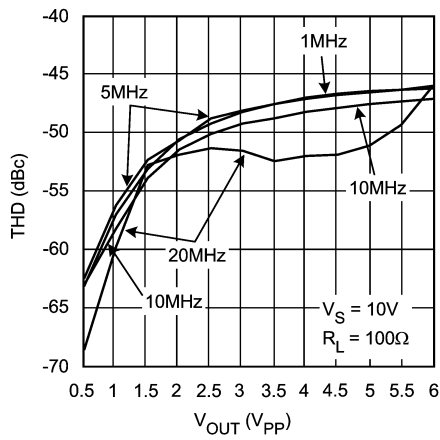
Harmonic Distortion vs. V_{OUT} @ 20MHz



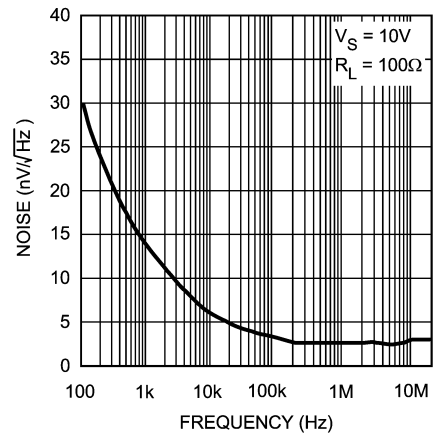
代表的な性能特性 (つづき)

特記のない限り $T_J = 25^\circ\text{C}$ 、 $V^+ = +5\text{V}$ 、 $V^- = -5\text{V}$ 。

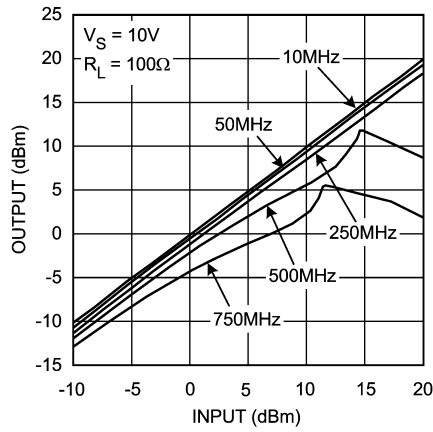
THD vs. V_{OUT} for Various Frequencies



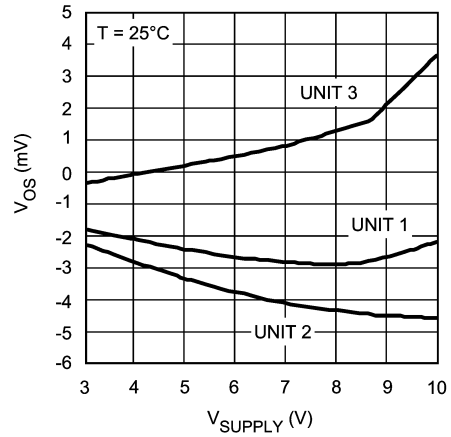
Voltage Noise



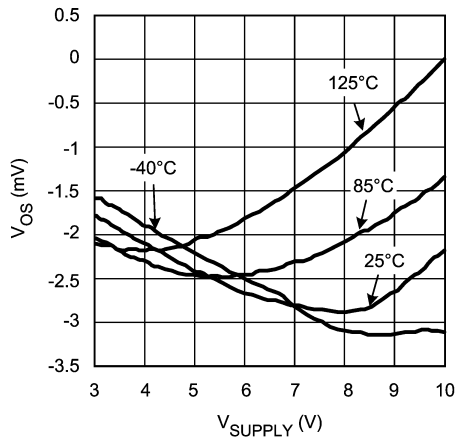
Linearity V_{OUT} vs. V_{IN}



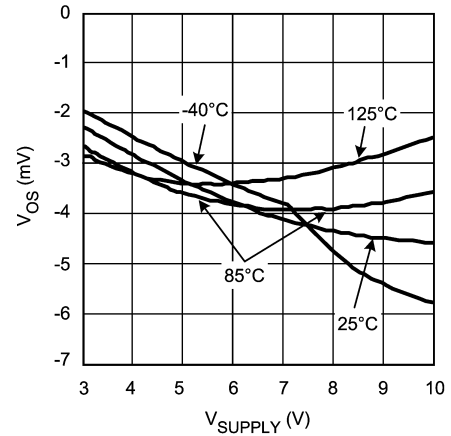
V_{OS} vs. V_{SUPPLY} for 3 Units



V_{OS} vs. V_{SUPPLY} for Unit 1

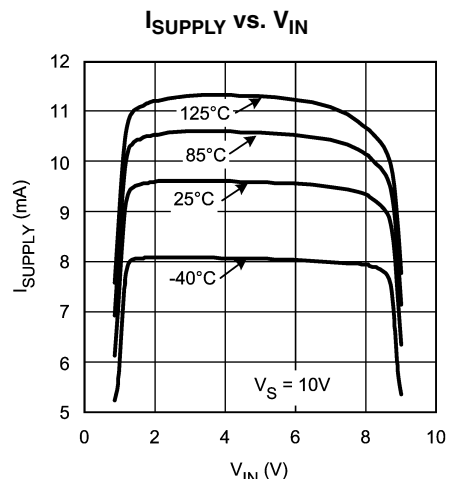
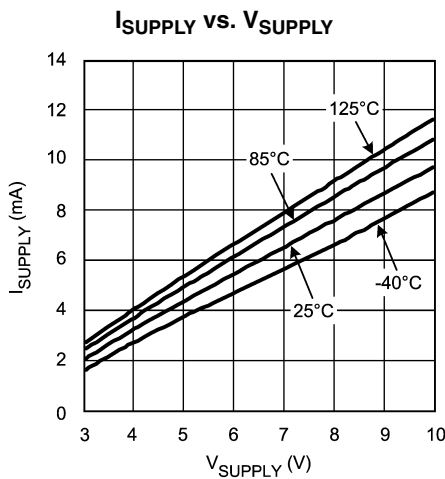
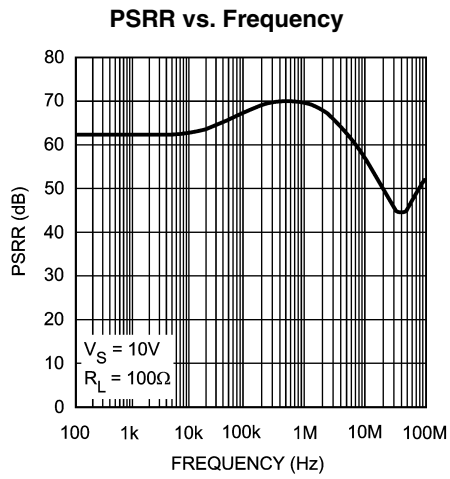
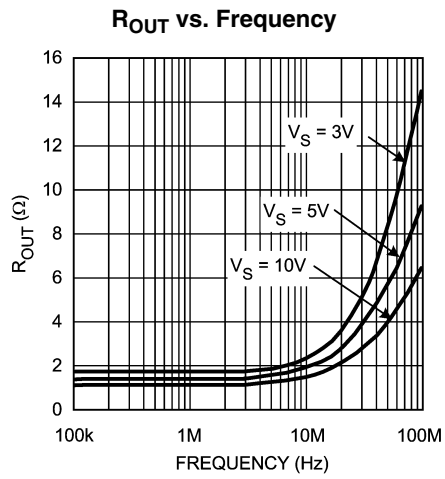
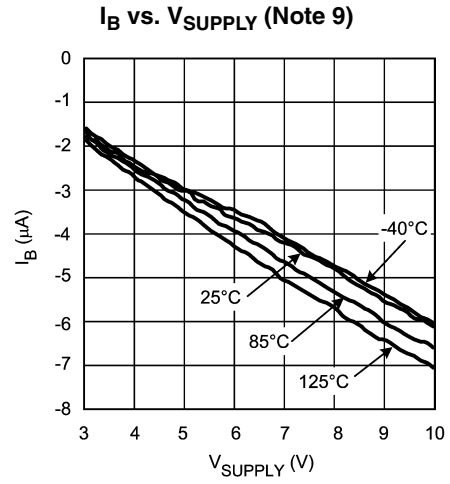
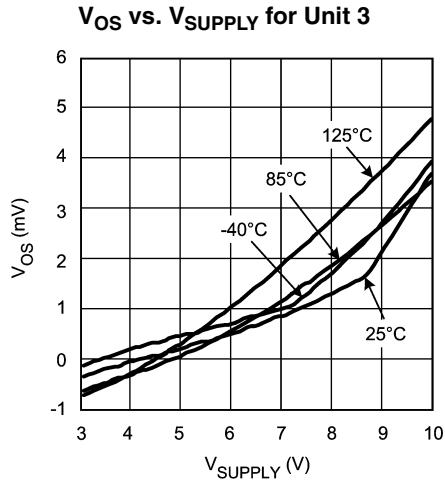


V_{OS} vs. V_{SUPPLY} for Unit 2



代表的な性能特性 (つぎ)

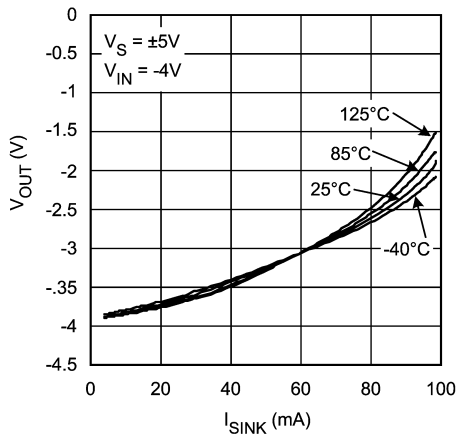
特記のない限り、 $T_J = 25^\circ\text{C}$ 、 $V^+ = +5\text{V}$ 、 $V^- = -5\text{V}$ 。



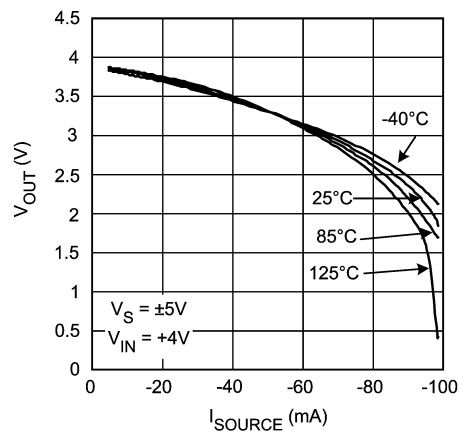
代表的な性能特性 (つづき)

特記のない限り $T_J = 25^\circ\text{C}$ 、 $V^+ = +5\text{V}$ 、 $V^- = -5\text{V}$ 。

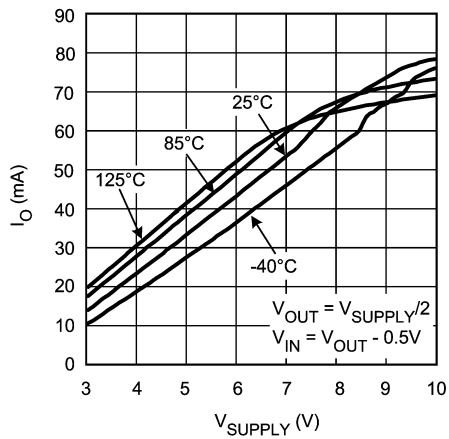
V_{OUT} vs. I_{OUT} Sinking



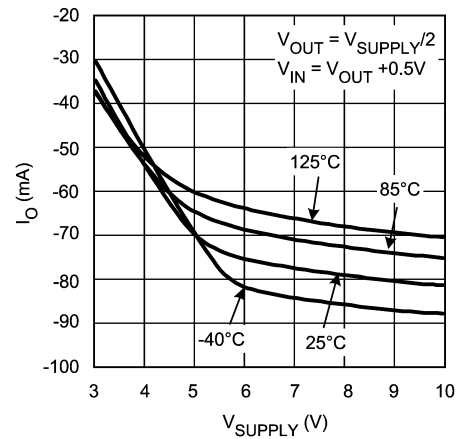
V_{OUT} vs. I_{OUT} Sourcing



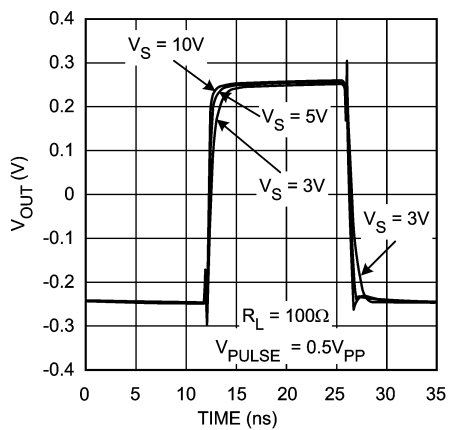
I_{O} Sinking vs. V_{SUPPLY}



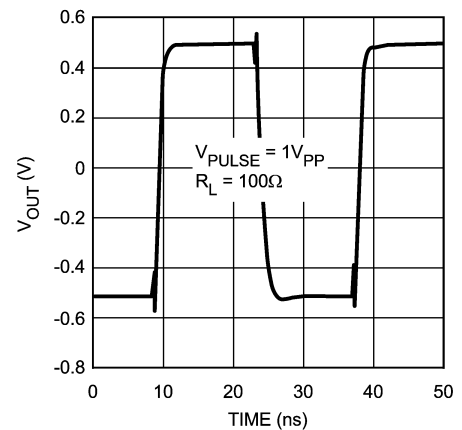
I_{O} Sourcing vs. V_{SUPPLY}



Small Signal Pulse Response



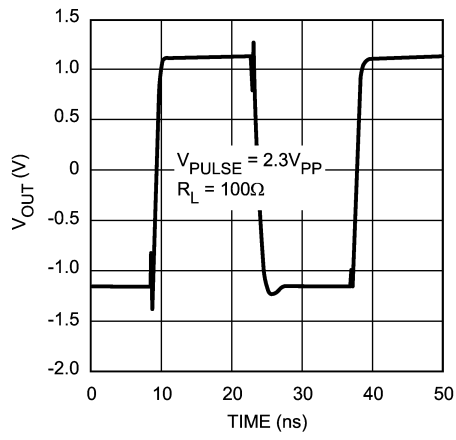
Large Signal Pulse Response @ $V_S = 3\text{V}$



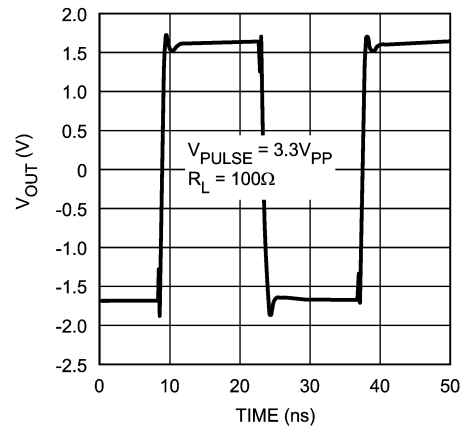
代表的な性能特性 (つづき)

特記のない限り、 $T_J = 25^\circ\text{C}$ 、 $V^+ = +5\text{V}$ 、 $V^- = -5\text{V}$ 。

Large Signal Pulse Response @ $V_S = 5\text{V}$



Large Signal Pulse Response @ $V_S = 10\text{V}$



アプリケーション・ノート

バッファの概要

バッファとは、電流ゲインを備えながらも電圧ゲインを持たない電子デバイスです。低インピーダンスで信号を駆動する必要がある場合、あるいは、より多くの駆動電流を必要とする場合に使用します。バッファは周波数特性がフラットで、かつ、伝搬遅延が小さくなければなりません。さらにバッファは、抵抗性負荷、容量性負荷、誘導性負荷のいずれに対しても安定していなければなりません。高周波バッファ・アプリケーションでは、バッファには伝送線路またはケーブルを直接駆動できる能力が求められます。

バッファの使用に適した用途

信号源のインピーダンスが高い場合、バッファの使用により駆動能力を高められます。たとえば、発振器から直接重い負荷を駆動すると、発振が停止したり許容できない周波数偏移を招くおそれがあります。このような場合はバッファを使用することが適切です。また、信号を A/D コンバータに供給する場合も、信号源を A/D コンバータから分離するために、バッファの使用が望まれます。バッファを使用すると、出力の低インピーダンス化、コンバータへの信号供給の安定化、オペアンプから見える A/D コンバータの容量性負荷の複雑な変動を吸収できます。特定のアプリケーションでバッファを採用したときの価値は実験からわかります。

高周波信号を扱う場合、信号を伝送線路または PCB を介して分配する場合、または外部機器を駆動する場合は、バッファをできるだけ使用してください。駆動回路にはいくつかの構成が考えられます。

- 1 つのバッファで 1 本の伝送線路を駆動する (Figure 1 参照)
- 1 つのバッファで 1 本の伝送線路上に存在する複数の負荷を駆動する (Figure 2 参照)
- 1 つのバッファでそれぞれ異なるレシーバが接続された複数の伝送線路を駆動する (Figure 3 参照)

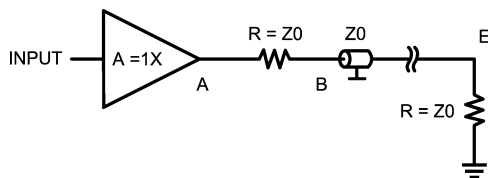


FIGURE 1.

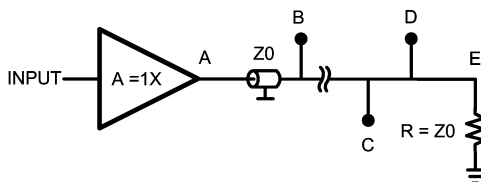


FIGURE 2.

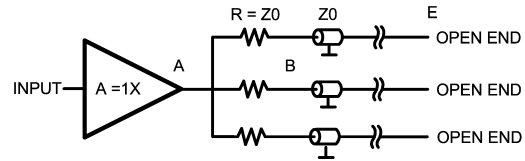


FIGURE 3.

上記の 3 種類の構成から、伝送線路上の遠端 (エンドポイント) に信号を駆動するには複数の方法があることがわかります。ある領域までは設計者自身の判断で選択ができますが、信号の高周波伝送に関するルールを破ってはならないことを設計者は忘れてはなりません。詳細を以下で説明します。

伝送線路

伝送線路の概要: 伝送線路に関する理論の概要を説明します。伝送線路は DC から超高周波までの信号の伝達に用いられます。伝送線路のあらゆるポイントではオームの法則が適用されます。超高周波では、PCB またはケーブルが持つ寄生作用による挙動が現れてきます。使用するケーブルの種類はアプリケーションに適していなければなりません。たとえば、オーディオ・ケーブルは同軸ケーブルのように見えますが、10GHz のレーダー周波数には使用できません。そのような周波数には、低減衰かつ低放射の特性を備えた専用の同軸ケーブルが必要です。

通常、PCB 上の部品間の接続には PCB トレースを用います。考慮すべき重要な点は PCB トレースが運ぶ電流量です。電流密度が高いアプリケーション、または直列抵抗成分を下げる必要があるアプリケーションには、幅広のトレースが適しています。グラウンド・プレーンの上をルーティングする場合、PCB トレースは定義された特性インピーダンスの値になります。多くの回路設計状況下で特性インピーダンスは実用になりません。しかし、高周波伝送の場合は、負荷インピーダンスを線路の特性インピーダンスに整合させる必要があります (詳細は後述します)。トレースはそれぞれ、ある程度の直列抵抗成分と直列インダクタンス成分を持ち、また、グラウンド・プレーンに対して並列容量を持っています。これらのパラメータの組み合わせから線路の特性インピーダンスが決まります。インピーダンスの計算式は次のとおりです。

$$Z_0 = \sqrt{L/C}$$

この式で、L と C は単位長さあたりの値、R はゼロと仮定しています。多くの場合 C と L はわからないため、 Z_0 を別の方法で計算します。特性インピーダンスは線路断面の幾何寸法の関数として求められます。Figure 4 に、一般に用いられている 3 種類の伝送線路の断面図を示します。

アプリケーション・ノート(つぎ)

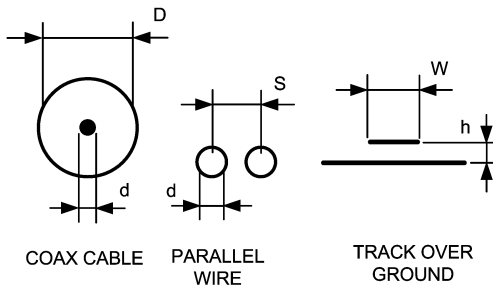


FIGURE 4.

PCB 厚さ、トレース幅、比誘電率 ϵ_r など、PCB 線路の一部の物理的寸法が分かれば Z_0 の計算が可能です。伝送線路理論で Z_0 の計算に用いられている式は次のとおりです。

$$Z = \frac{87}{\sqrt{(\epsilon_r + 1.41)}} \times \ln \frac{(5.98 \times h)}{(th + 0.8W)} \quad (1)$$

- ϵ_r 比誘電率
- h PCB 高さ
- W トレース幅
- th 銅箔厚み

トレース幅に比べて銅箔厚みが無視できるとすれば、式は次のようになります。

$$Z = \frac{87}{\sqrt{(\epsilon_r + 1.41)}} \times \ln \frac{(5.98 \times h)}{(0.8W)} \quad (2)$$

この式から線路インピーダンスとトレース幅の関係が求められます。所与の線路幅に対するインピーダンスを Figure 5 に示します。同じ式から、ある範囲で ϵ_r を変化した場合に、特性インピーダンスがどのように変わるのかもわかります。 ϵ_r を 1 ~ 10 の範囲で変化させると、特性インピーダンスは 80 ~ 38 の範囲でおよそ 40 変化します。伝送線路は通常、インピーダンスが 50 または 75 になるように設計します。その理由は、インピーダンスが 50 または 75 のケーブルに PCB トレースを接続することが多いからです。説明したようにインピーダンスは ϵ_r と線路幅によって変わります。

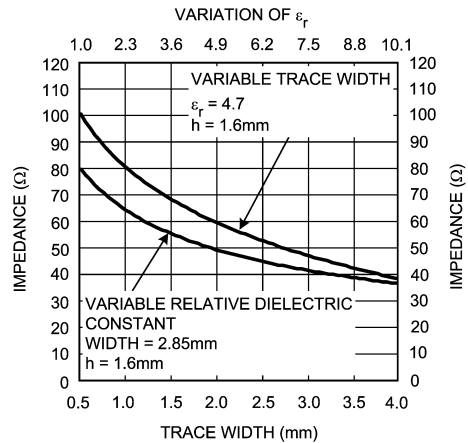


FIGURE 5.

次に、信号源側の伝送線路と負荷側の伝送線路との相互作用に関連する問題について説明します。

伝送線路を経由して負荷を接続する

信号の伝搬に伝送線路を考慮する必要がないほどドライバまたはバッファを負荷の近くに配置できれば理想的ですが、多くのアプリケーションでは現実的には考えられません。動作周波数にもよりますが、ドライバから負荷までの PCB トレース長が動作に影響を与える場合があります。状況によっては、アナライザを DUT (被試験デバイス) に直接接続して測定を行うことを検討してください。DUT からアナライザまでの距離が短かくても、周波数が高いほど長い線路として考えなければなりません。このような場合は伝送線路を使用します。次に、負荷を伝送線路に接続したときの動作を観測します。負荷を駆動する場合は線路インピーダンスと負荷インピーダンスとの整合が重要で、不整合が存在すると反射が発生し信号に歪みを与えます。T = 0 (Figure 6, 波形 A) で遷移が印加された場合、合成波形は伝送線路の開始点でも観測されます。伝送線路の開始点の電圧は (V) まで上昇し、波面は伝送線路を伝搬し、T = 10 で負荷に到達します。線路の任意の位置で $I = V/Z_0$ が成立し、ここで Z_0 は伝送線路のインピーダンスです。 $Z_0 = 50$ の線路に 2V の遷移を印加すると、バッファ出力段から流れる電流は 40mA になります。なお、多くの古典的なオペアンプは、出力電流はおおよそ 20mA かさらに低い値に制限されているため、このレベルの電流を供給できません (注: 文中の "2V" は電圧値 (2 ボルト) を表わしますが、Figure 6 の "V"、"V/2" は記号を表わし電圧値ではないので混同しないように注意してください)。T = 10 で波面は負荷に到達します。負荷と伝送線路とは完全に整合しているため、線路を伝搬したすべての電流は吸収され、反射は起こりません。この場合、ソース電圧と負荷電圧は完全に等しくなります。負荷インピーダンスと伝送線路インピーダンスが等しくなければ動作は異なったものになります。ここで、エネルギー保存の法則という基本的な原理を思い出してください。伝送線路の電力は $P = V^2/R$ です。この例の合計電力は $2^2/50 = 80mW$ です。負荷を 50 ではなく 75 と仮定します。75 負荷に 80mW の電力が到達すると、電力を維持するために適度な振幅の電圧が生成されます。

アプリケーション・ノート(つづき)

$$V = \sqrt{P \times R} = \sqrt{80 \times 10^{-3} \times 75} = 2.45V \quad (3)$$

2.45V の電圧波面が信号ソースに向かって伝送線を逆向きに進行します。すなわち、インピーダンス不整合による反射が発生したことを意味します。一方、負荷インピーダンスが 50 未満の場合、逆向きの波面は入力電圧 2V を低くするように働きます。負荷を 40 と仮定します。負荷の両端電圧は、

$$\sqrt{80 \times 10^{-3} \times 40} = 1.79V \quad (4)$$

この電圧は、開始点に向かって線路を逆向きに進行します。信号が正弦波の場合は、入力波形と逆方向反射波形との干渉によって歪みが発生します。遠端に負荷が存在しない場合は、2V の遷移はすべて反射し、線路の開始点へ向けて逆向きに進行します。この場合、遠端での電流はゼロで反射電圧は最大です。遠端が短絡されている場合は電流が最大となり電圧がゼロになります。

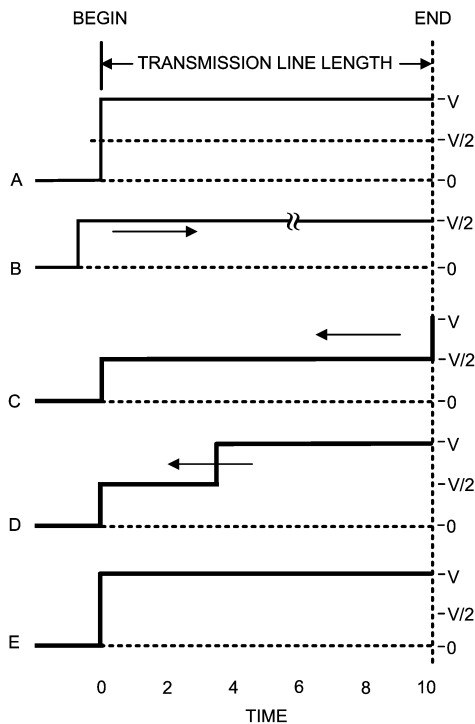


FIGURE 6.

直列終端と並列終端を使用する

ビデオのようなアプリケーションの多くは、ドライバと伝送線路の間に直列終端を挿入しています (Figure 1 参照)。この場合、伝送線路は特性インピーダンスによって線路の両端で終端されることとなります。Figure 6 の波形 B を参照してください。 Z_0 と直列終端の組み合わせが 2 対 1 の分割電圧を構成しているため、伝送線路を進む電圧はバッファ出力に現れる電圧の半分になります。すなわち 6dB の損失に相当します。ビデオ・アプリケーションで総ゲイン 1 を保つには、アンプゲインを 2 に設定します。多くのオペアンプはゲインを 2 に設定したほうが、ユニティ・ゲインより相対的にフラットな周波数応答が得られます。波形 B で電圧が伝送線路の遠端に到達しても、インピーダンスが完全に整合しているため、反射は生じていないことがわかります。すなわち遠端の電圧は、オペアンプまたはバッファの出力電圧の半分にとどまります。

2 入力以上を駆動する

伝送線路の別の構成方法として、伝送線路の途中にある複数のポイントを経由したルーティングが考えられます (Figure 2)。設計上の制約に注意深く従えば、このような設計も実現可能です。制約を守らないとインピーダンスが不連続となり信号の劣化を招きます。Figure 2 の構成で、伝送線路はバッファ出力に接続され、線路遠端で Z_0 で終端されています。「伝送線路を経由して負荷を接続する」の項で、このような条件では伝送線路を伝わる信号はどこでも同じ電圧であり、その電圧はオペアンプ出力を開始点とする公称電圧に等しく、さらに遠端では反射が生じないことを説明しました。反射が存在しないため波形の干渉は起こりません。結果として信号振幅は線路のいずれのポイントでも同じです。以上の原理により、伝送線路途中にあるデバイスの入力インピーダンスが抵抗性が高く、かつ入力容量が小さければ、複数のデバイスに信号を供給できる可能性があります。その場合、デバイスが伝送線路に接続されている位置によって、信号遷移の到達時刻が異なる点に留意してください。真空中の光速はおよそ 3×10^8 m/sec ですが、伝送線路またはケーブルを通ると伝搬速度はおよそ 2×10^8 m/sec に低下します。1ns の間に信号が伝搬できる距離は次の式から求められます。

$$S = V \cdot t$$

ここで

$$S = \text{距離}$$

$$V = \text{ケーブル内の速度}$$

$$T = \text{時間}$$

計算から次の結果が得られます。 $s = 2 \times 10^8 \times 1 \times 10^{-9} = 0.2\text{m}$

すなわち、1ns あたり波面は伝送線路の長さ方向に 20cm 移動します。わずか 2cm の距離であっても 100ps の時間差が生じる点に注意してください。

複数の伝送線路で直列終端を使用する

伝送線路を介して複数のポイントに信号を分配するもう 1 つの方法として、単一バッファ出力に複数の線路を接続する構成が考えられます (Figure 3 参照)。この構成は、すべての伝送線路の駆動に必要なだけの電流をバッファが供給できなければ実現できません。図からわかるとおり、伝送線路の開始点には直列終端を使用していますが、線路の遠端には終端を設けていません。つまり、有効な信号は遠端のみに存在し、遠端以外のすべてのポイントの信号は反射によって歪んでいることを意味します。開始点と同じ波形の信号が観測されるポイントは遠端のみです。Figure 6 の波形 C にあるとおり、線路開始点の電圧は $T = 0$ で $V/2$ となり、伝送線路の遠端に向かって進行します。遠端に波面が到達すると終端がないため、100% の反射が発生します。 $T = 10$ で反射により電圧値 $2V$ (2 ボルトの意味、図中は記号 "V") まで上昇した遠端の電圧は、線路上をバッファに向かって逆方向に進みます (Figure 6 の波形 D を参照してください)。直列終端抵抗が Z_0 であれば、波面は直列終端抵抗に到達した時点で全部が吸収されます。以上の振る舞いは、バッファ/ドライバの出力インピーダンスが特性インピーダンス Z_0 に比べて低い場合に限ります。反射波がソースに戻った時点で、伝送線路全体の電圧値は公称 $2V$ となります (Figure 6 の波形 E を参照)。3 本の伝送線路の長さが異なる場合、直列終端抵抗点の電圧値が $2V$ に上昇する時刻はそれぞれ異なります。ただしこの遷移は、出力バッファのインピーダンスが低く、また終端抵抗とバッファの出力インピーダンスの組み合わせによって遷移は大幅に減衰するため、他の線路に伝搬することはありません。単純な計算によって要点を示します。出力インピーダンスを 5 と仮定します。対象の周波数で、減衰は $V_B/V_A = 55/5 = 11$ です。A と B は Figure 3 における位置です。

アプリケーション・ノート(つづき)

反射で発生する電圧は $2/11 = 0.18V$ になります。この電圧は他の伝送線路に伝わり、前述のとおり線路の遠端で観測されます。出力インピーダンスが低いほど線路間の干渉度合いは小さくなります。また、伝送線路の遠端での通常の遷移は、開始点の当初の遷移と等しくなります。ただし、伝送線路の遠端以外のあらゆる位置では、開始点から測定点までの距離に依存して、階段状の電圧が観測されます(波形 D を参照)。

伝送線路の長さを測定する

特定の伝送線路の長さを測定するには開放の伝送線路を使用します。測定構成を Figure 7 に示します。対象となる線路はある有限の長さを持っています。T = 0 で遷移が印加されると、開始点への反射が発生する線路の遠端に向かって V/2 の振幅で波面は進行します。

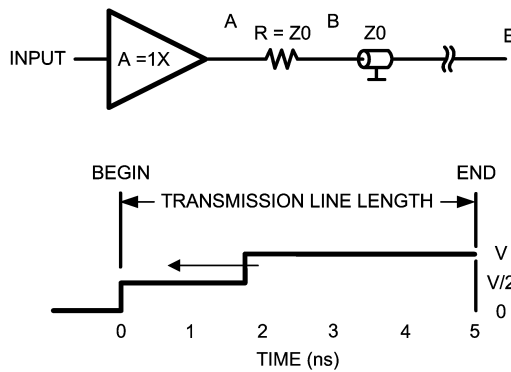


FIGURE 7.

線路長を求めるには直列終端抵抗の直後を測定しなければなりません。その位置での電圧は、反射が戻り電圧が V に跳躍するまで、公称電圧の半分、すなわち V/2 を維持します。時間間隔を 5ns とした場合、その間に信号は、測定点への波面の反射が発生する遠端まで進みます。波面が伝送線路の遠端に達し戻ってくるまでの間、電圧は V/2 です。この時間を 10ns とします。長さは次の式から求めます。 $S = (V * T) / 2$

$$S = \frac{(2 \times 10^8) \times (10 \times 10^{-9})}{2} = 1\text{mtr} \quad (5)$$

前述の項「2 入力以上を駆動する」で計算したように信号は 20cm/ns の速度で進むため、片道 5ns から距離は 1m と求められます。このように、この例は簡単に検証できました。

容量性負荷の適用

バッファまたはオペアンプの出力段に接続した負荷を純抵抗性として仮定したことは、第一段階の近似としては適切です。ただし残念ながら、実際の負荷は必ずしも正しくありません。抵抗には、容量分が並列に、誘導分が直列に存在します。出力段に存在する $C_L = 1$ など容量は、Figure 8 に示すように、ループ・ゲインに含まれます。バッファの負入力に存在する容量分も位相シフトの原因となり、回路を不安定にしたり、場合によっては発振を引き起こします。

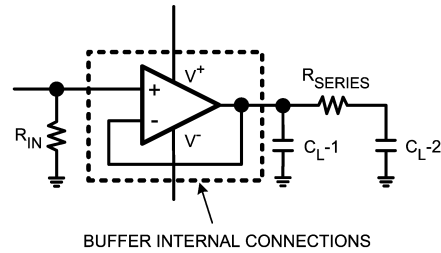


FIGURE 8.

また、出力コンデンサのリード線も、周波数が高くなるにつれ影響が大きくなる直列インダクタンス分を持っています。ある周波数で直列容量成分とインダクタンス成分は直列共振に至る LC 回路を構成します。共振周波数では、無効成分は直列 L/C 回路のオーム性抵抗 (R-1 または R-2) のみを残してなくなります。(Figure 9 参照)

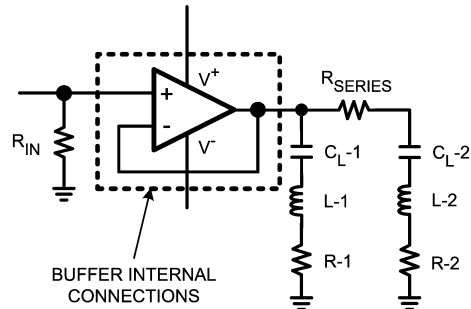


FIGURE 9.

LMH6559 高周波バッファの動作対象となる周波数スペクトル全体に対して周波数掃引を検討してください。高周波では L と C の直列組み合わせによる影響が顕著に現れるため、対策をしていない状態では負荷に存在する寄生容量によってピークが発生します。寄生容量は出力周波数掃引で周波数特性を特有の形で低下させる原因となり、その低下の度合いは Figure 10 に示すように容量によって変わります。

アプリケーション・ノート(つづき)

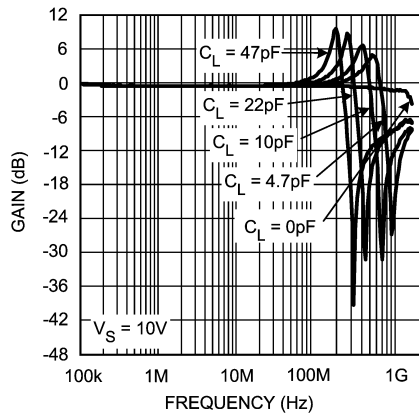


FIGURE 10.

CL を原因とするピークを抑えるには、出力段から容量分を遮断する直列抵抗を挿入してください。負荷容量の影響を抑えるには低抵抗で十分です。高周波回路で広く使用されている 50 システムでは、50 の直列抵抗がよく使用されます。直列抵抗を挿入した場合、Figure 11 に示すようにピークは抑えられますが、周波数特性の低下には効果はありません。低下の特性は容量によって変わるためです。容量に対して直列に抵抗を挿入すると 6dB/oct のロールオフが生まれます。ただし高周波では、内部インダクタンス分の影響が現れるようになり、容量成分との組み合わせによって直列 LC 回路が形成されます。500 ~ 1k の高抵抗を選択した場合、数百 pF の容量との組み合わせは低い周波数に期待通りの応答を与えます。

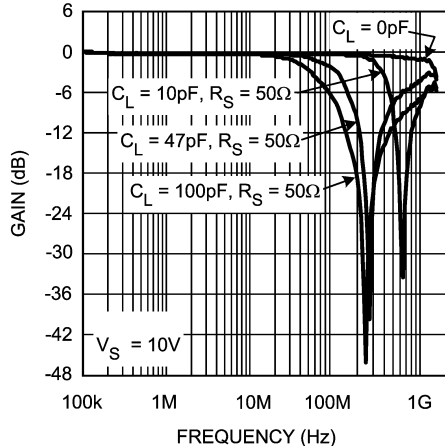


FIGURE 11.

グラウンド・プレーンの使用

グラウンド (または他の電源電圧) への低インピーダンス・パスの確保と、ボード上の高周波信号路が必要とする管理されたインピーダンスを持つ伝送線路を効率的に形成するためにも、グラウンド層の採用を推奨します。多層基板では、電源電圧のルーティングに内層を多用します。これらの電源電圧層は、特定の電源を複数のポイントに接続する個別トレースとは異なり、完全な平面を構成します。一方、信号トレースは両方の表面層にルーティングします。外側に信号トレースが存在すれば測定の際にも容易に信号のプロービングが可能です。外側から信号をプロービングできない内層に信号をルーティングする事例は高密度基板のみに限られます。以前の項に記載したように Z_0 の式は次のとおりです。

$$Z = \frac{87}{\sqrt{\epsilon_r + 1.41}} \times \ln \frac{(5.98 \times h)}{(0.8W)} \quad (6)$$

トレース幅は基板の厚さから決めます。多層ボードでの厚みとは、信号層とその直下の電源層との間隔です。一般的な設計手法では、基板全体の厚さを均等に分割して層に割り当てたりはしません。Figure 12 を参照してください。PCB 上に設ける伝送線路は、層間の距離との基板材料の ϵ_r にもついて設計します。PCB の仕様に関するこのような重要な情報は、PCB メーカーに問い合わせてください。たとえば、公称 1.6mm 厚の PCB 上に 50 Ω トレースを作るには、必要なトレース幅は計算から 2.9mm になります。グラウンド・プレーンを設けた場合、層間の距離が 0.35mm で ϵ_r が同じならば、50 Ω トレースに必要な線幅は、式 6 から導かれる式 7 を用いて 0.63mm になります。

$$w = \frac{5.98 \times h}{e^A}$$

$$\text{where } A = \frac{[Z_0 \times \sqrt{\epsilon_r + 1.41}]}{87} \quad (7)$$

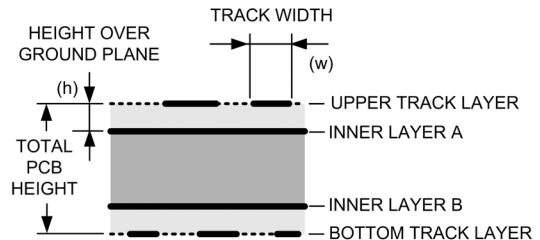


FIGURE 12.

グラウンド・プレーン上をトレースすると、標準的な片面基板または両面基板に比べて、大きな利点が得られます。その中でも主要な利点は、トレース上を進む信号によって生成される電界がトレースとグラウンド・プレーン間で固定される、すなわち不要放射がほとんどないということです (Figure 13 参照)。

アプリケーション・ノート(つぎ)

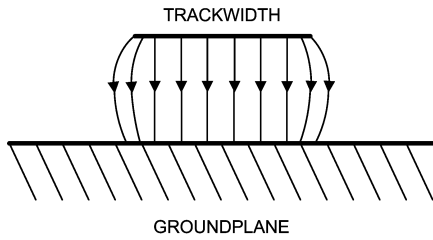


FIGURE 13.

また、回路が不要放射を発生しない効果だけではなく、回路がある程度の放射レベルにさらされても影響を受けない効果も得られます。同様に、部品をプリント基板の上に平坦に搭載することも重要です。標準的なスルーホール部品を垂直に搭載するとアンテナとして働く場合があり、その電界が近くの垂直搭載部品によって拾われる可能性があります。部品を PCB 表面に直接実装すれば、この問題の影響は十分に小さくなります。

ϵ_r の変動の影響

PCB 材料の ϵ_r は使用する周波数範囲に対して偏移する性質を持っているため、きわめて正確なトレース・インピーダンスを必要とする場合は、回路が動作する周波数領域を考慮に入れなければなりません。Figure 14(出典 www.isola.de) は、Isola 社が製造した PCB 材料を使用した場合に、周波数に対して ϵ_r がどのように偏移するかを示した例です。動作周波数が 100MHz であれば、標準 1.6mm 厚の FR4 PCB 材料を使用した場合の 50 トレースのトレース幅は 3.04mm になりますが、動作周波数がおおよそ 10GHz の場合は必要なトレース幅は 3.14mm です。

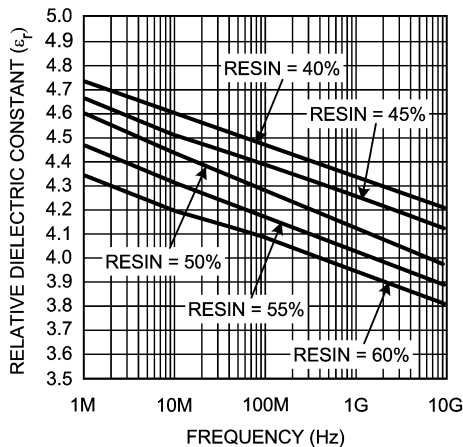


FIGURE 14.

電源トレースのルーティング

PCB 上の電源トレースのルーティングは最良の実践方法 (ベストプラクティス) に従う必要があります。適切に設計しないと、放射の影響を受けやすいグラウンド・ループが形成されてしまいます。また、余剰なグラウンド・トレースは、デジタル信号に多くのリングングを生じさせる原因となります。電源分配に対する配慮は回路全体の性能改善に寄与します。特に、スプリアス・ノイズやそのほかの好ましくない信号に敏感なアナログ回路に有効です。

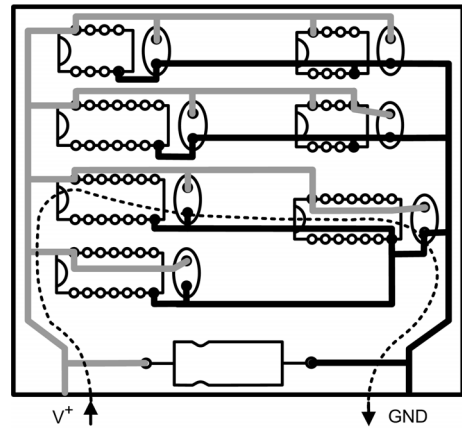


FIGURE 15.

Figure 15 に、PCB の両面を使って電源ラインをルーティングした例を示します。この場合、点線のような電流ループが形成されます。ループは高周波信号に対するアンテナとして機能し、回路は外からの R_F 放射に敏感になります。電源トレースの適切なルーティング方法を次の Figure 16 に示します。

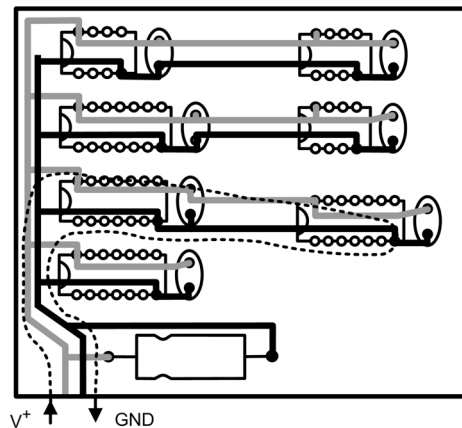


FIGURE 16.

この配置では、グラウンド・ループの面積が小さくなるように、また、ノイズなどに対する感度が低くなるように、電源ラインをルーティングしています。グラウンド・プレーンを持たない基板上に高周波信号をルーティングする場合も同じ手法が有効です。その場合は高周波信号をグラウンド・トレースと平行にルーティングすると良好な結果が得られます。なお、グラウンド・プレーン、またはグラウンド・プレーンと電源層を備えた PCB が、高周波信号に適切であることに変わりはありません。

アプリケーション・ノート(つぎ)

不連続なグラウンド・プレーン

グラウンド・プレーンの上部にトレースが存在すると、Figure 13 に示すように、トレースとグラウンド・プレーン間に電界が形成されます。電界はルーティングされているトレース全体にわたって発生します。最高の性能を得るには、電気力線を迂回させないように、グラウンド・プレーンの連続性を確保しなければなりません。Figure 17 は、グラウンド・プレーンを横方向のトレースで分断した設計例です。グラウンド・プレーンが不連続になっているため、表面層を縦方向に走る信号トレースのリターン電流は、信号パスの直下ではなく長い経路（点線矢印）を通る様子がわかります。

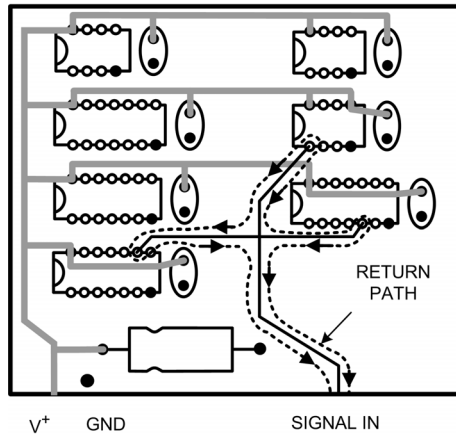


FIGURE 17.

グラウンド・プレーンに不連続部分がある場合、その影響を低減するために、必要に応じて信号トレースと平行にグラウンド・プレーンを設けてバイパスを行ってください。このような対策を行うと、Figure 18 からわかるように、グラウンド・プレーンを流れていたリターン電流は信号トレースの近くのバイパス・トレースをリターン・パスにして流れます。以上の理由から、グラウンド・プレーンにはできるだけ信号トレースを配置しないように注意してください。グラウンド・プレーンの設計が適切でないと、影響を低減する目的のバイパスすら効果がなくなるなど、グラウンド・プレーンを設けた意味が事実上失われてしまいます。

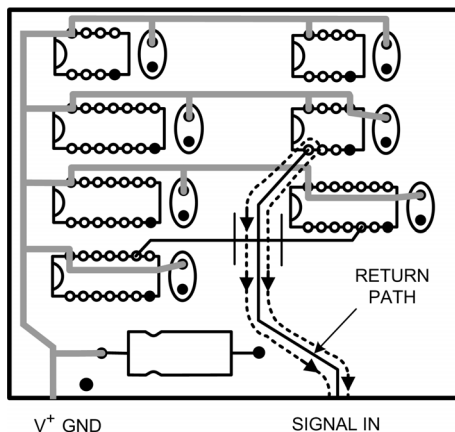


FIGURE 18.

PCB 全体の配線密度が高くなった場合は、グラウンド・プレーンが実質的なグラウンド・プレーンとして機能するように、信号層を追加するなどの設計変更が望まれます。PCB のコストは上昇しますが、回路全体の性能向上と設計が容易になる効果が得られます。

PCB の外層に設けたグラウンド・プレーン

グラウンド・プレーンを内層に設ける以外に、外層に多くの銅箔を残すのも有用な設計手法の1つです。表面層の余分な銅をエッチングせずに残しておきます。エッチング液の汚染が少なくなるため、PCB ユーザーは同じ量のエッチング液で多くの PCB を処理できるようになるかも知れません。表面に残した銅箔をグラウンドに接続するとシールド効果が上がり信号性能が向上します。低周波ではこの効果は明らかです。ただし高周波では、回路の帯域幅を狭くする好ましくない結合を招くなど、他の影響がより顕在化してきます。設計した LMH6559 のテスト回路では、この影響が顕著に現れ、利用可能な帯域幅が 1500MHz からおよそ 850MHz へと低下しました。

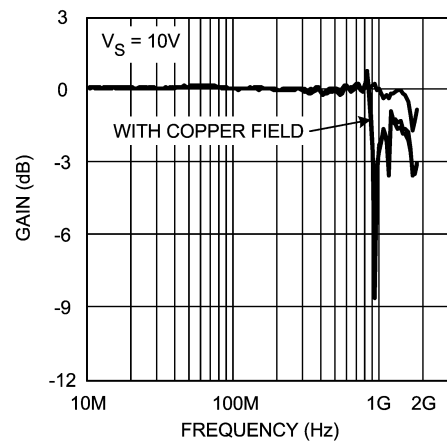


FIGURE 19.

Figure 19 から、バッファによって駆動される伝送線路の近くに銅箔領域を設けた場合、好ましくない結合によって帯域がおよそ 850MHz に低下していることがわかります。未使用領域すべての銅箔を残した場合、低下はおよそ 5dB でした。一部の領域に銅箔を残した場合は 9dB でした。

PCB レイアウトと部品の選定

高周波信号領域での設計では、能動素子と受動素子の両方を、それぞれが前提とする用途に適材適所で使用することが求められます。たとえば、標準的なスルーホール抵抗を使用しても数百 MHz の周波数を扱うアンプ回路は構成できますが、この目的には表面実装デバイスのほうが適切です。表面実装品の抵抗（やコンデンサ）は小型のため寄生容量成分が小さく、アンプの性能に及ぼす影響を抑えられます。また、プリント基板が、単に部品を搭載し部品間をインターコネクトするだけの媒体ではない点も重要です。基板は、それ自身が部品の1つであり、その結果基板が持つ高周波特性によって回路の全体性能が左右されます。適切な設計として、各デカップリング・コンデンサやその他のグラウンド接続に低インピーダンスのパスを与える目的で、少なくとも 1 層のグラウンド・プレーンを設けることが望まれます。

アプリケーション・ノート(つづき)

特に基板を走る伝送線路は、接続されるケーブルと等しいインピーダンスになるように注意する必要があります(一般のアプリケーションでは - 50、またビデオやケーブルテレビ・アプリケーションでは 75)。そのような伝送線路には、標準的な両面基板では通常の配線より幅広い配線を使用します。もう一つ、入力と出力が互いに「見えない」ようにすることも重要です。入力と出力に大きな電圧レベル差があって、かつ、両者をわずかな距離を離れた状態で PCB 上にルーティングすると問題が発生します。さらに部品は、PCB 表面に平坦に、かつできるだけ低く配置してください。高周波では、長いリード線はコイルとして働き、またコンデンサはアンテナになります。ペアのリード線は変圧器になります。プリント基板を十分な注意を払って設計すれば、発振や好ましくない挙動は起こりません。超高周波回路では表面実装部品のみが性能的に許容されます。詳細は「アプリケーション・ノート OA-15」を参照してください。

ナショナル セミコンダクターでは、高周波レイアウトのガイドラインとして、またデバイスのテストと特性評価用ボードとして、次の評価用ボードの使用を推奨しています。

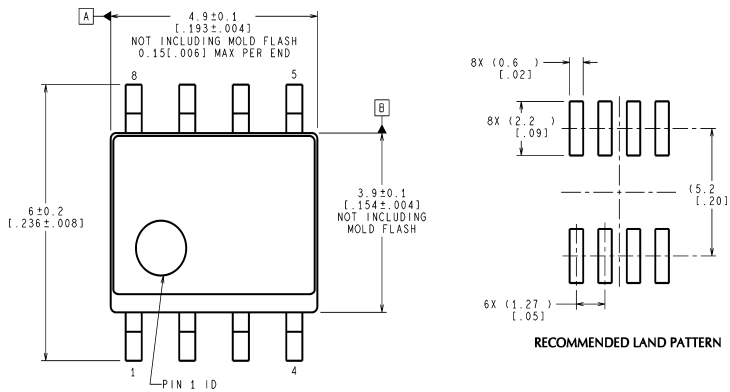
デバイス	パッケージ	評価用ボード部品番号
LMH6559MA	SOIC-8	CLC730245
LMH6559MAX	SOIC-8	CLC730245
LMH6559MF	SOT23-5	CLC730136
LMH6559MFX	SOT23-5	CLC730136

ナショナル セミコンダクターにデバイスのサンプルをお申し込みになれば、評価用ボードを無償で提供します。

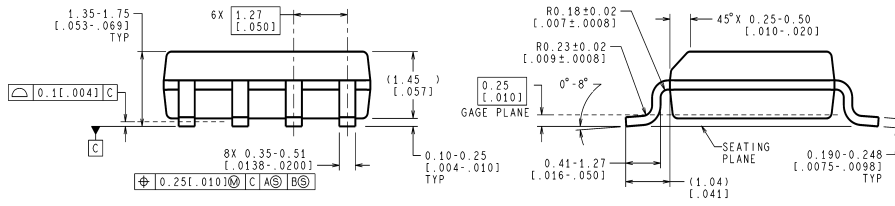
LMH6559 の電源シーケンス

LMH6559 に電源を印加する場合は注意が必要です。負電源ピンを開放にする場合は、他のピン、すなわち正電源ピンと信号入力ピンも開放にしてください。負電源ピン(グラウンド)を開放にした状態で他のピンを接続したままにすると、入力回路はオーム性低抵抗(入力バイアス抵抗)で事実上グラウンドにバイアスされますが、正電源は十分な電流を回路に流すだけの能力を持っています。入力回路の接合部を劣化させる大きな入力バイアス電流の原因になります。すなわち、仕様を逸脱した入力バイアス電流が流れることとなります。アプリケーションで誘導性リレーを使用する場合は、入力のバイアス抵抗を接続する前に、最初に電源が接続されるように注意してください。

外形寸法図 特記のない限り inches (millimeters)



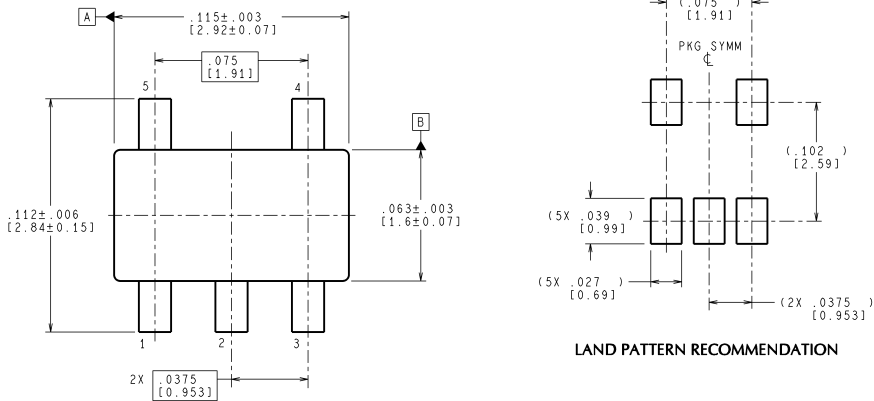
RECOMMENDED LAND PATTERN



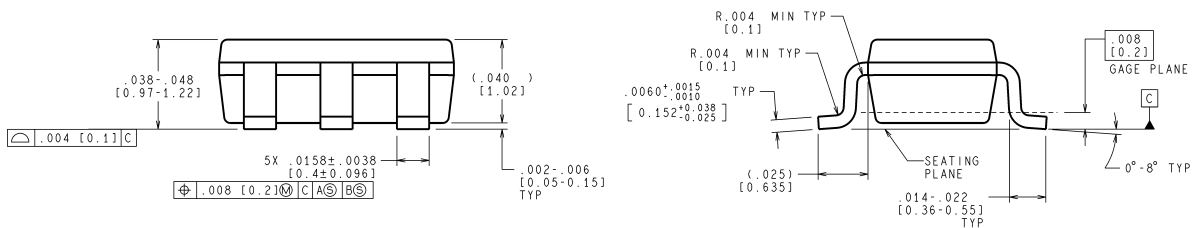
CONTROLLING DIMENSION IS MILLIMETER
 VALUES IN [] ARE INCHES
 DIMENSIONS IN () FOR REFERENCE ONLY

M08A (Rev K)

8-Pin SOIC
 NS Package Number M08A
 単位は millimeters



LAND PATTERN RECOMMENDATION



CONTROLLING DIMENSION IS INCH
 VALUES IN [] ARE MILLIMETERS
 DIMENSIONS IN () FOR REFERENCE ONLY

MF05A (Rev C)

5-Pin SOT23
 NS Package Number MF05A

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2006 National Semiconductor Corporation

製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上