

# LMH7220

*LMH7220 High Speed Comparator with LVDS Output*



Literature Number: JAJ SAC2

## LMH7220

### LVDS 出力対応高速コンパレータ

#### 概要

LMH7220 は、高速、低消費電力のコンパレータで、動作電源電圧範囲は 2.7V ~ 12V です。LMH7220 の差動 LVDS 出力は、100 Ω の対称伝送ラインに対して 325mV を駆動します。伝搬遅延時間は 2.9ns、立ち上がり/立ち下がり時間は 0.6ns で、消費電流は 5V でわずか 6.8mA にすぎません(負荷電流を除く)。

LMH7220 の入力電圧の範囲は、グラウンドの 200mV 下まで拡張されています。このため、グラウンド付近の信号を検出するアプリケーションに適しています。LMH7220 は、6 ピン TSOT と SC-70 のパッケージで提供されます。これらのパッケージは、スペースを重視する場合に最適です。

#### 特長

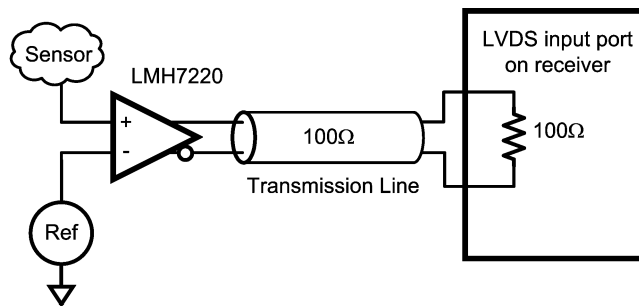
( $V_S = 5V$ 、 $T_A = 25^\circ$ 。特記のない限り、代表値)

100mV オーバードライブにおける伝搬遅延時間	2.9ns
立ち上がり/立ち下がり時間	0.6ns
電源電圧範囲	2.7V ~ 12V
消費電流	6.8mA
周囲温度範囲	- 40 ~ 125
LVDS 出力	

#### アプリケーション

- アキュイジション・トリガ
- 高速差動ライン・レシーバ
- パルス高アナライザ
- ピーク検出器
- パルス幅変調器
- リモート・スレッショルド検出器
- オシロスコープ・トリガ

#### 標準的な回路図



## 絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。  
 関連する電気的信頼性試験方法の規格を参照ください。

## 保存温度範囲

- 65 ~ + 150

## 任意の I/O ピンの電圧

GND - 0.2V ~  $V_{CC} + 0.2V$ 

## 接合部温度 (Note 3)

150 (max)

## ESD 耐圧 (Note 2)

人体モデル

2.5kV

マシン・モデル

250V

電源電圧 ( $V_{CC} - GND$ )

13.5V

差動入力電圧

± 13V

GND への出力短絡時間 (Note 4)

連続

両出力の短絡時間 (Note 4)

連続

## 動作定格 (Note 1)

温度範囲 (Note 3)

- 40 ~ + 125

電源電圧

2.7V ~ 13V

パッケージ熱抵抗 ( $\theta_{JA}$ )

6 ピン TSOT

189 /W

6 ピン SC-70

450 /W

## + 12V DC 電気的特性

特記のない限り、すべてのリミット値は  $T_J = 25^\circ\text{C}$ 、 $V_{CM} = 300\text{mV}$ 、 $-50\text{mV} < V_{ID} < +50\text{mV}$ 、 $R_L = 100\ \Omega$  にて適用されます。太字のリミット値は全動作温度範囲に適用されます (Note 6)。

Symbol	Parameter	Conditions	Min (Note 6)	Typ (Note 5)	Max (Note 6)	Units
$I_B$	Input Bias Current	$V_{IN}$ Differential = 0	-5 -7	-2.1	-0.5	$\mu\text{A}$
$I_{OS}$	Input Offset Current	$V_{IN}$ Differential = 0	-500		+500	nA
TC $I_{OS}$	Input Offset Current TC	$V_{IN}$ Differential = 0		±2		nA/°C
$V_{OS}$	Input Offset Voltage		-9.5		+9.5	mV
TC $V_{OS}$	Input Offset Voltage TC			± 50		$\mu\text{V}/^\circ\text{C}$
VRI	Input Voltage Range	CMRR > 50 dB	-0.2		$V_{CC}-2$	V
CMRR	Common-Mode Rejection Ratio	$V_{CM} = 0$ to $V_{CC}-2.2V$	60	70		dB
PSRR	Power Supply Rejection Ratio		63	74		dB
$A_V$	Open Loop Gain			59		dB
$V_O$	Output Offset Voltage	$V_{IN}$ Differential = 50 mV	1125	1225	1325	mV
$\Delta V_O$	$V_O$ Change Between '0' and '1'	$V_{IN}$ Differential = ±50 mV	-25		+25	mV
$V_{OH}$	Output Voltage High	$V_{IN}$ Differential = 50 mV		1390	1475	mV
$V_{OL}$	Output Voltage Low	$V_{IN}$ Differential = 50 mV	925	1060		mV
$V_{OD}$	Output Voltage Differential	$V_{IN}$ Differential = 50 mV	250	330	400	mV
$\Delta V_{OD}$	$V_{OD}$ Change between '0' to '1'	$V_{IN}$ Differential = ±50 mV	-25		+25	mV
$I_{SC}$	Short Circuit Current Output to GND Pin (Note 4)	OUT Q to GND Pin $V_{IN}$ Differential = 50 mV			5	mA
		OUT $\bar{Q}$ to GND Pin $V_{IN}$ Differential = 50 mV			5	
	Output Shorted Together (Note 4)	OUT Q to OUT $\bar{Q}$ $V_{IN}$ Differential = 50 mV			5	
$I_S$	Supply Current	Load Current Excluded $V_{IN}$ Differential = 50 mV		7.5	10.0 <b>14.0</b>	mA

## + 12V AC 電気的特性

特記のない限り、すべてのリミット値は  $T_J = 25^\circ\text{C}$ 、 $V_{CM} = 300\text{mV}$ 、 $-50\text{mV} < V_{ID} < +50\text{mV}$ 、 $R_L = 100\ \Omega$  にて適用されます。太字のリミット値は全動作温度範囲に適用されます (Note 6)。

Symbol	Parameter	Conditions	Min (Note 6)	Typ (Note 5)	Max (Note 6)	Units
TR	Toggle Rate	Overdrive = ±50 mV; $C_L = 2\ \text{pF}$ @ 50% Output Swing	860	1080		Mb/s
$t_{\text{jitter\_RMS}}$	RMS-Random Jitter	Overdrive = 100 mV; $C_L = 2\ \text{pF}$ Center Frequency = 70 MHz Bandwidth = 10 Hz – 20 MHz		4.29		ps

### + 12V AC 電気的特性 (つづき)

特記のない限り、すべてのリミット値は  $T_J = 25$ 、 $V_{CM} = 300\text{mV}$ 、 $-50\text{mV} < V_{ID} < +50\text{mV}$ 、 $R_L = 100$  にて適用されます。太字のリミット値は全動作温度範囲に適用されます (Note 6)。

Symbol	Parameter	Conditions	Min (Note 6)	Typ (Note 5)	Max (Note 6)	Units
$t_{PDLH}$	Propagation Delay $t_{PDLH} = (t_{PDH} + t_{PDL}) / 2$ (see figure 3 application note) Input SR = Constant $V_{ID}$ start value = $-100\text{mV}$	Overdrive 20 mV		3.56		ns
		Overdrive 50 mV		2.98		
		Overdrive 100 mV		2.7	7	
		Overdrive 1V		2.24		
$t_{OD-disp}$	Input Overdrive Dispersion	@ Overdrive 20 - 100 mV		0.86		ns
		@ Overdrive 100 mV - 1V		0.46		
$t_{SR-disp}$	Input Slew Rate Dispersion	0.05 V/ns to 1 V/ns Overdrive 100 mV		0.24		ns
$t_{CM-disp}$	Input Common Mode dispersion	SR = 4 V/ns; Overdrive 100 mV $V_{CM} = 0$ to 10V		0.55		ns
$\Delta t_{PDLH}$	Q to $\bar{Q}$ Time Skew $ t_{PDH} - t_{PDL} $ (Note 8)	Overdrive = 100 mV; $C_L = 2\text{pF}$		0		ns
$\Delta t_{PDHL}$	Q to $\bar{Q}$ Time Skew $ t_{PDL} - t_{PDH} $ (Note 8)	Overdrive = 100 mV; $C_L = 2\text{pF}$		0.06		ns
$t_r$	Output Rise Time (20% - 80%) (Note 9)	Overdrive = 100 mV; $C_L = 2\text{pF}$		0.56		ns
$t_f$	Output Fall Time (20% - 80%) (Note 9)	Overdrive = 100 mV; $C_L = 2\text{pF}$		0.49		ns

### + 5V DC 電気的特性

特記のない限り、すべてのリミット値は  $T_J = 25$ 、 $V_{CM} = 300\text{mV}$ 、 $-50\text{mV} < V_{ID} < +50\text{mV}$ 、 $R_L = 100$  にて適用されます。太字のリミット値は全動作温度範囲に適用されます (Note 6)。

Symbol	Parameter	Conditions	Min (Note 6)	Typ (Note 5)	Max (Note 6)	Units
$I_B$	Input Bias Current	$V_{IN}$ Differential = 0	-5 <b>-7</b>	-1.5	-0.5	$\mu\text{A}$
$I_{OS}$	Input Offset Current	$V_{IN}$ Differential = 0	-500		+500	nA
TC $I_{OS}$	Input Offset Current TC	$V_{IN}$ Differential = 0		$\pm 2$		$\text{nA}/^\circ\text{C}$
$V_{OS}$	Input Offset Voltage		-9.5		+9.5	mV
TC $V_{OS}$	Input Offset Voltage TC			$\pm 50$		$\mu\text{V}/^\circ\text{C}$
VRI	Input Voltage Range	CMRR > 50 dB	-0.2		$V_{CC}-2$	V
CMRR	Common-Mode Rejection Ratio	$V_{CM} = 0$ to $V_{CC}-2.2\text{V}$	60	70		dB
PSRR	Power Supply Rejection Ratio		63	74		dB
$A_V$	Open Loop Gain			59		dB
$V_O$	Output Offset Voltage	$V_{IN}$ Differential = 50 mV	1125	1217	1325	mV
$\Delta V_O$	$V_O$ Change Between '0' and '1'	$V_{IN}$ Differential = $\pm 50\text{mV}$	-25		+25	mV
$V_{OH}$	Output Voltage High	$V_{IN}$ Differential = 50 mV		1380	1475	mV
$V_{OL}$	Output Voltage Low	$V_{IN}$ Differential = 50 mV	925	1060		mV
$V_{OD}$	Output Voltage Differential	$V_{IN}$ Differential = 50 mV	250	320	400	mV
$\Delta V_{OD}$	$V_{OD}$ Change between '0' to '1'	$V_{IN}$ Differential = $\pm 50\text{mV}$	-25		+25	mV
$I_{SC}$	Short Circuit Current Output to GND Pin (Note 4)	OUT Q to GND Pin $V_{IN}$ Differential = 50 mV			5	mA
		OUT $\bar{Q}$ to GND Pin $V_{IN}$ Differential = 50 mV			5	
	Output Shorted Together (Note 4)	OUT Q to OUT $\bar{Q}$ $V_{IN}$ Differential = 50 mV			5	
$I_S$	Supply Current	Load Current Excluded $V_{IN}$ Differential = 50 mV		6.8	9 <b>12.6</b>	mA

### + 5V AC 電気的特性

特記のない限り、すべてのリミット値は  $T_J = 25$ 、 $V_{CM} = 300\text{mV}$ 、 $-50\text{mV} < V_{ID} < +50\text{mV}$ 、 $R_L = 100$  にて適用されます。太字のリミット値は全動作温度範囲に適用されます (Note 6)。

Symbol	Parameter	Conditions	Min (Note 6)	Typ (Note 5)	Max (Note 6)	Units
TR	Toggle Rate	Overdrive = $\pm 50$ mV; $C_L = 2$ pF @ 50% Output Swing	750	940		Mb/s
$t_{\text{jitter\_RMS}}$	RMS-Random Jitter	Overdrive = 100 mV; $C_L = 2$ pF Center Frequency = 70 MHz Bandwidth = 10 Hz – 20 MHz		4.44		ps
$t_{\text{PDLH}}$	Propagation Delay $t_{\text{PDLH}} = (t_{\text{PDH}} + t_{\text{PDL}}) / 2$ (see figure 3 application note) Input SR = Constant $V_{ID}$ start value = -100mV	Overdrive 20 mV		3.63		ns
		Overdrive 50 mV		3.09		
		Overdrive 100 mV		2.9	7	
		Overdrive 1V		2.41		
$t_{\text{OD-disp}}$	Input Overdrive Dispersion	@Overdrive 20 - 100 mV		0.79		ns
		@Overdrive 100 mV - 1V		0.43		
$t_{\text{SR-disp}}$	Input Slew Rate Dispersion	0.05 V/ns to 1 V/ns Overdrive 100 mV		0.20		ns
$t_{\text{CM-disp}}$	Input Common Mode Dispersion	SR = 4 V/ns; Overdrive 100 mV $V_{CM} = 0$ to 3V		0.21		ns
$\Delta t_{\text{PDLH}}$	Q to $\bar{Q}$ Time Skew $ t_{\text{PDH}} - t_{\text{PDL}} $ (Note 8)	Overdrive = 100 mV; $C_L = 2$ pF		0.09		ns
$\Delta t_{\text{PDHL}}$	Q to $\bar{Q}$ Time Skew $ t_{\text{PDL}} - t_{\text{PDH}} $ (Note 8)	Overdrive = 100 mV; $C_L = 2$ pF		0.07		ns
$t_r$	Output Rise Time (20% - 80%) (Note 9)	Overdrive = 100 mV; $C_L = 2$ pF		0.59		ns
$t_f$	Output Fall Time (20% - 80%) (Note 9)	Overdrive = 100 mV; $C_L = 2$ pF		0.55		ns

### + 2.7V DC 電気的特性

特記のない限り、すべてのリミット値は  $T_J = 25$ 、 $V_{CM} = 300\text{mV}$ 、 $-50\text{mV} < V_{ID} < +50\text{mV}$ 、 $R_L = 100$  にて適用されます。太字のリミット値は全動作温度範囲に適用されます (Note 6)。

Symbol	Parameter	Conditions	Min (Note 6)	Typ (Note 5)	Max (Note 6)	Units
$I_B$	Input Bias Current	$V_{IN}$ Differential = 0	-5 -7	-1.3	-0.5	$\mu\text{A}$
$I_{OS}$	Input Offset Current	$V_{IN}$ Differential = 0	-500		+500	nA
TC $I_{OS}$	Input Offset Current TC	$V_{IN}$ Differential = 0		$\pm 2$		nA/ $^{\circ}\text{C}$
$V_{OS}$	Input Offset Voltage		-9.5		+9.5	mV
TC $V_{OS}$	Input Offset Voltage TC			$\pm 50$		$\mu\text{V}/^{\circ}\text{C}$
VRI	Input Voltage Range	CMRR > 50 dB	-0.2		$V_{CC}-2$	V
CMRR	Common-Mode Rejection Ratio	$V_{CM} = 0$ to $V_{CC}-2.2\text{V}$	56	70		dB
PSRR	Power Supply Rejection Ratio		63	74		dB
$A_V$	Open Loop Gain			59		dB
$V_O$	Output Offset Voltage	$V_{IN}$ Differential = 50 mV	1125	1213	1325	mV
$\Delta V_O$	$V_O$ Change Between '0' and '1'	$V_{IN}$ Differential = $\pm 50$ mV	-25		+25	mV
$V_{OH}$	Output Voltage High Average of '0' to '1'	$V_{IN}$ Differential = 50 mV		1370	1475	mV
$V_{OL}$	Output Voltage Low Average of '0' to '1'	$V_{IN}$ Differential = 50 mV	925	1060		mV
$V_{OD}$	Output Voltage Differential	$V_{IN}$ Differential = 50 mV	250	315	400	mV

### + 2.7V DC 電気的特性 (つぎ)

特記のない限り、すべてのリミット値は  $T_J = 25$ 、 $V_{CM} = 300\text{mV}$ 、 $-50\text{mV} < V_{ID} < +50\text{mV}$ 、 $R_L = 100$  にて適用されます。太字のリミット値は全動作温度範囲に適用されます (Note 6)。

Symbol	Parameter	Conditions	Min (Note 6)	Typ (Note 5)	Max (Note 6)	Units
$\Delta V_{OD}$	$V_{OD}$ Change between '0' to '1'	$V_{IN}$ Differential = $\pm 50\text{mV}$	-25		+25	mV
$I_{SC}$	Short Circuit Current Output to GND Pin (Note 4)	OUT Q to GND Pin $V_{IN}$ Differential = $50\text{mV}$			5	mA
		OUT $\bar{Q}$ to GND Pin $V_{IN}$ Differential = $50\text{mV}$			5	
	Output Shorted Together (Note 4)	OUT Q to OUT $\bar{Q}$ $V_{IN}$ Differential = $50\text{mV}$			5	
$I_S$	Supply Current	Load Current Excluded $V_{IN}$ Differential = $50\text{mV}$		6.6	9 <b>12.6</b>	mA

### + 2.7V AC 電気的特性

特記のない限り、すべてのリミット値は  $T_J = 25$ 、 $V_{CM} = 300\text{mV}$ 、 $-50\text{mV} < V_{ID} < +50\text{mV}$ 、 $R_L = 100$  にて適用されます。太字のリミット値は全動作温度範囲に適用されます (Note 6)。

Symbol	Parameter	Conditions	Min (Note 6)	Typ (Note 5)	Max (Note 6)	Units
TR	Toggle Rate	Overdrive = $\pm 50\text{mV}$ ; $C_L = 2\text{pF}$ @ 50% Output Swing	700	880		Mb/s
$t_{\text{jitter\_RMS}}$	RMS-Random Jitter	Overdrive = $100\text{mV}$ ; $C_L = 2\text{pF}$ Center Frequency = $70\text{MHz}$ Bandwidth = $10\text{Hz} - 20\text{MHz}$		4.82		ps
$t_{\text{PDLH}}$	Propagation Delay $t_{\text{PDLH}} = (t_{\text{PDH}} + t_{\text{PDL}}) / 2$ (see figure 3 application note) Input SR = Constant $V_{ID}$ start value = $-100\text{mV}$	Overdrive $20\text{mV}$		3.80		ns
		Overdrive $50\text{mV}$		3.29		
		Overdrive $100\text{mV}$		3.0	7	
		Overdrive $1\text{V}$		2.60		
$t_{\text{OD-disp}}$	Input Overdrive Dispersion	@ Overdrive $20 - 100\text{mV}$		0.83		ns
		@ Overdrive $100\text{mV} - 1\text{V}$		0.37		
$t_{\text{SR-disp}}$	Input Slew Rate Dispersion	$0.05\text{V/ns}$ to $1\text{V/ns}$ Overdrive $100\text{mV}$		0.23		ns
$t_{\text{CM-disp}}$	Input Common Mode dispersion	SR = $4\text{V/ns}$ ; Overdrive $100\text{mV}$ $V_{CM} = 0$ to $1.5\text{V}$		0.16		ns
$\Delta t_{\text{PDLH}}$	Q to $\bar{Q}$ Time Skew $ t_{\text{PDH}} - t_{\text{PDL}} $ (Note 8)	Overdrive = $100\text{mV}$ ; $C_L = 2\text{pF}$		0.09		ns
$\Delta t_{\text{PDHL}}$	Q to $\bar{Q}$ Time Skew $ t_{\text{PDL}} - t_{\text{PDH}} $ (Note 8)	Overdrive = $100\text{mV}$ ; $C_L = 2\text{pF}$		0.09		ns
$t_r$	Output Rise Time (20% - 80%) (Note 9)	Overdrive = $100\text{mV}$ ; $C_L = 2\text{pF}$		0.64		ns
$t_f$	Output Fall Time (20% - 80%) (Note 9)	Overdrive = $100\text{mV}$ ; $C_L = 2\text{pF}$		0.59		ns

**Note 1:** 絶対最大定格とは、デバイスに破壊が発生する可能性のあるリミット値をいいます。動作条件とはデバイスが機能する仕様を示しますが、特定の性能を保証するものではありません。保証規格およびその試験条件については、「電気的特性」を参照してください。

**Note 2:** 人体モデル適用規格 MIL-STD-883、Method 3015.7  
マシン・モデル適用規格 JESD22-A115-A (ESD MM std. of JEDEC)  
電場 (界) 誘導帯電モデル適用規格 JESD22-C101-C (ESD FICDM std. of JEDEC)

**Note 3:** 最大消費電力は、 $T_J(\text{MAX})$ 、 $J_A$  の関数として求めることができます。任意の周囲温度での最大許容電力損失は、 $P_D = (T_J(\text{MAX}) - T_A) / J_A$  です。すべての数値は、プリント基板に直接ハンダ付けしたパッケージを対象とします。

**Note 4:** 単一電源や分割電源の両動作に対して適用されます。高周囲温度で短絡動作を続けると、 $150$  の最大許容接合部温度を超えるおそれがあります。

**Note 5:** 代表 (typ) 値は特性評価時におけるパラメータの標準値 (norm) を表します。実際の代表値は、経時的に変化するとともに、アプリケーションや構成にも依存します。この代表値はテストされた値ではなく、出荷済みの製品材料に対する保証値ではありません。

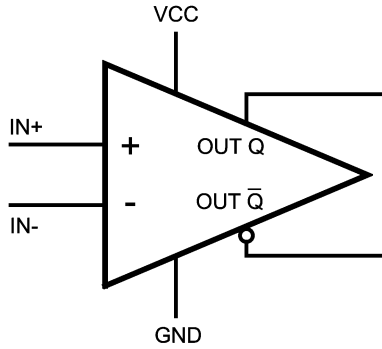
**Note 6:** リミット (Max および Min) 値はすべて試験または統計解析により保証されています。

**Note 7:** 「電気的特性」の値は、記載温度の工場出荷試験条件にのみ適用されます。工場試験条件で生じる自己発熱は、 $T_J = T_A$  となる程度にきわめてわずかです。自己発熱によって  $T_J > T_A$  となる条件下では、「電気的特性」表記載のパラメータは保証されません。デバイスの温度デレーティングについては「アプリケーション情報」を参照してください。

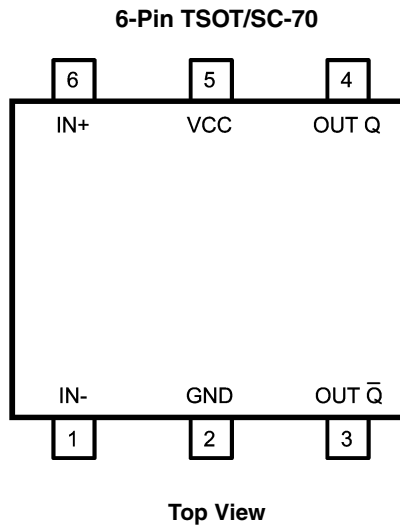
**Note 8:** 伝搬遅延時間差  $t_{PD}$  は、 $t_{PDLH}$  と  $t_{PDHL}$  の平均値として定義されます。

**Note 9:** 立ち上がり/立ち下がり時間は、Qと $\bar{Q}$ の立ち上がり/立ち下がり時間の平均値です。

等価回路



ピン配置図



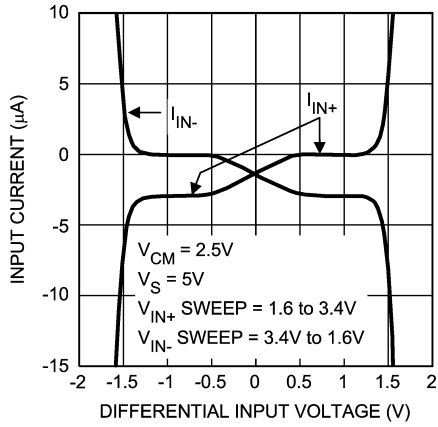
製品情報

Package	Part Number Temperature Range ( $T_A$ ) -40°C to +85°C	Package Marking	Transport Media	NSC Drawing
6-Pin TSOT	LMH7220MK	C29A	1k Units Tape and Reel	MK06A
	LMH7220MKX		3k Units Tape and Reel	
6-Pin SC-70	LMH7220MG	C38	1k Units Tape and Reel	MA006A
	LMH7220MGX		3k Units Tape and Reel	

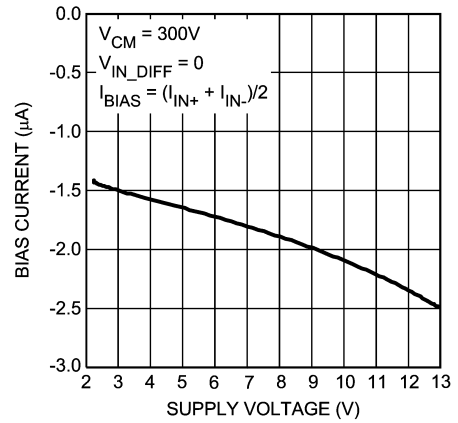
代表的な性能特性

特記のない限り、 $T_J = 25$ 。  $V_{CM} = 0.3V$ 、 $V_{OVERDRIVE} = 100mV$ 、 $R_L = 100$ 。

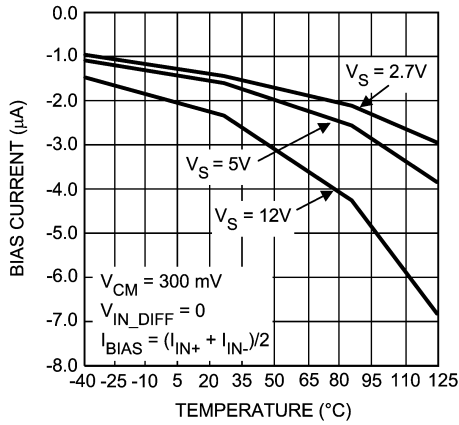
Input Current vs. Differential Input Voltage



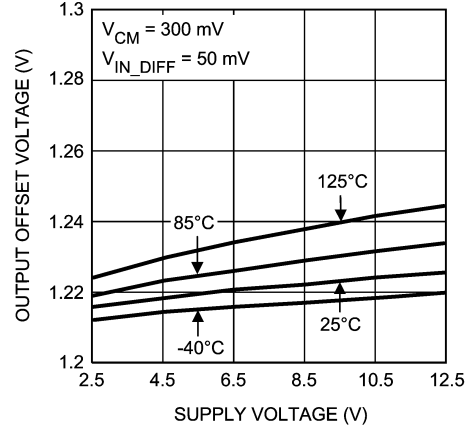
Bias Current vs. Supply Voltage



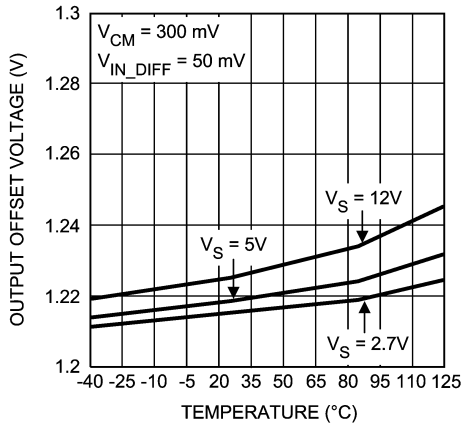
Bias Current vs. Temperature



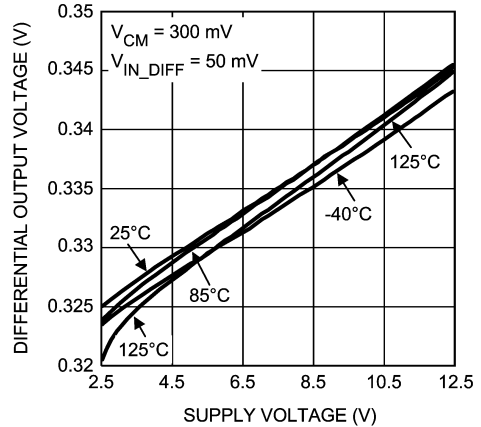
Output Offset Voltage vs. Supply Voltage



Output Offset Voltage vs. Temperature



Differential Output Voltage vs. Supply Voltage

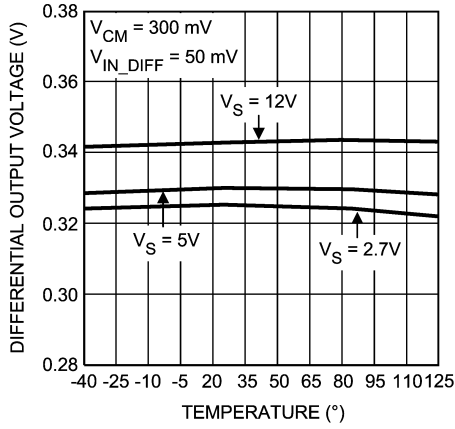




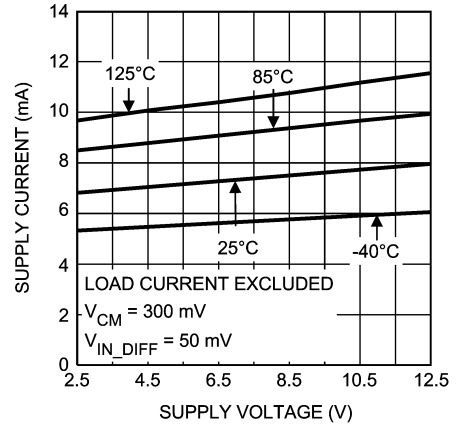
代表的な性能特性 (つぎ)

特記のない限り  $T_J = 25^\circ\text{C}$ 。  $V_{CM} = 0.3\text{V}$ 、  $V_{OVERDRIVE} = 100\text{mV}$ 、  $R_L = 100\ \Omega$ 。

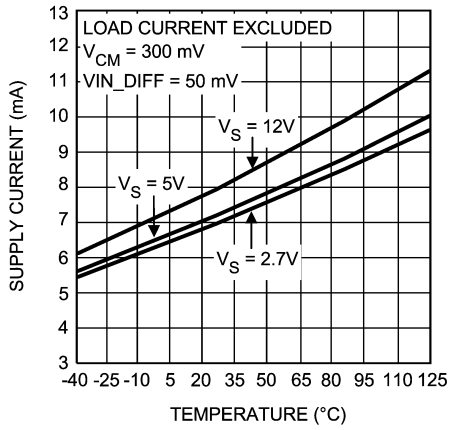
Differential Output Voltage vs. Temperature



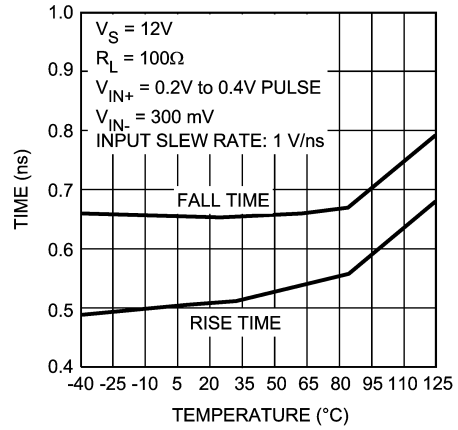
Supply Current vs. Supply Voltage



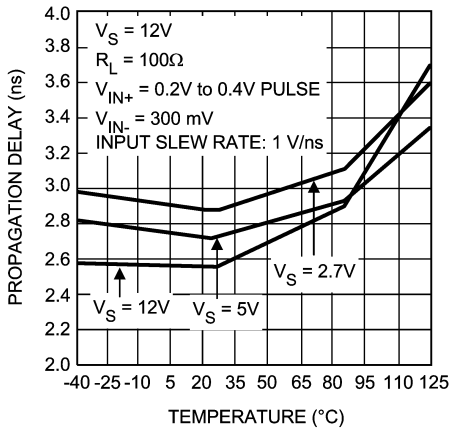
Supply Current vs. Temperature



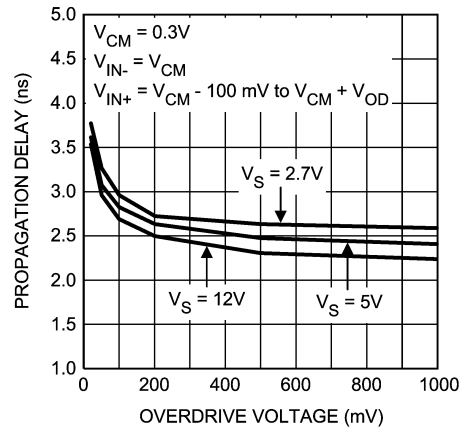
Rise & Fall Time vs. Temperature



Propagation Delay vs. Temperature



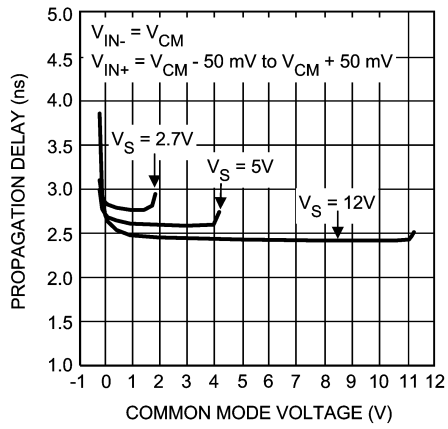
Propagation Delay vs. Overdrive Voltage



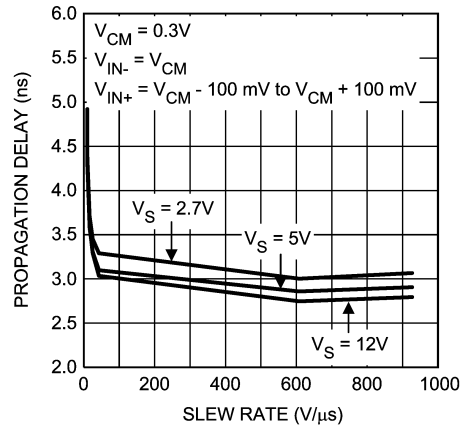
代表的な性能特性 (つづき)

特記のない限り、 $T_J = 25^\circ\text{C}$ 。  $V_{CM} = 0.3\text{V}$ 、 $V_{OVERDRIVE} = 100\text{mV}$ 、 $R_L = 100\ \Omega$ 。

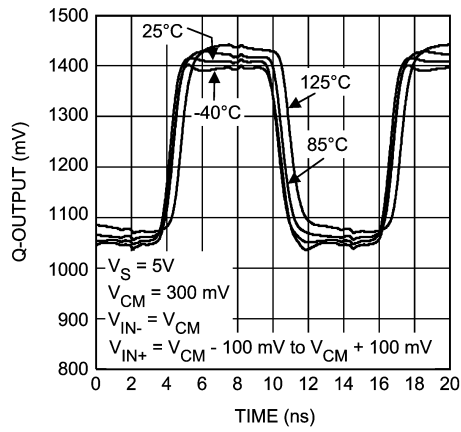
**Propagation Delay vs. Common Mode Voltage**



**Propagation Delay vs. Slew Rate**



**Pulse Response Over Temperature**



## アプリケーション情報

## はじめに

LMH7220 は、LVDS 出力を持った高速コンパレータです。LVDS (Low Voltage Differential Signaling) 規格は、各出力の電圧振幅が約 325mV の差動出力を用います。最も広く使われている LVDS 出力は、3.25mA の切り替え電流ソースで構成されます。出力ピンは差動方式で 100 の外付け抵抗に終端して、標準化された 325mV の出力電圧振幅を生成する必要があります。両出力の同相レベルは約 1.2V であり、電源電圧に依存しません。相補出力を使用すると、同相ノイズが大幅に抑制されます。LMH7220 の立ち上がり / 立ち下がり時間は非常に高速で、最大で数百メガビット / 秒 (Mbps) のデータ転送速度が可能です。出力電流の性質により、データ転送速度が速くても消費電力はきわめて低いレベルに維持されます。100 の負荷抵抗に供給される電力は、わずか 1.2mW です。LVDS 規格の詳細については、次のナショナル セミコンダクターのウェブサイトを参照してください。

<http://www.national.com/appinfo/lvds/0,1798,100,00.html> (英語版 / 第 4 版)、<http://www.national.com/JPN/appinfo/lvds/0,1798,100,00.html> (日本語版 / 第 3 版)

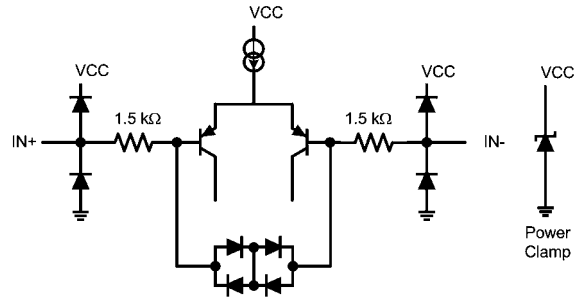
LMH7220 の入力は、負の電源電圧より 200mV 低い電圧までカバーする同相電圧範囲を持ち、単一電源を使用した場合はグラウンド検出が可能です。LMH7220 の立ち上がり / 立ち下がり時間は約 0.6ns、伝搬遅延時間は約 2.7ns です。LMH7220 は単一電源電圧または 2 電源電圧を使用し、電源電圧範囲 2.7V ~ 12V の全領域で動作可能です。LVDS 出力は、負電源電圧を使用します。5V 動作時の消費電流は 6.8mA (負荷電流を除く) です。LMH7220 は、6 ピン TSOT と SC-70 のパッケージで提供されます。

これらのパッケージは、スペースを重視する場合に最適です。以降のセクションで説明する項目は、次のとおりです。

- 入出力ポロジ
- 使用される用語の定義
- 伝搬遅延と分散
- ヒステリシスと発振
- 出力
- 伝送ラインの適用
- プリント基板レイアウト

## 入出力ポロジ

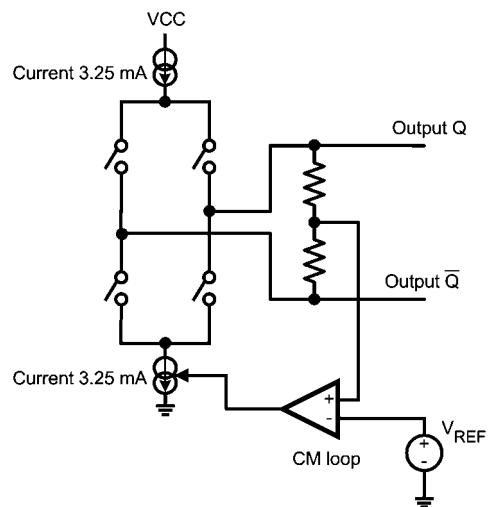
入出力ピンはすべて、ESD ダイオードにより過大電圧から保護されます。これらのダイオードは、負の電源から正の電源に接続されます。Figure 1 に示すように、両方の入力がこれらのダイオードに接続されています。過大電源電圧に対する保護は、 $V_{CC}$  と GND の間のパワークランプによって行われます。両方の入力は、1.5k の抵抗を介して差動ペアの入カトランジスタのベースにも接続されます。入カトランジスタは、その高周波特性により、ベースとエミッタ間の高い逆電圧に対する耐性がありません。入力段を損傷から保護するために、両方のベースは逆並列ダイオードの列と一緒に接続されます。これらのダイオードが導通するレベルにまで差動入力電圧が上がるような状況に注意します。このような場合は、入力電流がデータシート表に記載された通常値を大きく超えて上昇しています。



Equivalent Input Circuitry

FIGURE 1. Equivalent Input Circuitry

出力は、スイッチが対角線状に閉じられ、差動 LVDS の High レベルと Low レベルが生成されるブリッジ構成になります (Figure 2 を参照)。出力スイッチは、2 つの電流源から上部と下部に供給されます。上部は固定されており、外付け負荷抵抗の両端の差動電圧を決定します。もう一方はレギュレートされ、出力の同相電圧を決定します。同相出力電圧を、すべての状況において定義された標準 LVDS レベルに維持することが重要です。これを実現するために、両方の出力を 2 つの等価の抵抗を介して内部で一緒に接続します。この中間点で同相出力電圧が生成され、この値は同相帰還ループにより  $V_{REF}$  (1.2V) と等価になります。



Equivalent Output Circuitry

FIGURE 2. Equivalent Output Circuitry

## アプリケーション情報 (つぎ)

## 定義

LMH7220 の多数のパラメータを正しく理解するためには、多くの測定を実行する必要があります。これらのパラメータは、データシートの最初の部分でデータ表にすべて記載されています。電源電圧ごとに異なるデータのセットが含まれるため、電源電圧別の

表に記載されています。以下の表は、測定されるパラメータの省略形と、それらの測定条件の簡単な説明の一覧です。この表に続いて、一部のパラメータについてさらに取り上げ、そのパラメータが正確に意味するもの、およびその現象が応用電子回路に与える影響について詳しく説明します。

記号	用語	説明
$I_B$	入力バイアス電流	両方の入力ピンをグラウンドより 0.3V 上にバイアスしたときに入力ピンに流入または流出する電流。
$I_{OS}$	入力オフセット電流	出力レベルを変化させるために + 入力と - 入力に必要な電流の差で、平均値が H から L、L から H への遷移に使用されます。
TC $I_{OS}$	入力オフセット電流の平均ドリフト	$I_{OS}$ の温度ドリフト係数。
$V_{OS}$	入力オフセット電圧	出力レベルを変化させるために IN <sup>+</sup> と IN <sup>-</sup> に必要な電圧の差で、平均値が H から L、L から H への遷移に使用されます。
TC $V_{OS}$	入力オフセット電圧の平均ドリフト	$V_{OS}$ の温度ドリフト係数。
CMRR	同相信号除去比	入力オフセット電圧の変化量と同相入力電圧の変化量の比。
VRI	入力電圧範囲	入力電圧の上限と下限は、CMRR が 50dB より下に低下する時点の値として定義されます。
PSRR	電源電圧除去比	入力オフセット電圧の変化量と、電源電圧の変化量 ( $V_{S-MIN}$ から $V_{S-MAX}$ ) の比。
$V_O$	出力オフセット電圧	ロジック・レベル "0" とロジック・レベル "1" の平均の同相出力電圧 (Figure 12 を参照)。
$V_O$	出力オフセット電圧変化	ロジック・レベル "0" とロジック・レベル "1" の同相出力電圧の差 (Figure 13 を参照)。
$V_{OH}$	High の出力電圧	High レベルのシングルエンド出力電圧 ( $\bar{Q}$ または Q) (Figure 12 を参照)。
$V_{OL}$	Low の出力電圧	Low レベルのシングルエンド出力電圧 ( $\bar{Q}$ または Q) (Figure 12 を参照)。
$V_{ODH}$	出力差動電圧ロジック "1"	$V_{OH(Q)} - V_{OL(\bar{Q})}$ (ロジック・レベル "1") (Figure 13 を参照)。
$V_{ODL}$	出力差動電圧ロジック "0"	$V_{OH(\bar{Q})} - V_{OL(Q)}$ (ロジック・レベル "0") (Figure 13 を参照)。
$V_{OD}$	$V_{ODH}$ と $V_{ODL}$ の平均値	$(V_{ODH} + V_{ODL})/2$
$V_{OD}$	"0" と "1" 間の $V_{OD}$ の変動	$ V_{ODH} - V_{ODL} $ (Figure 13 を参照)。
Hyst	ヒステリシス	入力スイッチング・レベルの、L から H と H から L への遷移の差 (Figure 11 を参照)。
$I_{SQG}$ , $I_{SQ\bar{G}}$	1 出力から GND への短絡電流	シングルエンドに短絡する場合に 1 つの出力から GND に流れる電流。
$I_{SQ\bar{Q}}$	両出力の短絡電流	差動的に短絡する場合に出力 Q と出力 $\bar{Q}$ 間に流れる電流。
TR	最大トグル・レート	$V_{OD}$ が公称値の 50% より下に降下する前に出力の切り替えが可能な最大周波数。
PW	パルス幅	信号の立ち上がりエッジの 50% の位置から立ち下がりエッジの 50% の位置までの期間。
$t_{PDH}$ resp $t_{PDL}$	伝搬遅延時間	入力信号が L から H へのスイッチング・レベルを超える時点から、出力信号が Q 出力の立ち上がりエッジの 50% を超える時点 ( $t_{PDH}$ ) までの遅延時間、または入力信号が H から L へのスイッチング・レベルを超える時点から、出力信号が $\bar{Q}$ 出力の立ち下がりエッジの 50% を超える時点 ( $t_{PDL}$ ) までの遅延時間。
$t_{PD\bar{L}}$ resp $t_{PD\bar{H}}$		入力信号が L から H へのスイッチング・レベルを超える時点から、出力信号が $\bar{Q}$ 出力の立ち下がりエッジの 50% を超える時点 ( $t_{PD\bar{L}}$ ) までの遅延時間、または入力信号が H から L へのスイッチング・レベルを超える時点から、出力信号が Q 出力の立ち上がりエッジの 50% を超える時点 ( $t_{PD\bar{H}}$ ) までの遅延時間。
$t_{PDLH}$		$t_{PDH}$ と $t_{PDL}$ の平均値。
$t_{PDHL}$		$t_{PDL}$ と $t_{PD\bar{H}}$ の平均値。
$t_{PD}$		$t_{PDLH}$ と $t_{PDHL}$ の平均値。

アプリケーション情報 (つづき)

記号	用語	説明
$t_{PDHd}$ resp $t_{PDLd}$		入力信号が L から H へのスイッチング・レベルを超える時点から、差動出力信号の立ち上がりエッジが 0 と交差する時点 ( $t_{PDHd}$ ) までの遅延時間、または入力信号が H から L へのスイッチング・レベルを超える時点から、差動出力信号の立ち下がりエッジが 0 と交差する時点 ( $t_{PDLd}$ ) までの遅延時間。
$t_{PDLH}$ resp $t_{PDHL}$	Q から $\bar{Q}$ の時間差	Q 出力の立ち上がりエッジの 50%レベルの時点から $\bar{Q}$ 出力の立ち下がりエッジの 50%レベルの時点 ( $t_{PDLH}$ ) までの時間差、または Q 出力の立ち下がりエッジの 50%レベルの時点から $\bar{Q}$ 出力の立ち上がりエッジの 50%レベルの時点 ( $t_{PDHL}$ ) までの時間差。
$t_{PD}$	Q から $\bar{Q}$ の時間差の平均値	L から H、H から L への遷移についての $t_{PDLH}$ と $t_{PDHL}$ の平均値。
$t_{PDd}$	差動時間差の平均値	L から H、H から L への遷移についての $t_{PDHd}$ と $t_{PDLd}$ の平均値。
$t_{OD-disp}$	入力オーバードライブ時の分散時間	入力ピンのオーバードライブ電圧が異なるときの $t_{PD}$ の変化。
$t_{SR-disp}$	入力スレートによる分散	入力ピンのスレートが異なるときの $t_{PD}$ の変化。
$t_{CM-disp}$	同相入力による分散	入力ピンの同相電圧が異なるときの $t_{PD}$ の変化。
$t_r/t_{rd}$	出力立ち上がり時間 (20% ~ 80%)	(シングルエンドまたは差動) 出力電圧が公称値の 20%から 80%に変化するまでの所要時間。
$t_f/t_{fd}$	出力立ち下がり時間 (20% ~ 80%)	(シングルエンドまたは差動) 出力電圧が公称値の 80%から 20%に変化するまでの所要時間。

3

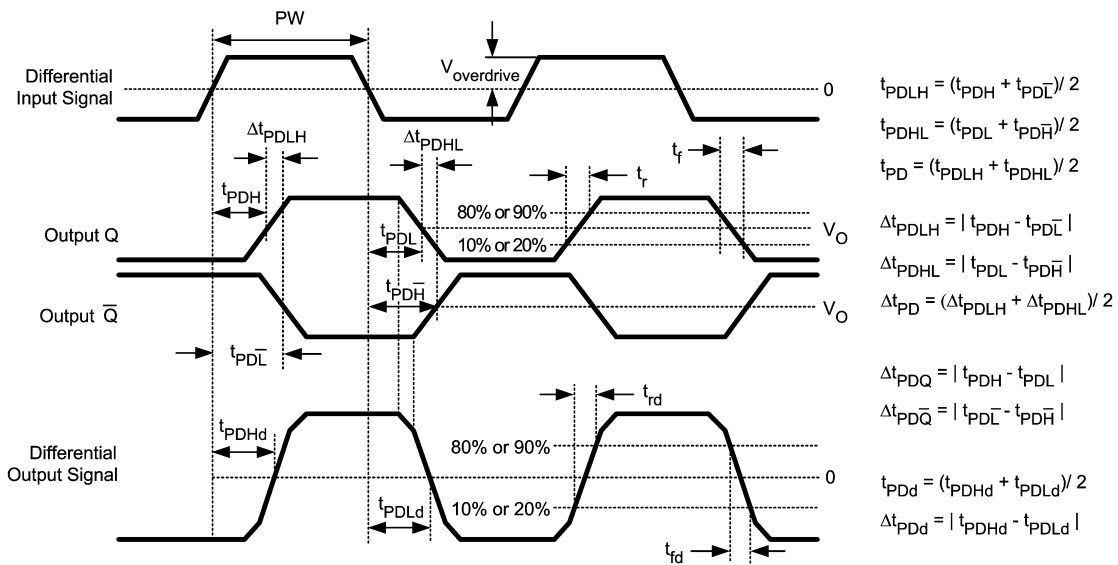


FIGURE 4. Propagation Delay Definition

遅延と分散

コンパレータは、アナログの世界とデジタルの世界をつなぐものとして幅広く利用されています。コンパレータの精度は、オフセット電圧とヒステリシスなどの DC 特性、および立ち上がり/立ち下がり時間と遅延時間などのタイミング特性で決まります。低周波アプリケーションでは、多くのコンパレータの処理速度は処理対象のアナログ入力信号より非常に高速です。この場合、タイミング特性は入力スイッチング・レベルの精度ほど重要ではありません。周波数が高くなるほど、コンパレータのタイミング特性の重要度が高くなります。これは、コンパレータの応答により例えばタイム・フレームやデューティ・サイクルが大きく変わる可能性があるからです。設計時には、これらの影響を認識して対処する必要があります。入力信号に対する出力信号の挙動を予測するために、コンパレータの動作を示すパラメータをいくつか定義しています。後続のセ

クションで説明するタイミング・パラメータを理解しやすくするために、簡単な説明とタイミング図をいくつか示します。

伝搬遅延時間

伝搬遅延時間パラメータは、入力信号がスイッチング・レベルと交差したときに、コンパレータがこれに応答して遷移する途中で、L から H、または H から L に出力レベルを変更するのに要する時間として定義されます。この定義に従うと、 $t_{PDH}$  と  $t_{PDL}$  の 2 つのパラメータがあります (Figure 4 参照)。両方のパラメータが必ずしも同じ値になるわけではありません。内部回路の応答が異なることにより、差が生じることがあります。この影響の結果、もう 1 つのパラメータが定義されます。  $t_{PD}$  です。このパラメータは、 $t_{PDH}$  と  $t_{PDL}$  の差の絶対値として定義されます。

## アプリケーション情報 (つづき)

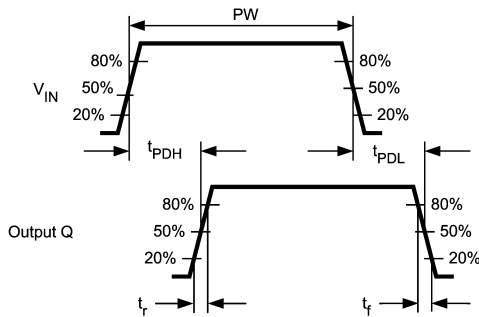


FIGURE 5. Pulse Parameter

$t_{PD}$  = 0 の場合、デューティ・サイクルの歪みが発生します。例えば、入力に対称波形（正弦波など）を印加すると、コンパレータはデューティ・サイクル 50%の対称矩形波を出力すると予測されます。 $t_{PDH}$  と  $t_{PDL}$  が異なる場合、出力信号のデューティ・サイクルは 50%にならず、これより低くなるか高くなります。前述したシングルエンド出力の伝搬遅延時間パラメータに加えて、相補出力の場合には他のパラメータがあります。これらのパラメータは、入力から各出力までの遅延時間、および両方の遅延時間の差を示します (Figure 5 を参照)。差動入力信号が L から H への基準レベルと交差するときに、両方の出力はいくらかの遅延を伴って新しい状態に切り替わります。この遅延時間は、Q 出力では  $t_{PDH}$ 、 $\bar{Q}$  出力では  $t_{PDL}$  として定義されます。また、両方の信号の差は  $t_{PDLH}$  として定義されます。入力信号の立ち下がりが勾配についての同様な定義は、Figure 3 を参照してください。

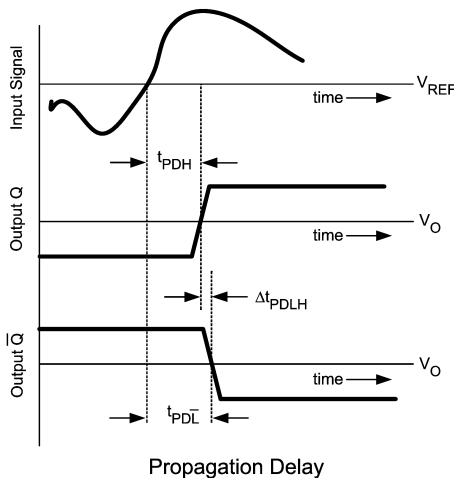


FIGURE 6. Propagation Delay

両方の出力回路は対称である必要があります。一方の出力が「オン」にスイッチングする時点で他方は「オフ」にスイッチングし、この間に時間差がないのが理想的です。LMH7220 の設計は、このタイミングの時間差が最小になるように最適化されています。伝搬遅延時間  $t_{PD}$  は、両方の勾配における両方の出力の平均遅延  $(t_{PDLH} + t_{PDHL})/2$  として定義されます。

## 分散

伝搬遅延時間が変動する状況がいくつかあります。この影響は分散と呼ばれます。

## 振幅オーバードライブ時の分散

分散の原因となるパラメータの 1 つは、入力信号の振幅変動です。Figure 6 は、入力オーバードライブ電圧の変動による分散を示しています。オーバードライブは、入力に印加される「大幅な」差動電圧として定義されます。Figure 6 は、オーバードライブが 10mV から 100mV まで変化した場合の伝搬遅延時間に対する影響も示しています。このパラメータは、入力信号のスレーレートを一定にして計測します。

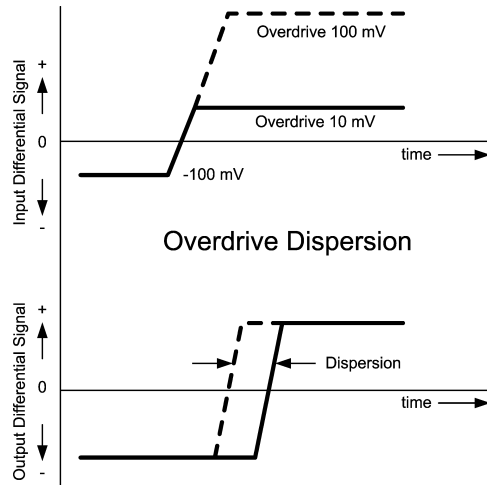


FIGURE 7. Overdrive Dispersion

オーバードライブ時の分散は、入力段のスイッチング電流が差動入力信号のレベルに依存することにより発生します。

## スレーレートによる分散

スレーレートは、伝搬遅延に影響するもう 1 つのパラメータです。入力スレーレートが高くなるほど、入力段のスイッチングが高速になります (Figure 7)。

アプリケーション情報 (つづき)

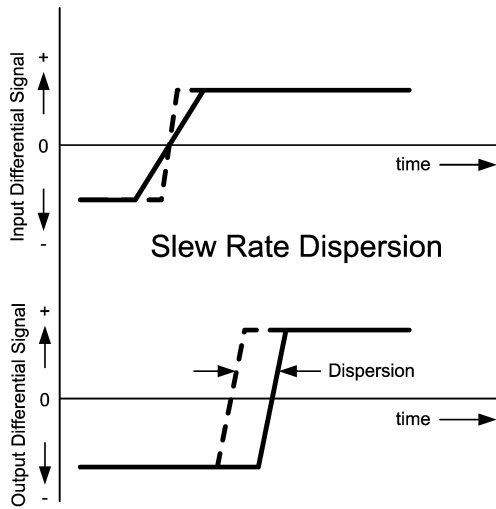


FIGURE 8. Slew Rate Dispersion

周波数が一定で振幅の異なる信号を印加すると、オーバードライブとスルーレートの組み合わせによる分散が発生します。振幅が小さいと単位時間あたりの電圧変化 ( $dV/dt$ ) は小さくなりますが、入力トランジスタの最大スイッチング電流 (オーバードライブ) も小さくなります。振幅が大きいと、 $dV/dt$  もオーバードライブも大きくなります。

同相による分散

入力信号の同相レベルが変化しても、分散が発生します (Figure 8)。 $V_{REF}$  が CMVR (同相電圧範囲) で変化すると、伝搬遅延時間が変動します。この変動は同相による分散と呼ばれます。

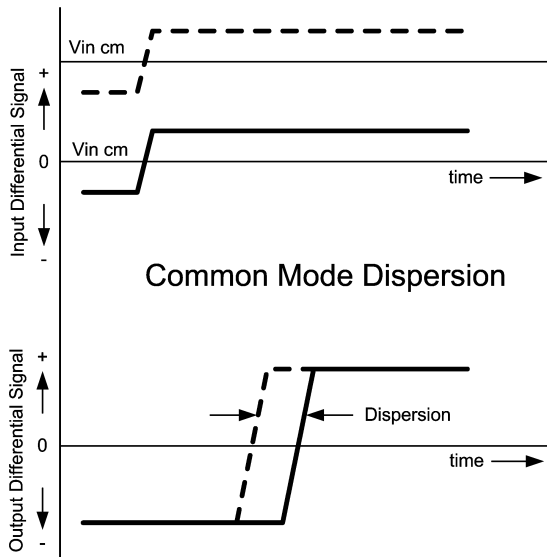


FIGURE 9. Common Mode Dispersion

前述したすべての分散が、伝搬遅延時間に影響します。実際に、分散は多くの場合、変化する複数のパラメータの組み合わせにより発生します。回路の分散がどのくらいになるかを予測する必要がある場合は、この点に注意することが重要です。

ヒステリシスと発振

オペアンプとは異なり、コンパレータの出力は、定義済みの状態 "0" または "1" の 2 つだけです。ただし、コンパレータのゲインは有限であるため、入力差動電圧の一部の範囲で出力が未定義の状態になります。勾配が大きい入力信号は、この範囲を非常に急速に問題なく通過します。しかし、小さい勾配では、不確実な範囲を通過するまでに比較的長くかかることがあります。これにより、コンパレータの出力が 1 つの勾配で "0" と "1" の間を複数回スイッチングします。コンパレータは、入力ノイズ、グラウンド・バウンス (発振の可能性あり)、リンギングなどを起こします。入力信号に含まれるノイズも、これらの意図しないスイッチング動作の原因となります。

後続のセクションでは、ヒステリシスを適用しない場合のこれらの現象と、ヒステリシスによりどのように改善する可能性があるかについて説明します。

ヒステリシスを使用しない場合

Figure 9 に、スレッシュホールド  $V_{REF}$  のやや下からスレッシュホールドのやや上まで入力信号が立ち上がる時に発生する現象を示します。 $t = 0$  で、入力が  $V_{REF}$  のすぐ下の点線に到達する時点から、出力はトグル・オンによりノイズなどを発生します。 $t = 1$  で、入力信号が未定義領域を出ると、トグルは終了します。この例では、出力は 3 回トグルが発生する速度です。この挙動により、出力に接続されたデジタル回路はパルス数を不正にカウントします。これを防ぐ 1 つの方法は、入力状態が未定義となる期間に出力が "0" と "1" の間で複数回スイッチングしない、非常に低速のコンパレータを選択することです。

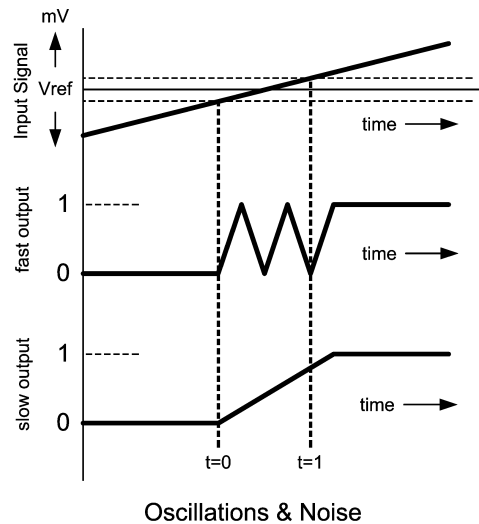


FIGURE 10. Oscillations & Noise

多くの場合、入力信号のスルーレートが変化するため、この方法は選択できません。

## アプリケーション情報 (つづき)

## ヒステリシスを使用する場合

勾配が小さいときに発振とノイズを防ぐよい方法は、ヒステリシスを使用することです。この目的のために、出力がスイッチングした時点で入力のスウィッチング・レベルを戻すためのスレッシュホールドが導入されました (Figure 10 を参照)。この単純な設定では、単一出力と正入力側に抵抗分圧器を備えたコンパレータが使用されます。

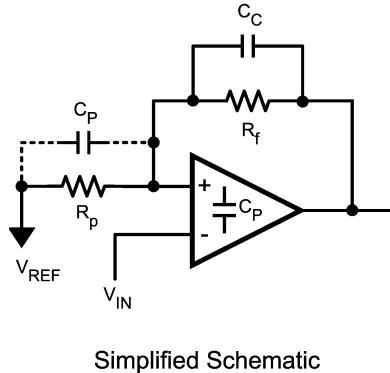


FIGURE 11. Simplified Schematic

分圧器  $R_F$ - $R_P$  は、出力電圧の一部を正入力に帰還させます。これに必要な出力電圧は、入力が未定義状態になる領域を避けるだけの小さな値で十分です。これがわずかに数ミリボルトと想定すると、(正または負の) 10mV を正入力に追加しただけで、回路の発振を十分防ぐことができます。出力が 0V と 5V の間でスイッチングする場合、一方の抵抗を決めるともう一方が計算できます。 $R_P$  が 50 とすると、 $R_F$  は、正入力での 10mV スレッシュホールドでは 25k になります。これで、Figure 11 の状況が作成されます。

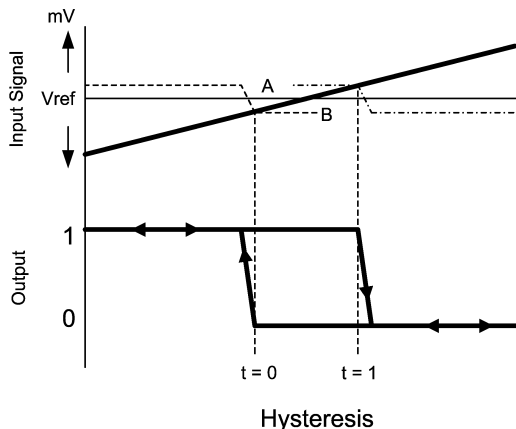


FIGURE 12. Hysteresis

この図には A と B の 2 本の点線があり、両方の線が正入力の結果のレベルを示しています。負入力の信号が低いときは、入力段の状態は正入力よりかなり低い負入力として定義されています。この結果、出力は High 状態になります。正入力のレベルは A のレベルです。入力信号が上昇すると、 $t = 1$  で  $V_{IN}$  がレベル A と交差するまでこの状況は維持されます。ここで出力が切り替わり、正入力の電圧がレベル B まで下降します。したがって、出力が再度切り替わる前に、両方の入力の差が十分大きくなり、再び安定した状態になります。入力信号が High から Low 以下

がるときは、 $t = 0$  でレベル B に達するまで状態は安定しています。 $t = 0$  の時点で出力が元の状態に切り替わり、回路は、負入力が正入力よりかなり低いレベルにある開始時点の状態に戻ります。ヒステリシスのない状況では、出力は  $V_{REF}$  の時点で切り替わります。ヒステリシスを使用すると、Figure 11 に示すように、この切り替えは導入されたレベル A とレベル B で発生します。レベル A と B を変えると、 $t = 0$  と  $t = 1$  のタイミングも変わります。回路の設計時には、この影響に注意する必要があります。ヒステリシスを導入すると、出力と入力の間で若干時間のずれ(デューティ・サイクルの変動など)が生じますが、意図しない出力のスウィッチングを排除できます。

## 寄生容量

Figure 10 に示す簡単な回路図には、いくつかのコンデンサが含まれます。コンデンサ  $C_P$  は、デバイスの入力の寄生(基板)容量を表します。この容量は、出力電圧の変化に反応した正入力のレベルの変化を遅くします。この結果、時間的に出力のスウィッチングが複数回できる場合があります。実際に、 $C_P$  で示される寄生容量により、 $R_F$  と  $R_P$  の減衰回路は周波数に依存するようになります。唯一の対処法は、周波数に依存しない回路を作成することです。これは、補償コンデンサ  $C_C$  を  $R_F$  と並列に配置することにより簡単に実現できます。コンデンサ  $C_C$  は、次の式、 $R_F \times C_C = R_P \times C_P$  で計算できます。この式は、周波数に依存しないネットワークを作成するには、両方の時間定数が同じでなければならないことを意味します。次に示す簡単な例では、 $C_P$  の合計容量が 2.5pF であり、すでに算出したように  $R_F = 25k$  と  $R_P = 50$  を組み合わせています。これらの入力データを代入すると、次のようになります。

$$\begin{aligned} C_C &= R_P \times C_P / R_F \\ C_C &= 50 \times 2.5e-12 / 25e3 \\ C_C &= 5e-15 = 0.005pF \end{aligned}$$

これは実際の値ではなく、別の結果も考えられます。

- コンデンサ  $C_C$  を必要としない。
- 1pF のコンデンサ  $C_C$  を配置し、入力段が新しい位置で安全であることを確認して、正入力に大きなオーバーシュートを受け入れる。
- $C_C$  が例えば 1pF などの現実的な値を持つように、適切な値の追加の  $C_P$  を配置する (追加の  $C_P = \pm 500pF$ )。

## 帰還抵抗の位置

正帰還を使用するときのもう一つの重要な問題は、抵抗  $R_P$  と  $R_F$  の配置です。これらの抵抗は、正入力のできるだけ近くに配置する必要があります。これは、正入力がスプリアス信号、ノイズなどを最も敏感に拾うためです。回路全体で高い性能を得るために、この接続は非常にクリーンなものである必要があります。速度が上がるほど、プリント基板の全体設計の重要性は増します。LMH7220 コンパレータは、ヒステリシスを内蔵していないので、出力が適切にスイッチングするために、入力信号は最低限の要件を満たしている必要があります。以下のセクションでは、出力に接続される負荷と伝送ラインの特性について説明します。

## 出力スイングの特性

LVDS には差動出力があります。これは、逆方向に同じスイングを持つ 2 つの出力があることです (Figure 12 を参照)。2 つの出力は、同相出力電圧 ( $V_O$ ) と呼ばれる電圧を中心にスイングします。この電圧は、「入出力ボロジ」のセクションで説明したように、両方の出力に接続した等価の抵抗 2 個の中間点で計測できます。2 つの電圧の差の絶対値を、 $V_{OD}$  と呼びます。LVDS 出力はデジタルなので、 $V_O$  レベルに保持することはできません。出力がこのレベルと交差するのは遷移の間だけです。回路の構成が対称的なため、出力が "0" から "1" に変化するときも、"1" から "0" に変化するときも、2 つの出力電圧が  $V_O$  で交差します。



アプリケーション情報 (つづき)

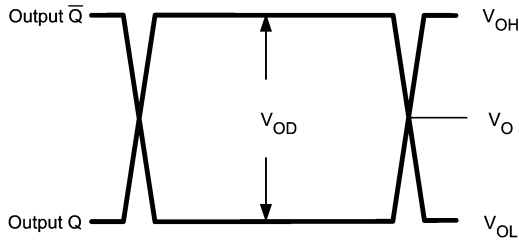


FIGURE 13. LVDS Output Signals

出力が対称的ではない、または非対称に負荷がかかっている場合、出力電圧は Figure 12 のようにはなりません。この非理想的状況のために、Figure 13 に示すように 2 つの追加パラメータ  $V_O$  と  $V_{OD}$  が定義されています。

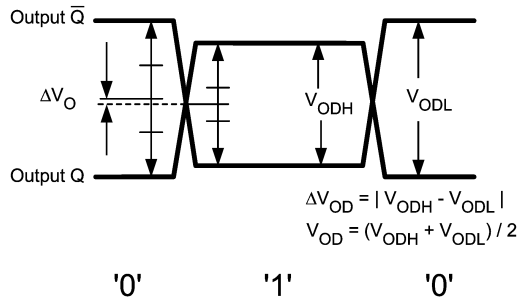


FIGURE 14. LVDS Output Signals with Different Amplitude

$V_O$  は、「1」状態と「0」状態の間の  $V_O$  の差です。この変動は、ANSI/TIA/EIA-644 LVDS 規格に従い 50mV より少ない場合は受け入れられます。また、「1」状態での  $V_{OD}$  が「0」状態のときと異なる可能性もあります。このパラメータは、 $V_{OD}$  と規定され、 $V_{ODH}$  と  $V_{ODL}$  の差の絶対値として算出されます。

出力の負荷

出力回路構成は、公称 100 の外付け差動負荷抵抗を通して電流 ( $I_{LOOP}$ 、Figure 14 を参照) を流します。この結果、325mV の差動出力電圧が生じます。コンパレータの出力は、プリント基板のトラックに接続します。これらのトラックは、差動伝送ラインと見なすことができます。差動負荷抵抗は、伝送ラインの端で高周波終端として機能します。これは、適切な信号動作のためには、プリント基板のトラックも 100 の特性インピーダンスに対応した寸法にする必要があることを意味します。負荷抵抗を変更しても、伝送ラインのインピーダンスが変化します。伝送ラインと終端の詳細については、次のセクションで説明します。100 終端抵抗を通る信号は、データを処理する後段の回路の入力に供給されます。もちろん、入力回路へのすべての接続に、コンパレータの出力からの電流が流れます。負荷抵抗に平衡入力接続されている場合、電流  $I_p$  は両方の出力接続点からグラウンドに流れ込みます。LMH7220 の電流をソースする能力は、シンクする場合よりはるかに優れていることに注意してください。接続された入力回路は、コンパレータの出力に対する差動負荷も生成します (Figure 14 参照)。これは、終端抵抗の両端の電圧が公称値と異なる原因になります。

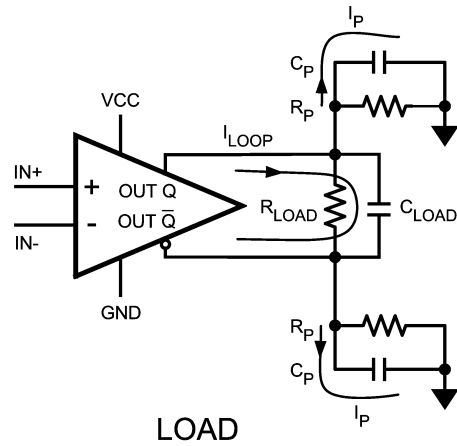


FIGURE 15. Load

一般に、単一の接続では流れ込む電流は数  $\mu A$  であり、LVDS 出力電圧への影響はほとんどありません。1 つの出力ペアに複数の入力がある場合、負荷電流は ANSI または IEEE LVDS 規格の規定制限值を超えてはなりません。 $V_{OD}$  が規定値より低い場合、後段の回路の動作が不確実になります。ただし、通常の条件ではこれを心配する必要はありません。このほかの実践上のポイントは、負荷容量です。容量は差動方式で与えられ ( $C_{LOAD}$ )、またグラウンド ( $C_P$ ) にも与えられます。これらのすべての容量は、パルス形状に影響します。出力パルスのエッジのタイミングが緩慢になり、その結果遷移の検出が少し遅くなります。プローブを使った測定では、この影響に注意してください。シングルエンドも差動プローブも、どちらにもこれらの容量があります。標準プローブは、一般に約 8 ~ 10pF の負荷容量を持ちます。これは、パルス形状を多少劣化させ、時間遅延が長くなる原因になります。

伝送ラインと終端技術

LMH7220 は LVDS 技術を使用します。LVDS は、低電圧スイングと低消費電力によるデータ通信の方法です。今日、データレートを増やすには高速化が必要です。データの接続は、同じプリント基板上の IC 間だけでなく、多くの場合、ボード間、または装置間でも行われます。接続する距離が短い場合も長い場合も、消費電力が小さく、高速のデータレートを処理可能な信頼性の高い接続が必要となります。LVDS は、差動信号プロトコルを用いています。シングルエンド信号伝送と比較した場合の利点は、同相ノイズに対する耐性が高いことです。同相信号は両方のラインで同等に現れる信号であり、受信器は双方のラインの差のみを検知するので、同相ノイズは打ち消されます。

## アプリケーション情報 (つづき)

### 最大ビットレート

高速回路では、立ち上がり / 立ち下がり時間は非常に重要な仕様です。実際、これらの時間によりデバイスの最大トグル・レート (TR) が決まります。LVDS 規格では、この時間を 0.26 ~ 1.5ns と指定します。立ち上がり / 立ち下がり時間は通常、信号の振幅の 20% と 80% の位置 (60% の差) で指定されます。TR は、差動出力電圧が公称値の 50% に降下する時点のビットレートとして定義されます。

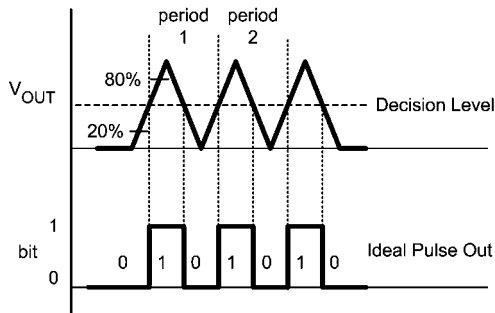


FIGURE 16. Bitrate

### 伝送ラインの終端の必要性

80 年代と 90 年代に、ナショナル セミコンダクターは 100K ECL ロジック・ファミリを製造しました。立ち上がり / 立ち下がり時間の仕様は 0.75ns であり、非常に高速でしたが、信号に使用する伝送ラインと終端に十分な注意を払わないと、デジタル回路に簡単にエラーが発生します。旧来のプリント基板の技術で ECL を使用する設計者に役立つように、立ち上がり / 立ち下がり時間の仕様が 2ns の 10K ECL ファミリが導入されました。これは比較的低速で使いやすいファミリです。LVDS 信号の遷移時間は、最速の ECL ファミリより高速です。伝送と終端に RF 技術を使用し、注意してプリント基板の設計を行う必要があります。伝送ラインを構成するには、いくつかの方法があります。最も一般的に使用されるタイプは、同軸ケーブルと電話線用のツイストペア・ケーブルです (Figure 16 を参照)。

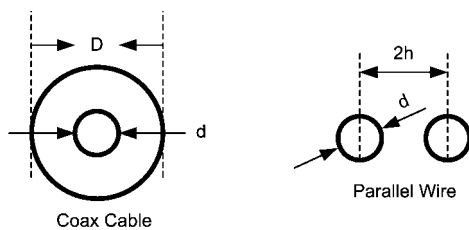
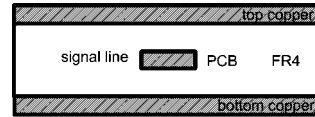


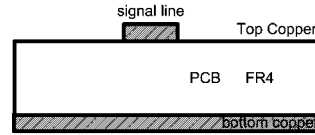
FIGURE 17. Cable Configuration

これらのケーブルの特性インピーダンスは、形状パラメータで決まります。同軸ケーブルで幅広く使用されているインピーダンスは、50 と 75 です。ツイストペア・ケーブルのインピーダンスは約 120 ~ 150 です。

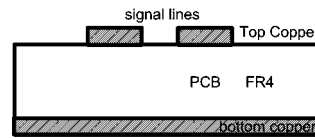
伝送ラインの他のタイプとして、ストリップ・ラインとマイクロストリップ・ラインがあります。ストリップ・ラインとマイクロストリップ・ラインは、プリント基板で使用されます。これらの特性インピーダンスは、金属グラウンド・プレーン上に配置したトラックの物理的な寸法で決まります (Figure 17 を参照)。



stripline



Microstrip



differential microstrip

FIGURE 18. PCB Transmission Lines

### 差動マイクロストリップ・ライン

LVDS 信号に理想的な伝送ラインは差動マイクロストリップ・ラインです。これは狭い間隔でマイクロストリップ・ラインが 2 本並んでいるものです。2 本のラインが強く結合し、これにより主に特性インピーダンスが決まります。マイクロストリップ・ラインが銅箔パターン上に配線されていることは、差動インピーダンスに影響せず、CM 容量が付加されるだけです。上の各構造は固有の形状パラメータを持つので、各構造について正しいインピーダンスを計算する式は異なります。これらの伝送ラインの計算方法については、ナショナル セミコンダクターのウェブサイトを参照するか、RAPIDESIGNER を気軽にご覧ください。関連する式が「LVDS オーナーズ・マニュアル」の第 3 章に掲載されています。伝送ラインの端には、伝送ライン自体と同じインピーダンスを持つ終端が必要です。ラインのインピーダンスの大きさには関係ありません。負荷が同じ値の場合、反射は発生しません。伝送ラインを持つプリント基板を設計するときにはスペースが重要な要素となります。特に高密度基板の場合は重要さが増します。マイクロストリップ・ラインが 1 本の場合は、特定のインピーダンスと基板材質に対してライン幅は一定です。異なるライン幅を使用すると、インピーダンスが変化します。

### 差動マイクロストリップの利点

伝送ラインのインピーダンスは、常にその形状パラメータで決まります。これは、差動マイクロストリップ・ラインにも当てはまります。この種の伝送ラインを使用する場合、主にトラックの距離によりインピーダンスが決まります。したがって、プリント基板のメーカーでトラック間隔が小さく信頼性の高い基板を製造可能な場合は、特定のインピーダンスに対するトラック幅も小さくなります。間隔が広がるほど、特定のインピーダンスを得るために必要なトラックも広くなります。例えば、幅 0.2mm で間隔 0.1mm のトラック 2 本は、幅 0.8mm で間隔 0.4mm のトラック 2 本と同じインピーダンスになります。ハイエンドのプリント基板プロセスでは、幅が非常に狭い差動マイクロストリップ伝送ラインを設計できます。このような現象を活用して、物理的な寸法に合わせて受信部品や終端抵抗に最適な接続を作成することを推奨します。コンパレータに示すように、終端抵抗はラインの遠い側に接続する必要があります。終端抵抗の後のオープン接続 (受信器の入力への接続など) は、できる限り短くする必要があります。このような接続に許容される長さは、受信する遷移によって異なります。遷移が高速になるほど、信号劣化を防ぐためにオープン・ラインを短くする必要があります。

#### プリント基板レイアウトの考慮事項と部品定数の選定

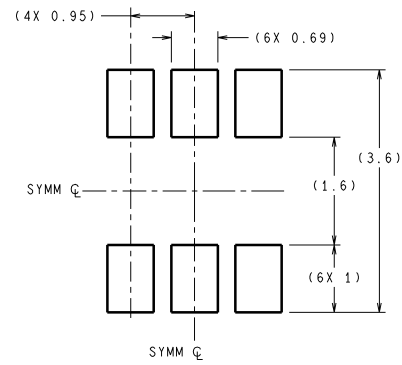
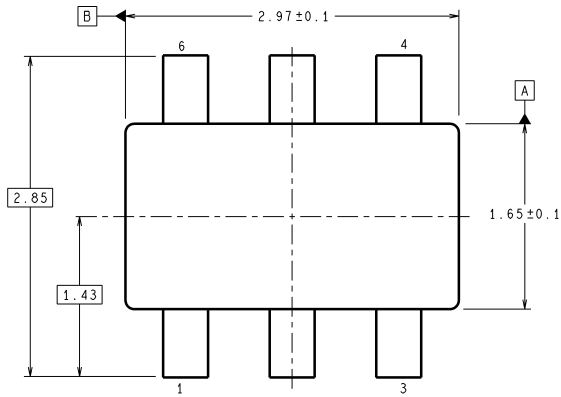
高周波回路の設計では、この用途に合わせて特別に設計された能動素子と受動素子を選択する必要があります。LMH7220は、表面実装設計向けの2種類の小型パッケージとして製造されています。信頼性の高い高速回路を設計するには、小型の表面実装受動素子を使用することも強く推奨します。理由は、パッケージにプリント基板接続用のリード線がないので、寄生容量とインダクタンスが低いからです。例えば、標準的なスルーホール抵抗を使用しても数百 MHz の周波数を扱うアンプ回路は構成できますが、この目的には表面実装デバイスのほうが適切です。また、プリント基板が、単に部品を搭載し部品を接続するだけの媒体ではない点も重要です。基板は、それ自体が部品の1つであり、その結果基板が持つ高周波特性によって回路全体の性能が左右されます。各デカップリング・コンデンサやその他のグラウンド接続に低インピーダンスのパスを与える目的で、高周波回路に少なくとも1層のグラウンド・プレーンを設けることが優れた設計方法です。基板上の伝送ラインのインピーダンスが、接続するケーブルと同じになるように、特に注意する必要があります。多くのシングルエンド・アプリケーションのインピーダンスは 50 (ビデオとケーブル TV

は 75 ) です。このように低インピーダンスのシングルエンド・マイクロストリップ伝送ラインには、標準的な両面基板では通常よりかなり広い配線 (2 ~ 3mm) を使用します。さらに、入力と出力が互いから「見えない」ようにすることも重要です。基板上に入力と出力のトラックを微小間隔で並行に配線すると、特に信号レベルの差が大きい場合に問題が発生します。さらに部品は、PCB 表面に平坦に、かつできるだけ低く配置してください。高周波では、長いリード線はコイル、コンデンサ、またはアンテナとして働くことがあります。ペアのリード線は変圧器になります。十分な注意を払ってプリント基板を設計することにより、発振、リンギング、その他の好ましくない挙動を低減できます。超高周波回路では表面実装部品のみが性能的に許容されます。詳細は「アプリケーション・ノート OA-15」を参照してください。

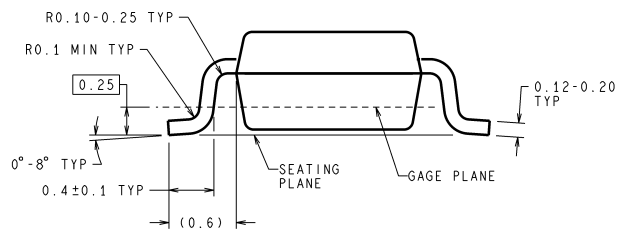
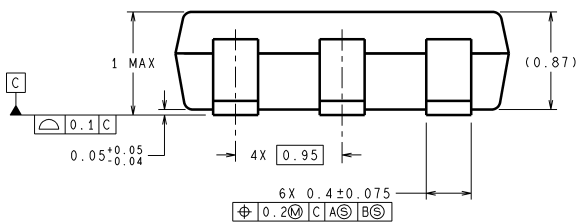
ナショナル セミコンダクターでは、高周波レイアウトのガイドラインとして、またデバイスのテストと特性評価用ボードとして、次の評価用ボードの使用を推奨しています。

LMH730220/551012993-002 Rev A

外形寸法図 単位は millimeters



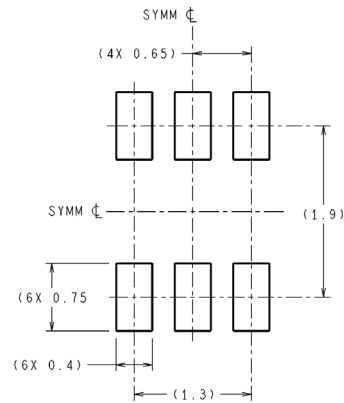
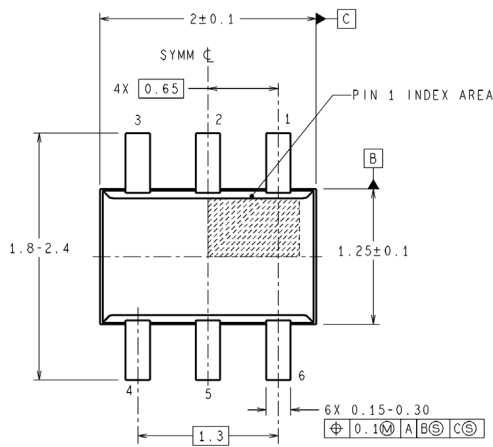
RECOMMENDED LAND PATTERN



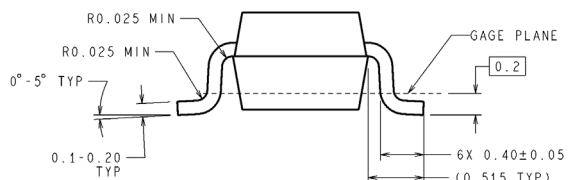
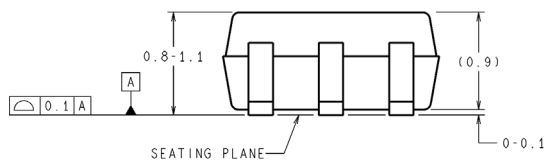
DIMENSIONS ARE IN MILLIMETERS

MK06A (Rev D)

**6-Pin TSOT  
NS Package Number MK06A**



LAND PATTERN RECOMMENDATION



DIMENSIONS ARE IN MILLIMETERS  
DIMENSIONS IN ( ) FOR REFERENCE ONLY

MAA06A (Rev B)

**6-Pin SC-70  
NS Package Number MAA06A**

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

#### 生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2008 National Semiconductor Corporation

製品の最新情報については [www.national.com](http://www.national.com) をご覧ください。

## ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

[www.national.com/jpn/](http://www.national.com/jpn/)

# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated (TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2012, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上