

LP38511-ADJ

*LP38511-ADJ 800mA Fast-Transient Response Adjustable Low-Dropout Linear
Voltage Regulator*



Literature Number: JAJSA2

LP38511-ADJ

800mA 高速過渡応答、可変低ドロップアウト・リニア電圧レギュレータ

概要

LP38511-ADJ 高速過渡応答低ドロップアウト電圧レギュレータは、デジタル・コア電源に要求される高い AC および DC 精度を満たす最高レベルの性能を実現します。LP38511-ADJ は独自の制御ループにより、入力電圧変動および負荷要求の変動にきわめて高速な応答を可能にします。入力電圧変動、負荷変動、全温度範囲 (-40°C ~ $+125^{\circ}\text{C}$) に対して 2.5% の出力電圧 DC 精度が保証されます。LP38511-ADJ は 2.5V、3.3V、5.0V 電源レールからの入力に最適で、 $10\mu\text{F}$ セラミック・コンデンサで安定し、出力電圧は外付け抵抗により設定できます。LP38511-ADJ は、サーバ、ルータ、交換機、基地局といったハイインテンシブなアプリケーションに見られる高性能のデジタル・コア向けの ASIC、DSP、FPGA の要求を満たす優れた過渡特性を提供します。

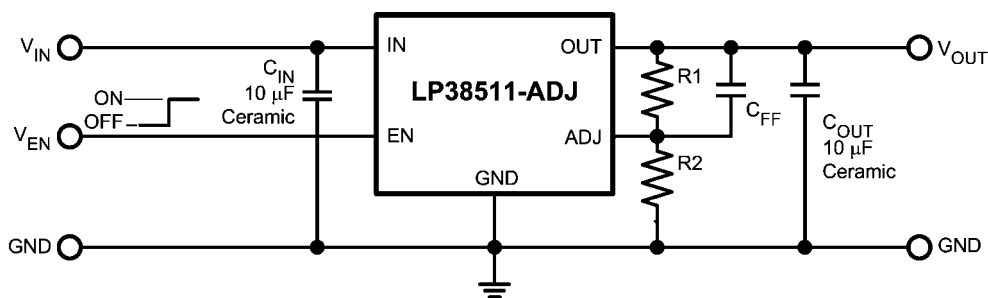
特長

- 2.25V ~ 5.5V の入力電圧範囲
- 0.5V ~ 3.3V の可変出力電圧範囲
- 800mA 出力負荷電流
- 入力電圧変動、負荷変動、全温度範囲 (-40°C ~ $+125^{\circ}\text{C}$) に対して $\pm 2.0\%$ の精度
- $10\mu\text{F}$ セラミック・コンデンサで安定
- イネーブル・ピン
- イネーブル・ピンが Low のときのグラウンド・ピン電流の代表値は $1\mu\text{A}$ 以下
- 100kHz での PSRR が 25dB
- 過熱 / 過電流保護
- PSOP-8 および TO-263 薄型表面実装パッケージ

アプリケーション

- デジタル・コア向け ASIC、FPGA、DSP
- サーバ
- ルータおよび交換機
- 基地局
- ストレージ・エリア・ネットワーク (SAN)
- DDR2 メモリ

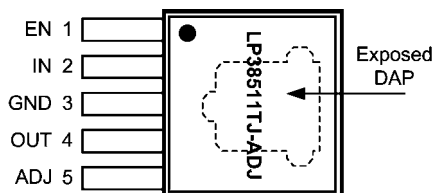
代表的なアプリケーション回路



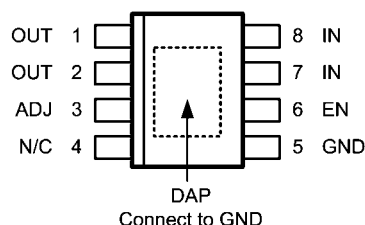
製品情報

Output Voltage	Order Number	Package Type	Package Marking	Supplied As
ADJ	LP38511MR-ADJ	PSOP-8	LP38511MR-ADJ	Rail
	LP38511MRX-ADJ	PSOP-8	LP38511MR-ADJ	Tape and Reel
	LP38511TJ-ADJ	TO-263 THIN	LP38511TJ-ADJ	Tape and Reel

ピン配置図



Top View
TO-263 THIN Package



Top View
PSOP 8 Pin Package

TO-263 薄型 (TJ) パッケージのピン説明

ピン番号	ピン名称	機能
1	EN	イネーブル。出力をイネーブルにするとき High にし、ディスエーブルにするとき Low にします。このピンには内部バイアスがなく、入力電圧に接続するか、アクティブに駆動する必要があります。
2	IN	電源入力ピン
3	GND	グラウンド
4	OUT	レギュレート出力電圧ピン
5	ADJ	出力電圧を設定するための内部エラー・アンプへのフィードバック
DAP	DAP	TO-263 薄型 DAP は、プリント基板の銅箔エリアの形で、デバイスの熱を外部ヒートシンクに放熱させるための熱的な接続として使用されます。DAP はダイの裏側に物理的に接続されています。DAP は内部的にデバイス・グラウンドに接続されます。DAP はグラウンド・プレーンの銅箔にハンダ付けします。

PSOP-8 (MR) パッケージのピン説明

ピン番号	ピン名称	機能
1, 2	OUT	レギュレート出力電圧ピン。ピン 1 とピン 2 は電流を共有し、互いに接続します。
3	ADJ	出力電圧を設定するための内部エラー・アンプへのフィードバック
4	N/C	内部接続なし
5	GND	グラウンド
6	EN	イネーブル。出力をイネーブルにするとき High にし、ディスエーブルにするとき Low にします。このピンには内部バイアスがなく、入力電圧に接続するか、アクティブに駆動する必要があります。
7, 8	IN	電源入力ピン。ピン 7 とピン 8 は電流を共有し、互いに接続します。
DAP	DAP	PSOP-8 DAP は、プリント基板の銅箔エリアの形で、デバイスの熱を外部ヒートシンクに放熱させるための熱的な接続として使用されます。DAP はダイの裏側に物理的に接続され、デバイス・グラウンドと内部で接続されていません。DAP はグラウンド・プレーンの銅箔にハンダ付けします。

絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電気的信頼性試験方法の規格を参照ください。

保存温度範囲	- 65 °C ~ + 150 °C
ハンダ付け実装温度 (Note 3)	
薄型 TO-263	260 °C、10s
PSOP-8	260 °C、10s
ESD 耐圧 (Note 2)	± 2kV
消費電力 (Note 4)	内部制限
入力ピン電圧 (最大)	- 0.3V ~ + 6.0V
イネーブル・ピン電圧 (最大)	- 0.3V ~ + 6.0V
出力ピン電圧 (最大)	- 0.3V ~ + 6.0V
ADJピン電圧 (最大)	- 0.3V ~ + 6.0V
I _{OUT} (最大)	内部制限

動作定格 (Note 1)

入力電源電圧、V _{IN}	2.25V ~ 5.5V
出力電圧、V _{OUT}	V _{ADJ} ~ 5V
イネーブル入力電圧、V _{EN}	0.0V ~ 5.5V
出力電流 (DC)	1mA ~ 800mA
接合部温度 (Note 4)	- 40 °C ~ + 125 °C

電気的特性

特記のない限り、以下の規格値は V_{IN} = 2.50V、V_{OUT} = V_{ADJ}、I_{OUT} = 10mA、C_{IN} = 10 μF、C_{OUT} = 10 μF、V_{EN} = 2.0V を条件としています。標準字体で記載されたリミット値は T_J = 25 °C の場合に限りです。太字で記載されたリミット値は - 40 °C ~ + 125 °C の接合部温度 (T_J) 範囲にわたって適用されます。最小 / 最大リミット値は、試験、設計、または統計的相関によって保証されます。代表値 (Typ) は T_J = 25 °C での最も標準的なパラメータ値を表しますが、参考として示す以外の目的はありません。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
V _{ADJ}	V _{ADJ} Accuracy (Note 7)	2.25V ≤ V _{IN} ≤ 5.5V 10 mA ≤ I _{OUT} ≤ 800 mA	495.0 490.0	500.	505.0 510.0	mV
I _{ADJ}	ADJ Pin Bias Current	2.25V ≤ V _{IN} ≤ 5.5V	-	1	-	nA
ΔV _{ADJ} /ΔV _{IN}	V _{ADJ} Line Regulation (Notes 5, 7)	2.25V ≤ V _{IN} ≤ 5.5V	-	0.03 0.06	-	%/V
ΔV _{ADJ} /ΔI _{OUT}	V _{ADJ} Load Regulation (Notes 6, 7)	10 mA ≤ I _{OUT} ≤ 800 mA	-	0.10 0.20	-	%/A
V _{DO}	Dropout Voltage (Note 8)	I _{OUT} = 800 mA	-	-	260	mV
I _{GND}	Ground Pin Current, Output Enabled	I _{OUT} = 10 mA	-	7.5	11 12	mA
		I _{OUT} = 800 mA	-	9	11 13	
	Ground Pin Current, Output Disabled	V _{EN} = 0.50V	-	0.1	3.5 12	μA
I _{SC}	Short Circuit Current	V _{OUT} = 0V	-	1.5	-	A

Enable Input

V _{EN(ON)}	Enable ON Voltage Threshold	V _{EN} rising from <0.5V until V _{OUT} = ON	0.90 0.80	1.20	1.50 1.60	V
V _{EN(OFF)}	Enable OFF Voltage Threshold	V _{EN} falling from 1.6V until V _{OUT} = OFF	0.60 0.50	1.00	1.40 1.50	V
V _{EN(HYS)}	Enable Voltage Hysteresis	V _{EN(ON)} - V _{EN(OFF)}	-	200	-	mV
I _{EN}	Enable Pin Current	V _{EN} = V _{IN}	-	1	-	nA
		V _{EN} = 0V	-	-1	-	
t _{d(OFF)}	Turn-off delay	Time from V _{EN} < V _{EN(OFF)} to V _{OUT} = OFF, I _{LOAD} = 800 mA	-	1	-	μs
t _{d(ON)}	Turn-on delay	Time from V _{EN} > V _{EN(ON)} to V _{OUT} = ON, I _{LOAD} = 800 mA	-	25	-	

電気的特性 (つづき)

特記のない限り、以下の規格値は $V_{IN} = 2.50V$ 、 $V_{OUT} = V_{ADJ}$ 、 $I_{OUT} = 10mA$ 、 $C_{IN} = 10\mu F$ 、 $C_{OUT} = 10\mu F$ 、 $V_{EN} = 2.0V$ を条件としています。標準字体で記載されたリミット値は $T_J = 25^\circ C$ の場合に限りです。太字で記載されたリミット値は $-40^\circ C \sim +125^\circ C$ の接合部温度 (T_J) 範囲にわたって適用されます。最小 / 最大リミット値は、試験、設計、または統計的相関によって保証されます。代表値 (Typ) は $T_J = 25^\circ C$ での最も標準的なパラメータ値を表しますが、参考として示す以外の目的はありません。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
AC Parameters						
PSRR	Ripple Rejection	$V_{IN} = 2.5V$ $f = 120Hz$	-	73	-	dB
		$V_{IN} = 2.5V$ $f = 1kHz$	-	70	-	
$\rho_{n(f)}$	Output Noise Density	$f = 120Hz$	-	0.4	-	$\mu V/\sqrt{Hz}$
e_n	Output Noise Voltage	BW = 10Hz - 100kHz	-	25	-	μV_{RMS}
Thermal Characteristics						
T_{SD}	Thermal Shutdown	T_J rising	-	165	-	$^\circ C$
ΔT_{SD}	Thermal Shutdown Hysteresis	T_J falling from T_{SD}	-	10	-	
θ_{J-A}	Thermal Resistance Junction to Ambient (Note 4)	PSOP-8	-	168	-	$^\circ C/W$
		TO-263 THIN	-	67	-	
θ_{J-C}	Thermal Resistance Junction to Case	PSOP-8	-	11	-	$^\circ C/W$
		TO-263 THIN	-	2	-	

Note 1: 絶対最大定格とは、デバイスに破壊が発生する可能性のある制限値のことです。動作定格とは IC が動作する条件を示し、特定の性能リミット値を保証するものではありません。保証仕様と条件については、「電気的特性」を参照してください。

Note 2: 使用した試験回路は、人体モデルでは 100pF のコンデンサから 1.5k Ω の抵抗を通じて各ピンに放電します。試験は JESD22-A114 に基づいて行います。

Note 3: 表面実装デバイス (SMD) パッケージのリフロー・プロファイルおよび条件については、JEDEC J-STD-020C を参照してください。特記のない限り、温度および時間は Sn-Pb (STD) のみを対象にしています。

Note 4: デバイスの動作は、周囲温度 (T_A)、消費電力 (P_D)、動作時の最大許容接合部温度 ($T_{J(MAX)}$)、およびパッケージの熱抵抗 (θ_{JA}) に基づいて評価し、必要に応じてデレーディングする必要があります。与えられている代表的な θ_{JA} 定格は、2 層 PCB (EIA/JESD51-3) の最小ランド・エリアに基づくワーストケース値です。詳細については、「消費電力と放熱」を参照してください。

Note 5: ライン・レギュレーションは、入力側の電圧の変化による V_{ADJ} の公称値からの変化として定義されます。

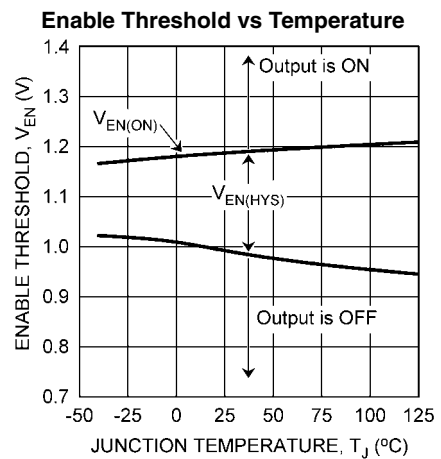
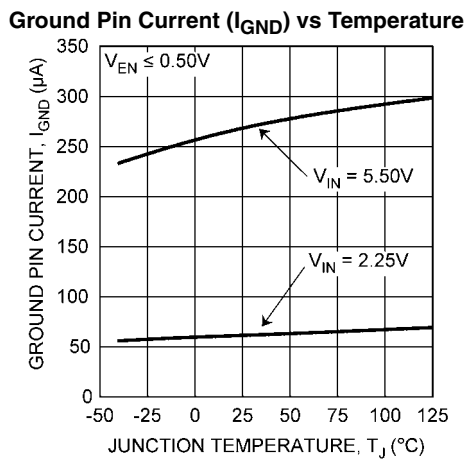
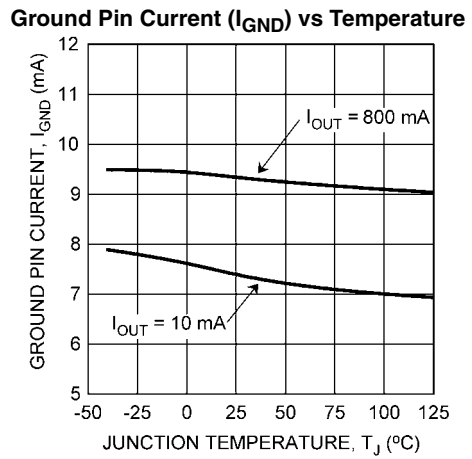
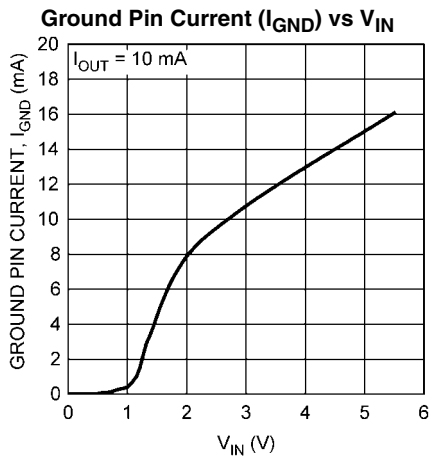
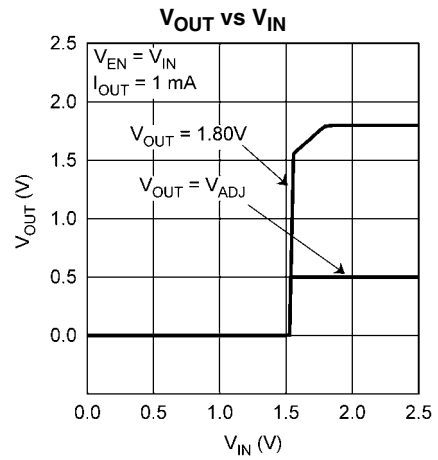
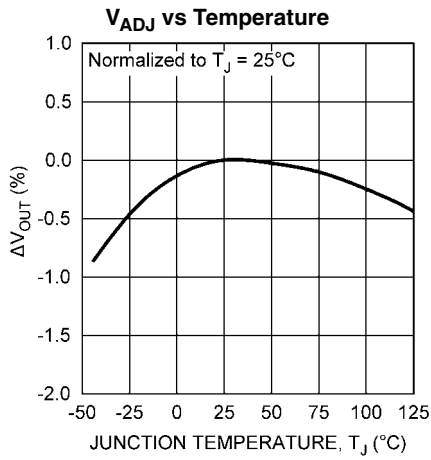
Note 6: ロード・レギュレーションは、出力側の負荷電流の変化による V_{ADJ} の公称値からの変化として定義されます。

Note 7: ラインおよびロード・レギュレーションの仕様には、代表値のみが示されています。ラインおよびロード・レギュレーションのリミット値は、許容出力電圧の仕様に含まれています。

Note 8: ドロップアウト電圧 (V_{DO}) は、入力電圧が低下することにより出力電圧が 2% 低下した場合の、入力と出力電圧の差 ($V_{IN} - V_{OUT}$) で定義されます。LP38511-ADJ では、設定されている出力電圧の代表値が 1.80V 未満の場合、最小動作電圧が 2.25V という制約があります。

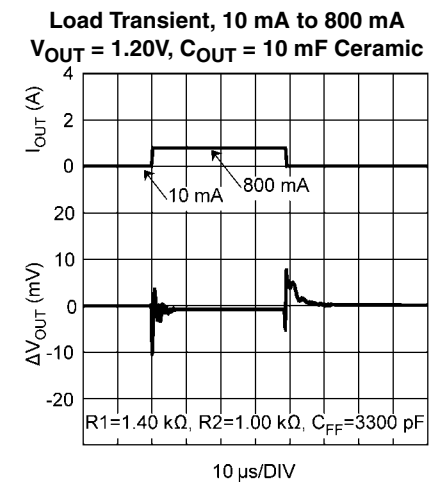
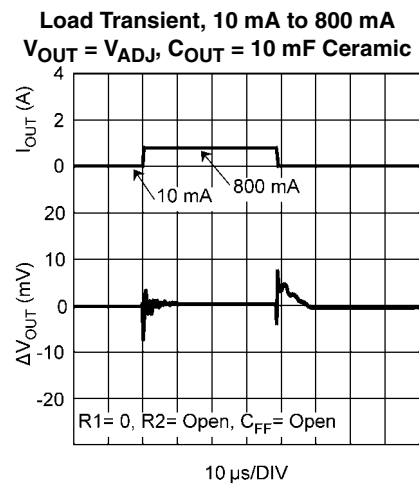
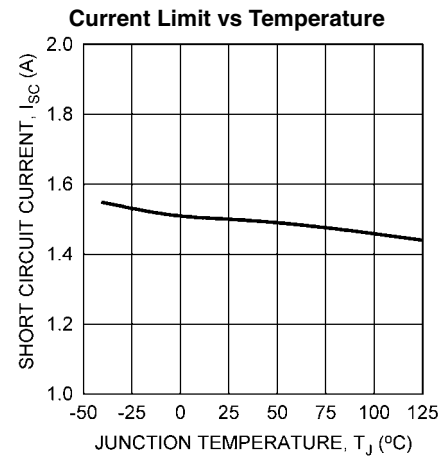
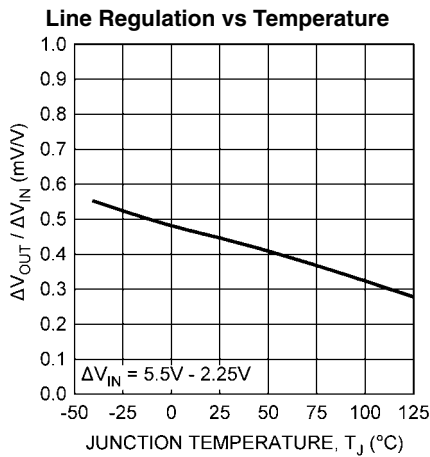
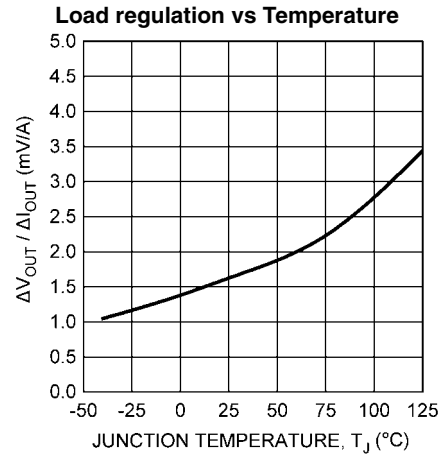
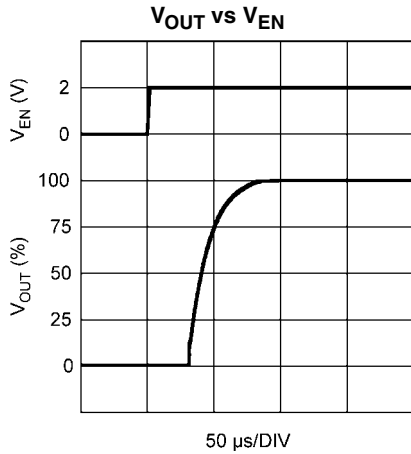
代表的な性能特性

特記のない限り、 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = 2.50\text{V}$ 、 $V_{OUT} = V_{ADJ}$ 、 $V_{EN} = 2.0\text{V}$ 、 $C_{IN} = 10\mu\text{F}$ 、 $C_{OUT} = 10\mu\text{F}$ 、 $I_{OUT} = 10\text{mA}$ を条件としています。



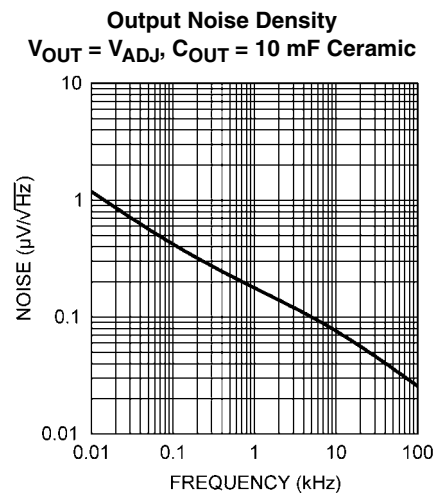
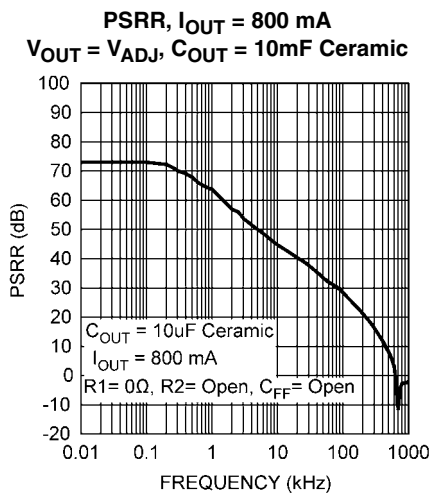
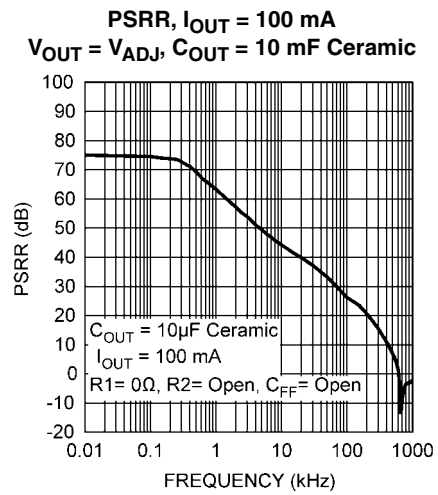
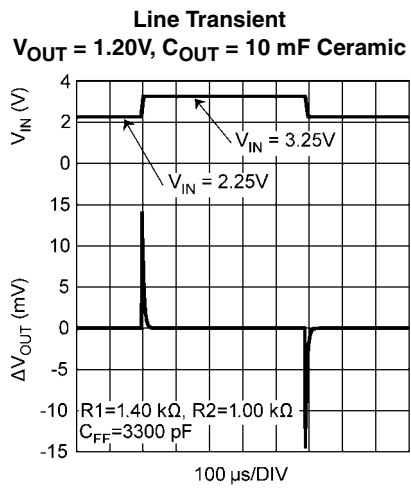
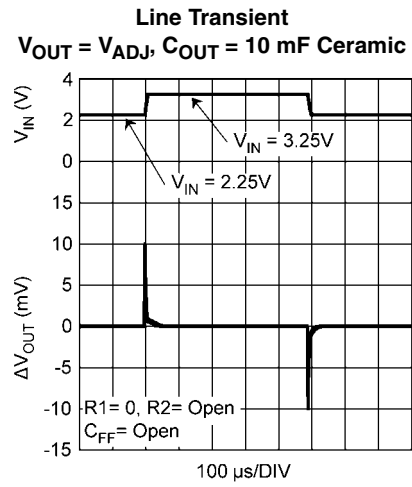
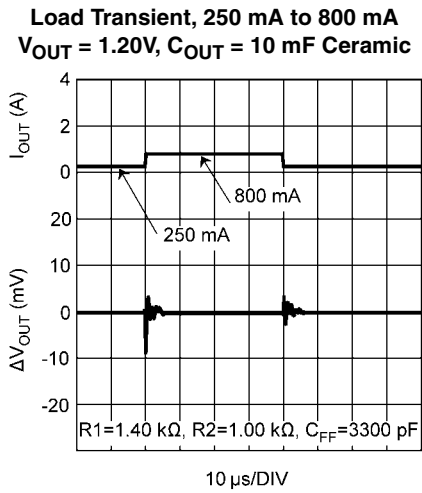
代表的な性能特性 (つづき)

特記のない限り、 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = 2.50\text{V}$ 、 $V_{OUT} = V_{ADJ}$ 、 $V_{EN} = 2.0\text{V}$ 、 $C_{IN} = 10\ \mu\text{F}$ 、 $C_{OUT} = 10\ \mu\text{F}$ 、 $I_{OUT} = 10\text{mA}$ を条件としています。

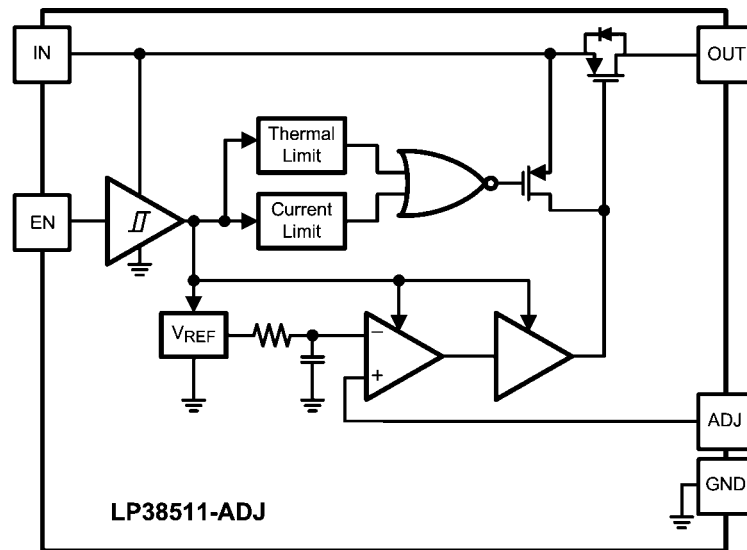


代表的な性能特性 (つづき)

特記のない限り、 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = 2.50\text{V}$ 、 $V_{OUT} = V_{ADJ}$ 、 $V_{EN} = 2.0\text{V}$ 、 $C_{IN} = 10\ \mu\text{F}$ 、 $C_{OUT} = 10\ \mu\text{F}$ 、 $I_{OUT} = 10\text{mA}$ を条件としています。



ブロック図



アプリケーション情報

外付けコンデンサ

他の低ドロップアウト・レギュレータと同様に、安定した動作を得るためには外付けコンデンサが必要です。デバイスの性能を引き出すために適切な外部コンデンサを選択してください。

入力コンデンサ

10 μ F 以上のセラミック入力コンデンサが必要です。あらゆる負荷電流や動作条件でデバイスを汎用的に使うには、10 μ F セラミック入力コンデンサが満足のいく性能を發揮します。

出力コンデンサ

ループの安定性のため、出力ピンでは 10 μ F 以上のセラミック・コンデンサが必要です。デバイスからの距離が 1cm 未満の位置に配置し、その他の電流は一切流れない配線パターンを使用して出力ピンとグラウンド・ピンに直接接続する必要があります。10 μ F 以上のセラミックという条件を満たしていれば、追加容量に対する制限は一切ありません。

動作温度範囲および電圧範囲に対する容量変化率が $\pm 20\%$ と小さい X7R 特性 (温度範囲 $-55^{\circ}\text{C} \sim +125^{\circ}\text{C}$ で容量変化率 $\pm 15\%$) および X5R 特性 (温度範囲 $-55^{\circ}\text{C} \sim +85^{\circ}\text{C}$ で容量変化率 $\pm 15\%$) の誘電体を用いたセラミック・コンデンサの使用を強く推奨します。当然ですが、電圧定格と容量定格が同じ場合、X7R 品 / X5R 品は Z5U / Y5V 品よりも寸法が大きく、また価格も高くなります。

Z5U 特性 (温度範囲 $+10^{\circ}\text{C} \sim +85^{\circ}\text{C}$ で容量変化率 $-56\% \sim +22\%$)、Y5V 特性 (温度範囲 $-30^{\circ}\text{C} \sim +85^{\circ}\text{C}$ で容量変化率 $-82\% \sim +22\%$) の誘電体を用いたセラミック・コンデンサは、印加する電圧によって容量が大きく低下するため、推奨しません。一般的な Z5U および Y5V タイプのセラミック・コンデンサは、定格電圧の 1/2 の電圧を印加したときに、容量は定格容量の 60% 低下します。また、Z5U と Y5V は温度の影響も大きく、温度範囲の上限または下限で 50% 以下の容量となります。

逆方向電圧

出力ピンの電圧が入力ピンの電圧よりも高い場合に逆方向電圧状態が存在します。通常このような状態は、 V_{IN} が突然低下

し、 C_{OUT} には入力電圧と出力電圧を逆転させる十分な電荷が残っている場合に発生します。それほど一般的ではありませんが、出力に代替電圧電源が接続されるときにもこのような状態が発生する場合があります。

逆方向電圧状態のときに電流が出力ピンから入力に戻るのに 2 つの可能な経路があります。

V_{IN} が制御回路を通電状態にしておくのに十分で、かつイネーブル・ピンの電圧が $V_{EN(ON)}$ スレッショルドを超えている場合、制御回路は出力電圧をレギュレートしようとし、設定されている出力電圧よりも入力電圧が小さいため、制御回路はパス素子のゲートをフルオン状態まで駆動し、出力電圧が低下しはじめます。この状態で、出力ピンから入力ピンに向けて逆電流が流れます。その値は、パス素子のオン抵抗 $R_{DS(ON)}$ と入力と出力電圧の差のみで決まります。最大 1000 μ F の出力コンデンサまでならば電流が急速に減衰するため、この方法によって放電してもデバイスを損傷することはありません。ただし、定常的な逆電流は避けてください。イネーブルが Low であると、この状態は回避されます。

LP38511-ADJ 内部の PFET パス素子には、寄生ダイオードが存在しています。通常動作時には、入力電圧は出力電圧より高く、寄生ダイオードは逆バイアス状態です。しかし、出力電圧と入力電圧の差が 500mV (typ) を超える場合は、寄生ダイオードは順方向バイアスとなり、電流はダイオードを通じて出力ピンから入力ピンに流れます。寄生ダイオードの電流は、1A 連続および 5A ピーク未満に制限する必要があります。

レギュレータの負荷のリターン側が負電源に接続される土両電源システムで使用する場合は、出力ピンはグラウンドにダイオード・クランプしなければなりません。この保護クランプにはショットキ・ダイオードを使用することを推奨します。

短絡保護機能

LP38511-ADJ は短絡保護機能を備えており、過電流状態が起こると短絡制御ループが速やかに出力パス・トランジスタの PMOS を遮断します。PMOS を介した電源出力経路がシャットダウンされると、平均消費電力がサーマル・シャットダウン回路を動作させて長い周期での繰り返しオン/オフを自動制御するようになるまでの間、短絡制御ループが短い周期で出力を繰り返しオン/オフします。消費電力の計算については、「消費電力と放熱」の項を参照してください。

アプリケーション情報 (つづき)

出力電圧の設定

出力電圧は外付けの抵抗分圧回路 R1 および R2 によって設定します。出力電圧は次の公式により求められます。

$$V_{OUT} = V_{ADJ} \times (1 + (R1/R2))$$

R1 と R2 として使用する抵抗は高品質で許容誤差の小さく、温度係数が一致したものを使用してください。V_{ADJ} の値は保証されるものの、V_{OUT} の最終値は保証されないことを念頭に入れることが重要です。R1 と R2 に低品質の抵抗を使用すると、V_{OUT} は容易に許容値を外れます。

また R1 と R2 の値は、並列等価抵抗値が 1.00kΩ 未満となるように選択することを推奨します。これは、ADJ ピンの内部寄生容量によって、デバイスの安定性に影響を及ぼしかねない、望ましくない位相シフトが発生する可能性を減らすためです。

$$((R1 \times R2) / (R1 + R2)) \leq 1.00k\Omega$$

フィード・フォワード・コンデンサ、CFF

C_{OUT} にセラミック・コンデンサを使用すると ESR の代表値が小さいため、ゲイン・ループの負の内部位相シフトを打ち消すのに十分な正の位相補償 F_Z を得られません。

$$F_Z = 1 / (2 \times \pi \times C_{OUT} \times ESR)$$

ゲイン抵抗 R1 の両端間に接続したコンデンサによってさらに位相余裕が得られ、デバイスの負荷過渡応答が改善されます。R1 に並列に接続されたこのコンデンサ C_{FF} は、次式で与えられるループ応答にゼロを与えます。

$$F_Z = 1 / (2 \times \pi \times C_{FF} \times R1)$$

最適な過渡応答を得るためには、ゼロ周波数 F_Z が 20kHz ~ 40kHz の間となるように C_{FF} を選びます。

$$C_{FF} = 1 / (2 \times \pi \times R1 \times F_Z)$$

C_{FF} による位相進みは、DC ゲインが 1 に近づくか、あるいは V_{OUT} が V_{ADJ} に近づくにつれて減少します。これは C_{FF} によって次に示す周波数にポールが形成されるためです。

$$F_P = 1 / (2 \times \pi \times C_{FF} \times (R1 \parallel R2))$$

R1 が R2 よりも十分に大きく出力電圧が大きい場合は、ポールとゼロが非常に離れることに注意が必要です。出力電圧が低い場合、ポールとゼロ周波数は一致する方向に近づきます。C_{FF} によって得られる位相進みは出力電圧が小さくなるにつれて急激に減少し、V_{OUT} = V_{ADJ} になると効果がなくなります。したがって、この方法による位相補償を使用できるのは出力電圧が大きい場合のみになります。

Table 1 は、R1 および R2 に対する標準 ±1% の最適推奨抵抗値、C_{FF} に対する標準 ±10% の最適推奨容量値を V_{OUT} の各値について示したものです。同様の結果が得られる R1、R2、C_{FF} の値は、この他にもあります。

V _{OUT}	R1	R2	C _{FF}	F _Z
0.80V	1.07 kΩ	1.78 kΩ	4700 pF	31.6 kHz
1.00V	1.00 kΩ	1.00 kΩ	4700 pF	33.8 kHz
1.20V	1.40 kΩ	1.00 kΩ	3300 pF	34.4 kHz
1.50V	2.00 kΩ	1.00 kΩ	2700 pF	29.5 kHz
1.80V	2.94 kΩ	1.13 kΩ	1500 pF	36.1 kHz
2.00V	1.02 kΩ	340Ω	4700 pF	33.2 kHz
2.50V	1.02 kΩ	255Ω	4700 pF	33.2 kHz
3.00V	1.00 kΩ	200Ω	4700 pF	33.8 kHz
3.30V	2.00 kΩ	357Ω	2700 pF	29.5 kHz

抵抗の許容誤差が V_{OUT} の計算値に与える影響の詳細については、アプリケーション・ノート AN-1378「Method For Calculating Output Voltage Tolerances in Adjustable Regulators」を参照してください。

イネーブル動作

Enable ON スレッシュホールドは通常 1.2V、OFF スレッシュホールドは通常 1.0V です。信頼性の高い動作を実現するには、イネーブル・ピンの電圧の上は最大 V_{EN(ON)} スレッシュホールドを上回り、下は最小 V_{EN(OFF)} スレッシュホールドを下回らなければなりません。イネーブルのスレッシュホールドには、高いノイズ耐性を実現するために、通常 200mV のヒステリシスを持たせてあります。

イネーブル・ピン (EN) にはデフォルトの状態を設定するためのプルアップ回路やプルダウン回路は内蔵されていないため、アクティブまたはパッシブにこのピンを終端する必要があります。

イネーブル・ピンがシングルエンド・デバイス (ディスクリット・トランジスタのコレクタなど) から駆動される場合、正常な動作のため、V_{IN} にプルアップ抵抗を接続するか、またはグラウンドにプルダウン抵抗を接続する必要があります。EN ピンのデフォルトの状態を設定するプルアップ抵抗またはプルダウン抵抗として、1kΩ ~ 100kΩ の抵抗を使用できます。抵抗値については、浮遊容量に加え、外部シングルエンド・デバイスの漏れ電流を抑制できるものを選択してください。

イネーブル・ピンを (CMOS フルスイング・コンパレータ出力のように) アクティブ High またはアクティブ Low で駆動できる場合には、プルアップ抵抗またはプルダウン抵抗は必要ありません。

イネーブル機能が不要の場合は、隣接する V_{IN} ピンに直接このピンを接続します。

消費電力と放熱

最大消費電力 (P_{D(MAX)})、アプリケーションの最大周囲温度 (T_{A(MAX)})、パッケージの熱抵抗 (θ_{JA}) によってはヒートシンクが必要な場合があります。考えられるすべての条件下で、接合部温度 (T_J) は「動作定格」で規定されている範囲内でなければなりません。デバイスの合計許容損失の概算は、次式で与えられます。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} + (V_{IN} \times I_{GND})$$

I_{GND} はデバイスのグラウンド・ピン電流です (「電気的特性」で規定)。

最大許容接合部温度上昇 (ΔT_J) は、アプリケーションの予想される最大周囲温度 (T_{A(MAX)}) と最大許容接合部温度 (T_{J(MAX)}) に依存します。

$$\Delta T_J = T_{J(MAX)} - T_{A(MAX)}$$

アプリケーション情報 (つづき)

接合部から周囲に対する熱抵抗の最大許容値 θ_{JA} は、次式を用いて求められます。

$$\theta_{JA} = \Delta T_J / P_{D(MAX)}$$

LP38511-ADJ は、TO-263 薄型および PSOP-8 の表面実装パッケージで提供されます。TO-263 薄型パッケージと標準的な TO-263 パッケージの比較については、アプリケーション・ノート AN-1797「TO-263 薄型パッケージ」を参照してください。熱抵抗値は銅箔またはヒートシンクの面積、風速に依存します。ガイドラインについては、アプリケーション・ノート AN-1520「A Guide to Board Layout for Best Thermal Resistance for Exposed Packages」を参照してください。

TO-263 薄型 (TJ) パッケージの放熱

放熱のために TO-263 薄型パッケージの DAP を銅箔にハンダ付けします。TO-263 薄型パッケージは θ_{JA} の定格が $67^\circ\text{C}/\text{W}$ で、 θ_{JC} の定格が $2^\circ\text{C}/\text{W}$ です。 θ_{JA} の定格 $67^\circ\text{C}/\text{W}$ は、デバイスの DAP を両面 PCB の 1 オンス、面積 0.055 平方インチ (0.22 インチ \times 0.25 インチ) の銅箔にハンダ付けし、エアフローがない状態の値です。詳細については、JEDEC 規格 EIA/JESD51-3 を参照してください。

Figure 1 に、4 層の PCB をヒートシンクとして使用した場合の、露出 DAP の下のサーマル・ビア・カウントに対する TO-263 薄型パッケージの θ_{JA} 特性を示します。サーマル・ビアは露出 DAP のすぐ下にある銅箔エリアを第一の内層の銅箔プレーンだけに接続します。詳細については、JEDEC 規格 EIA/JESD51-5 および EIA/JESD51-7 を参照してください。

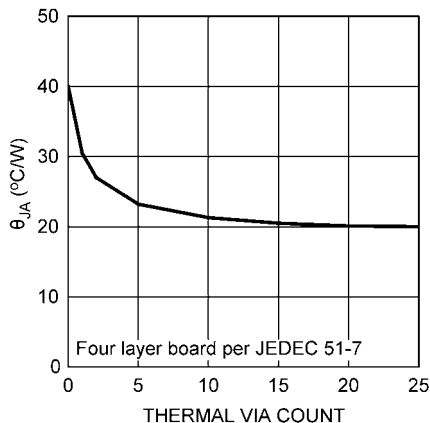


FIGURE 1. θ_{JA} vs Thermal Via Count for the TO-263 THIN Package on 4-Layer PCB

Figure 2 に、TO-263 薄型パッケージを、銅箔エリアが主に露出 DAP のすぐ下にある 2 層の PCB に実装したときの放熱特性を示します。図に示すように、銅箔エリアの面積は 1 平方インチあれば十分で、それ以上にしても改善はわずかです。

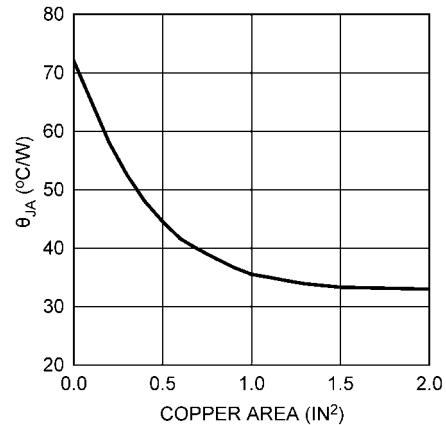


FIGURE 2. θ_{JA} vs Copper Area for the TO-263 THIN Package

PSOP-8 パッケージの放熱

放熱のために PSOP-8 パッケージの DAP を銅箔プレーンにハンダ付けします。LP38511MR パッケージは θ_{JA} の定格が $168^\circ\text{C}/\text{W}$ で、 θ_{JC} の定格が $11^\circ\text{C}/\text{W}$ です。 θ_{JA} の定格 $168^\circ\text{C}/\text{W}$ は、デバイスの DAP を 1 オンス、面積 0.008 平方インチ (0.09 インチ \times 0.09 インチ) の銅箔にハンダ付けし、エアフローがない状態の値です。詳細については、JEDEC 規格 EIA/JESD51-3 を参照してください。

Figure 3 に、4 層の PCB をヒートシンクとして使用した場合の、露出 DAP の下のサーマル・ビア・カウントに対する特性を示します。サーマル・ビアは露出 DAP のすぐ下にある銅箔エリアを第一の内層の銅箔プレーンだけに接続します。詳細については、JEDEC 規格 EIA/JESD51-5 および EIA/JESD51-7 を参照してください。

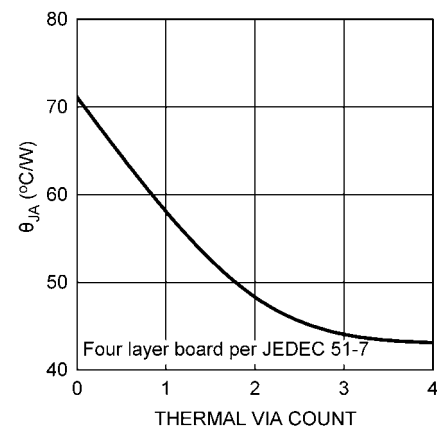


FIGURE 3. θ_{JA} vs Thermal Via Count for the PSOP-8 Package on 4-Layer PCB

Figure 4 に、2 層基板において、PCB の下部の銅箔エリアにサーマル・ビアを使用した場合の放熱特性を示します。PCB の上部の銅箔エリアは露出 DAP にハンダ付けされ、寸法は 0.10 インチ \times 0.20 インチです。これは、PSOP-8 パッケージ本体とほぼ同じ大きさです。PCB の下部の銅箔エリアは方形で、PSOP-8 パッケージのすぐ下に中心が置かれます。

アプリケーション情報 (つづき)

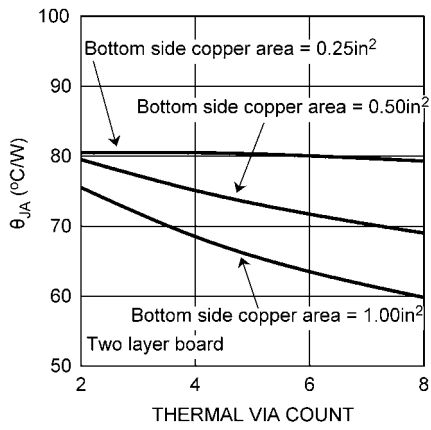


FIGURE 4. θ_{JA} vs Thermal Via Count for the PSOP-8 Package on 2-Layer PCB with Copper Area on Bottom-Side

Figure 5 に、2 層基板において、PCB の上部の銅箔エリアのみに DAP をハンダ付けした場合の放熱特性を示します。DAP にハンダ付けする銅箔エリアを、ドッグボーン形状のレイアウトを用いて 1 オンス、1 平方インチにまで広げると、 θ_{JA} の代表定格値が 98 °C/W になります。

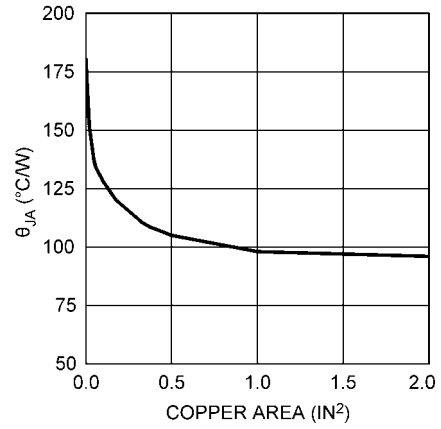
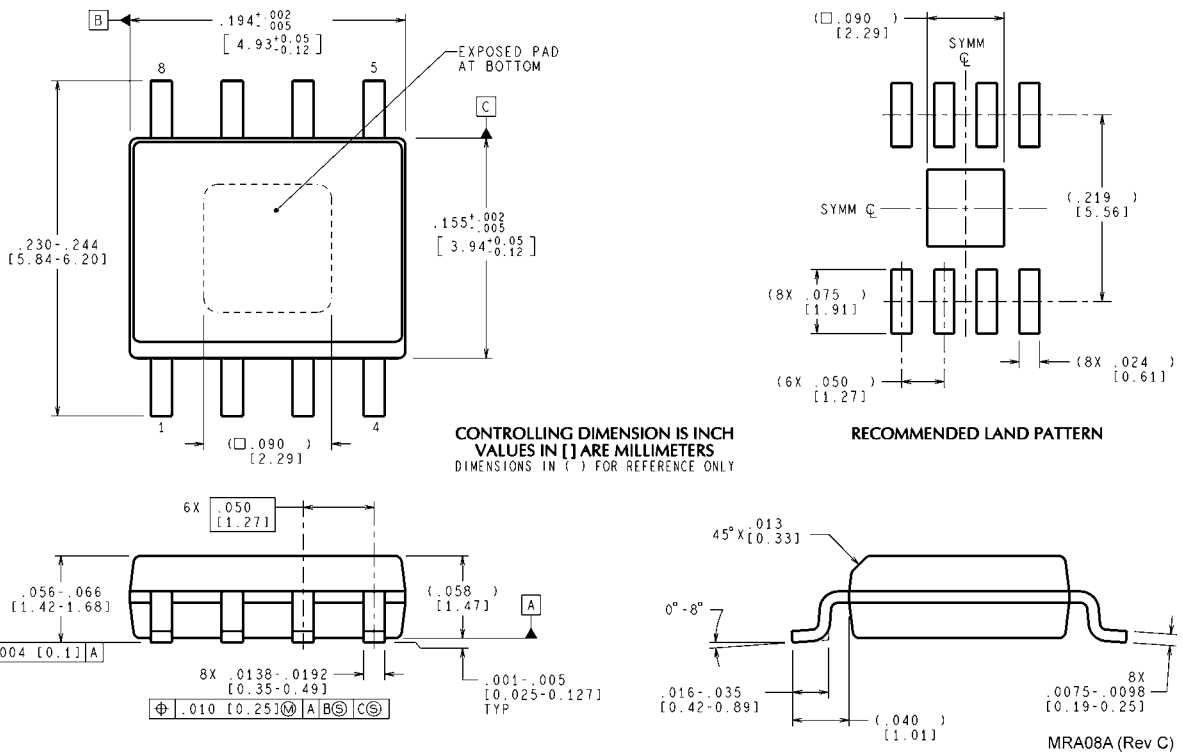
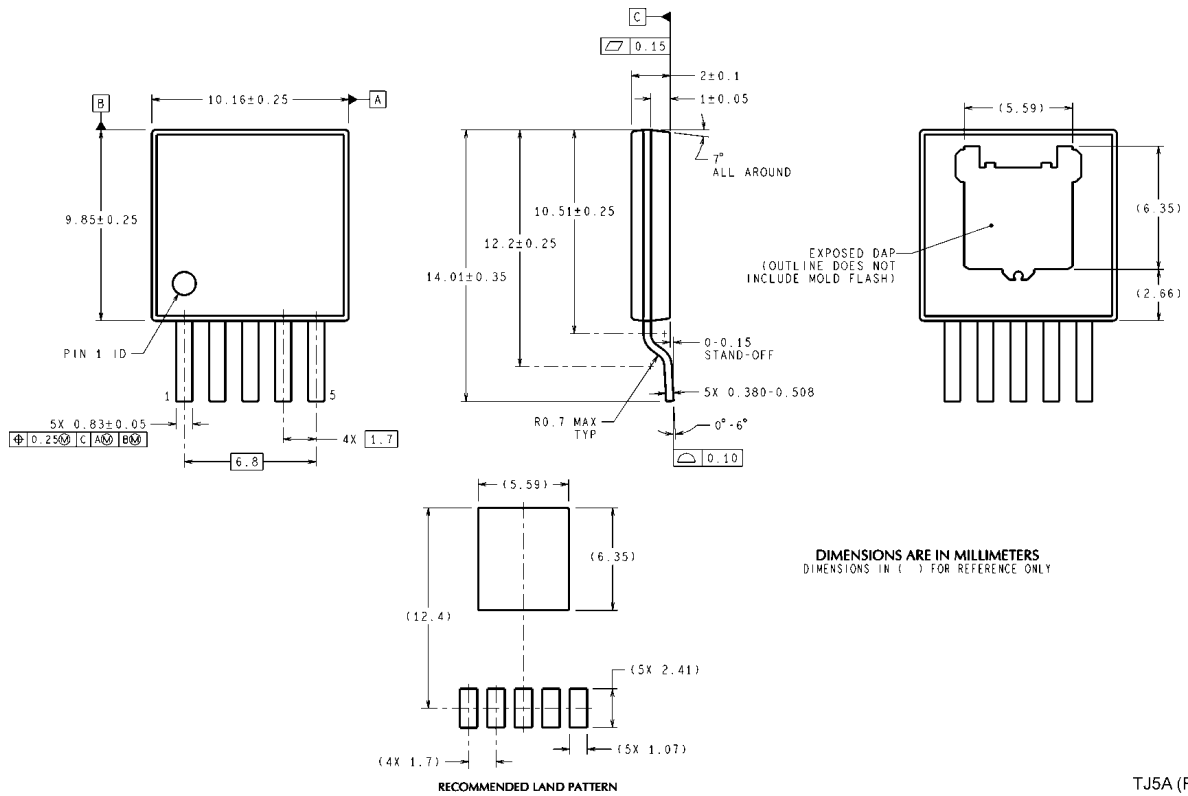


FIGURE 5. θ_{JA} vs Copper Area for the PSOP-8 Package on 2-Layer PCB with Copper Area on Top-Side

外形寸法図 特記のない限り inches (millimeters)



このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務を負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売か使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2010 National Semiconductor Corporation

製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されてもいません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されてもいません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上