

LP38851

*LP38851 800 mA Fast-Response High-Accuracy Adjustable LDO Linear Regulator
with Enable and Soft-Start*



Literature Number: JAJSAQ1



LP38851

イネーブルおよびソフトスタート付き、800mA 高速応答、高精度、可変出力 LDO リニア・レギュレータ

概要

LP38851-ADJ は、ごくわずかな入出力間の電圧降下で出力電圧のレギュレーションを維持できる、大電流出力の高速応答レギュレータです。CMOS プロセスで製造された LP38851 は 2 系統の入力電圧によって動作します。V_{BIAS} は N-MOS パワー・トランジスタのゲート・ドライブ電圧を与え、V_{IN} は負荷にパワーを与える入力電圧を与えます。外部バイアス電源レールの採用により、デバイスをきわめて低い V_{IN} で動作させることが可能です。バイポーラ・レギュレータとは異なり、CMOS アーキテクチャのため、任意の負荷電流でも待機時電流はきわめて小さくなっています。N-MOS パワー・トランジスタの使用により広帯域を実現しており、また、ループ安定性の維持に必要な外付けコンデンサ容量はわずかです。

デバイスは高速過渡応答特性を備えているため、DSP 用電源、マイクロコントローラのコア電圧、スイッチ・モード電源の後段電源として最適です。デバイスは PSOP 8 ピン、TO-220 7 ピン、TO-263 7 ピン・パッケージで提供されます。

ドロップアウト電圧：負荷電流 800mA にて 115mV (typ)

低グラウンド・ピン電流：負荷電流 800mA にて 10mV (typ)

ソフトスタート：設定可能なソフトスタート

高精度 ADJ 電圧：あらゆる電源および負荷条件に対して、T_J = 25 の場合 ± 1.5%、0 T_J + 125 の場合 ± 2.0%

特長

V_{OUT} の調整可能範囲：0.80V ~ 1.8V

広い V_{BIAS} 電源範囲：3.0V ~ 5.5V

安定化用のセラミック・コンデンサ容量：10μF

負荷電流 800mA の場合のドロップアウト電圧：115mV (typ)

あらゆる電源および負荷条件で高精度の V_{ADJ}

- T_J = 25 の場合、± 1.5% V_{ADJ}

- 0 T_J + 125 の場合、± 2.0% V_{ADJ}

- - 40 T_J + 125 の場合、± 3.0% V_{ADJ}

過熱 / 過電流保護

8 ピン PSOP、7 ピン TO-220、7 ピン TO-263 パッケージを採用

動作時接合部温度範囲：- 40 ~ + 125

アプリケーション

ASIC 用電源

- デスクトップ PC、ノートパソコン、グラフィックカード、サーバ

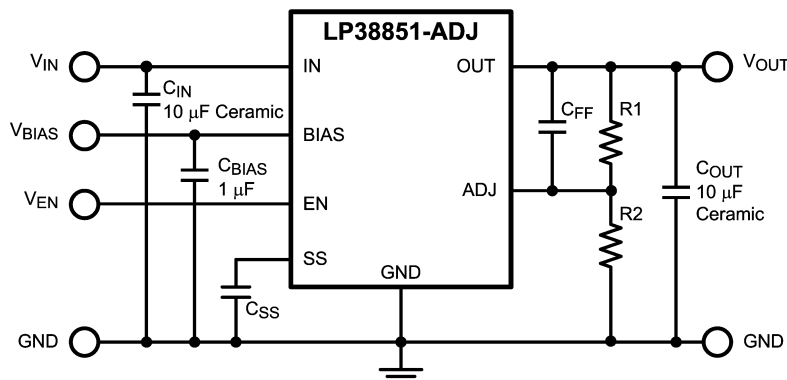
- ゲーム機、プリンタ、コピー機

サーバのコアおよび I/O 電源

DSP 用電源および FPGA 用電源

スイッチング・モード電源の後段レギュレータ

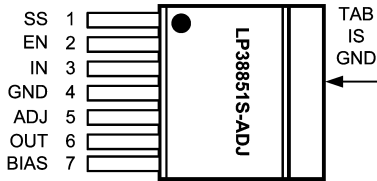
代表的なアプリケーション回路



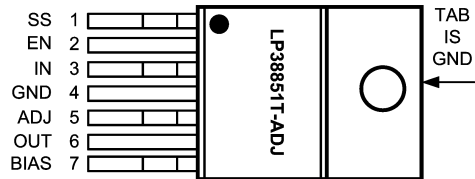
製品情報

V _{OUT}	Order Number	Package Type	Package Drawing	Supplied As
ADJ	LP38851S-ADJ	TO263-7	TS7B	Rail of 45
	LP38851SX-ADJ	TO263-7	TS7B	Tape and Reel of 500
	LP38851T-ADJ	TO220-7	TA07B	Rail of 45
	LP38851MR-ADJ	PSOP-8	MR08B	Rail of 95
	LP38851MRX-ADJ	PSOP-8	MR08B	Tape and Reel of 2500

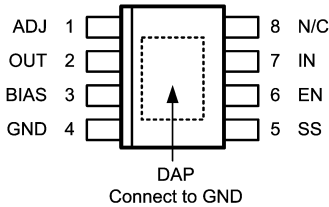
ピン配置図



TO263-7, Top View



TO220-7, Top View



PSOP-8, Top View

ピン説明

TO220-7 ピン #	TO263-7 ピン #	PSOP-8 ピン #	ピン シンボル	ピン説明
1	1	5	SS	ソフトスタート・コンデンサ接続 ターンオン時の V _{OUT} の立ち上がり時間を制御するために使用します。
2	2	6	EN	デバイス・イネーブル、High = オン、Low = オフ。
3	3	7	IN	レギュレートされていない電圧入力
4	4	4	GND	グラウンド
5	5	1	ADJ	出力電圧を設定するためのフィードバック接続
6	6	2	OUT	制御出力電圧
7	7	3	BIAS	内部の制御回路およびリファレンス回路用電源。
-	-	8	N/C	内部接続なし
TAB	TAB	-	TAB	TO220とTO263のTABはダイの裏面に物理的に貼り付けられた熱的および電気的な接続であり、放熱用ヒートシンクへの接続に使用します。詳細は「アプリケーション情報」を参照してください。
-	-	DAP	DAP	PSOPのDAPはダイの裏面に物理的に貼り付けられ、ダイとは熱的にのみ接続されています。放熱用ヒートシンクへの接続に使用します。詳細は「アプリケーション情報」を参照してください。

絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電気的信頼性試験方法の規格を参照ください。

保存温度範囲	- 65 ~ + 150
リード温度	
ハンダ付け (5 秒)	260
ESD 耐圧	
人体モデル (Note 2)	± 2kV
消費電力 (Note 3)	内部制限
V _{IN} 電源電圧 (max)	- 0.3V ~ + 6.0V
V _{BIAS} 電源電圧 (max)	- 0.3V ~ + 6.0V
V _{SS} ソフトスタート電圧 (max)	- 0.3V ~ + 6.0V

V _{OUT} 出力電圧 (max)	- 0.3V ~ + 6.0V
I _{OUT} 出力電流 (max)	内部制限
接合部温度	- 40 ~ + 150

動作定格 (Note 1)

V _{IN} 電源電圧	(V _{OUT} + V _{DO}) ~ V _{BIAS}
V _{BIAS} 電源電圧	
0.8V ≤ V _{OUT} ≤ 1.2V	3.0V ~ 5.5V
1.2V < V _{OUT} ≤ 1.8V	4.5V ~ 5.5V
V _{EN} 電圧	0.0V ~ V _{BIAS}
I _{OUT}	0mA ~ 800mA
接合部温度範囲 (Note 3)	- 40 ~ + 125

電気的特性

特記のない限り、以下の規格値は V_{OUT} = 0.80V、V_{IN} = V_{OUT(NOM)} + 1V、V_{BIAS} = 3.0V、V_{EN} = V_{BIAS}、I_{OUT} = 10mA、C_{IN} = C_{OUT} = 10μF、C_{BIAS} = 1μF、C_{SS} = 開放を条件としています。標準字体で記載されたリミット値は T_J = 25 の場合に限り、太字で記載されたリミット値は - 40 ~ + 125 の接合部温度 (T_J) 範囲にわたって適用されます。最小 / 最大リミット値は、試験、設計、または統計的相関によって保証されます。代表値 (Typ) は T_J = 25 での最も標準的なパラメータ値を表しますが、参考としてのみ提示されます。

Symbol	Parameter	Conditions	MIN	TYP	MAX	Units
V _{ADJ}	V _{ADJ} Accuracy	V _{OUT(NOM)} +1V ≤ V _{IN} ≤ V _{BIAS} ≤ 4.5V, See (Note 7) 3.0V ≤ V _{BIAS} ≤ 5.5V, 10 mA ≤ I _{OUT} ≤ 800 mA	492.5 485.0	500.	507.5 515.0	mV
		V _{OUT(NOM)} +1V ≤ V _{IN} ≤ V _{BIAS} ≤ 4.5V, See (Note 7) 3.0V ≤ V _{BIAS} ≤ 5.5V, 10 mA ≤ I _{OUT} ≤ 800 mA, 0°C ≤ T _J ≤ +125°C	490.0	500.	510.0	
V _{OUT}	V _{OUT} Range	3.0V ≤ V _{BIAS} ≤ 5.5V	0.80		1.20	V
		4.5V ≤ V _{BIAS} ≤ 5.5V	0.80		1.80	
ΔV _{OUT} /ΔV _{IN}	Line Regulation, V _{IN} (Note 4)	V _{OUT(NOM)} +1V ≤ V _{IN} ≤ V _{BIAS}	-	0.04	-	%/V
ΔV _{OUT} /ΔV _{BIAS}	Line Regulation, V _{BIAS} (Note 4)	3.0V ≤ V _{BIAS} ≤ 5.5V	-	0.10	-	%/V
ΔV _{OUT} /ΔI _{OUT}	Output Voltage Load Regulation (Note 5)	10 mA ≤ I _{OUT} ≤ 800 mA	-	0.2	-	%/A
V _{DO}	Dropout Voltage (Note 6)	I _{OUT} = 800 mA	-	115	150 200	mV
I _{GND(IN)}	Quiescent Current Drawn from V _{IN} Supply	V _{OUT} = 0.80V V _{BIAS} = 3.0V 10 mA ≤ I _{OUT} ≤ 800 mA	-	7.0	8.5 9.0	mA
		V _{EN} ≤ 0.5V		1	100 300	
I _{GND(BIAS)}	Quiescent Current Drawn from V _{BIAS} Supply	10 mA ≤ I _{OUT} ≤ 800 mA	-	3.0	3.8 4.5	mA
		V _{EN} ≤ 0.5V		100	170 200	
UVLO	Under-Voltage Lock-Out Threshold	V _{BIAS} rising until device is functional	2.20 2.00	2.45	2.70 2.90	V
UVLO _(HYS)	Under-Voltage Lock-Out Hysteresis	V _{BIAS} falling from UVLO threshold until device is non-functional	60 50	150	300 350	mV
I _{SC}	Output Short-Circuit Current	V _{IN} = V _{OUT(NOM)} + 1V, V _{BIAS} = 3.0V, V _{OUT} = 0.0V	-	2.5	-	A

電氣的特性 (つづき)

特記のない限り、以下の規格値は $V_{OUT} = 0.80V$ 、 $V_{IN} = V_{OUT(NOM)} + 1V$ 、 $V_{BIAS} = 3.0V$ 、 $V_{EN} = V_{BIAS}$ 、 $I_{OUT} = 10mA$ 、 $C_{IN} = C_{OUT} = 10\mu F$ 、 $C_{BIAS} = 1\mu F$ 、 $C_{SS} = \text{開放}$ を条件としています。標準字体で記載されたリミット値は $T_J = 25$ の場合に限ります。太字で記載されたリミット値は $-40 \sim +125$ の接合部温度 (T_J) 範囲にわたって適用されます。最小/最大リミット値は、試験、設計、または統計的相関によって保証されます。代表値 (Typ) は $T_J = 25$ での最も標準的なパラメータ値を表しますが、参考としてのみ提示されます。

Symbol	Parameter	Conditions	MIN	TYP	MAX	Units
Soft-Start						
r_{SS}	Soft-Start internal resistance		11.0	14.0	17.0	k Ω
t_{SS}	Soft-Start time $t_{SS} = C_{SS} \times r_{SS} \times 5$	$C_{SS} = 10 \text{ nF}$	-	700	-	μs
Enable						
I_{EN}	ENABLE pin Current	$V_{EN} = V_{BIAS}$	-	0.01	-	μA
		$V_{EN} = 0.0V$, $V_{BIAS} = 5.5V$	-24 -21	-35	-43 -50	
$V_{EN(ON)}$	Enable Voltage Threshold	V_{EN} rising until Output = ON	1.00 0.90	1.25	1.50 1.55	V
$V_{EN(HYS)}$	Enable Voltage Hysteresis	V_{EN} falling from $V_{EN(ON)}$ until Output = OFF	50 30	100	150 200	mV
t_{OFF}	Turn-OFF Delay Time	$R_{LOAD} \times C_{OUT} \ll t_{OFF}$	-	20	-	μs
t_{ON}	Turn-ON Delay Time	$R_{LOAD} \times C_{OUT} \ll t_{ON}$	-	15	-	
AC Parameters						
PSRR (V_{IN})	Ripple Rejection for V_{IN} Input Voltage	$V_{IN} = V_{OUT(NOM)} + 1V$, $f = 120 \text{ Hz}$	-	72	-	dB
		$V_{IN} = V_{OUT(NOM)} + 1V$, $f = 1 \text{ kHz}$	-	61	-	
PSRR (V_{BIAS})	Ripple Rejection for V_{BIAS} Voltage	$V_{BIAS} = V_{OUT(NOM)} + 3V$, $f = 120 \text{ Hz}$	-	54	-	
		$V_{BIAS} = V_{OUT(NOM)} + 3V$, $f = 1 \text{ kHz}$	-	53	-	
e_n	Output Noise Density	$f = 120 \text{ Hz}$	-	1	-	$\mu V/\sqrt{Hz}$
	Output Noise Voltage	BW = 10 Hz – 100 kHz	-	150	-	μV_{RMS}
		BW = 300 Hz – 300 kHz	-	90	-	
Thermal Parameters						
T_{SD}	Thermal Shutdown Junction Temperature		-	160	-	$^{\circ}C$
$T_{SD(HYS)}$	Thermal Shutdown Hysteresis		-	10	-	
θ_{J-A}	Thermal Resistance, Junction to Ambient(Note 3)	TO220-7	-	60	-	$^{\circ}C/W$
		TO263-7	-	60	-	
		PSOP-8	-	168	-	
θ_{J-C}	Thermal Resistance, Junction to Case(Note 3)	TO220-7	-	3	-	
		TO263-7	-	3	-	
		PSOP-8	-	11	-	

Note 1: 絶対最大定格とは、デバイスに破壊が発生する可能性のある制限値を言います。動作定格とは IC が動作する条件を示し、特定の性能リミット値を保証するものではありません。保証仕様と条件については、「電氣的特性」を参照してください。

Note 2: 人体モデルでは、100pF のコンデンサから 1.5k の抵抗を介して各ピンへ放電させます。試験は JESD22-A114 に基づいて行います。

Note 3: デバイスの消費電力の仕様は、デバイスの消費電力 (P_D)、周囲温度 (T_A)、パッケージの接合部 - 周囲間の熱抵抗 (θ_{JA}) に基づいてデレーティングする必要があります。デバイスの接合部温度 (T_J) が最大動作定格を超えることがないように、別途ヒートシンクが必要になる場合があります。詳細は「アプリケーション情報」を参照してください。

Note 4: 出力電圧ライン・レギュレーションは、入力電圧の変動によって生じる出力電圧の公称値からの変動として定義されています。

Note 5: 出力電圧負荷レギュレーションは、負荷電流が無負荷から全負荷に増加したときに生じる、出力電圧の公称値からの変化として定義されています。

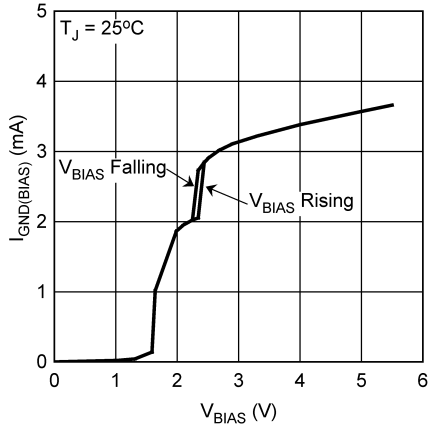
Note 6: ドロップアウト電圧は、入力電圧が低下することにより出力電圧が公称値から 2% 降下した場合の、入力と出力電圧の差 ($V_{IN} - V_{OUT}$) で定義されます。

Note 7: V_{IN} は V_{BIAS} または 4.5V のうち低い方の値を超えてはなりません。

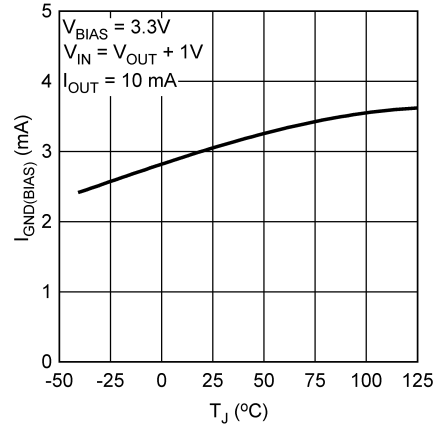
代表的な性能特性

「代表的なアプリケーション回路」を参照してください。特記のない限り、以下の規格値は $T_J = 25^\circ\text{C}$ 、 $R1 = 1.40\text{k}$ 、 $R2 = 1.00\text{k}$ 、 $C_{FF} = 180\text{pF}$ 、 $V_{IN} = V_{OUT(NOM)} + 1\text{V}$ 、 $V_{BIAS} = 3.0\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $C_{IN} = 10\mu\text{F}$ (セラミック)、 $C_{OUT} = 10\mu\text{F}$ (セラミック)、 $C_{BIAS} = 1\mu\text{F}$ (セラミック)、 $C_{SS} = \text{開放}$ を条件としています。

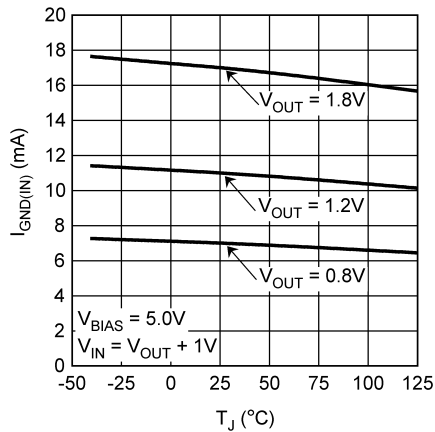
V_{BIAS} Ground Pin Current ($I_{GND(BIAS)}$) vs V_{BIAS}



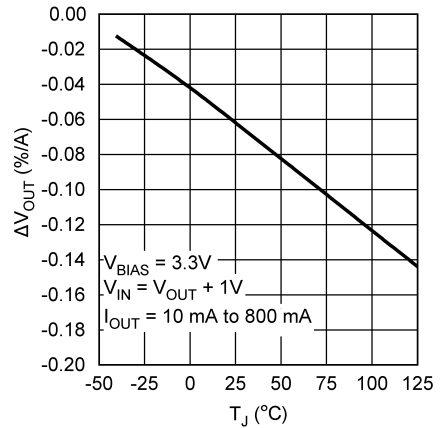
V_{BIAS} Ground Pin Current ($I_{GND(BIAS)}$) vs Temperature



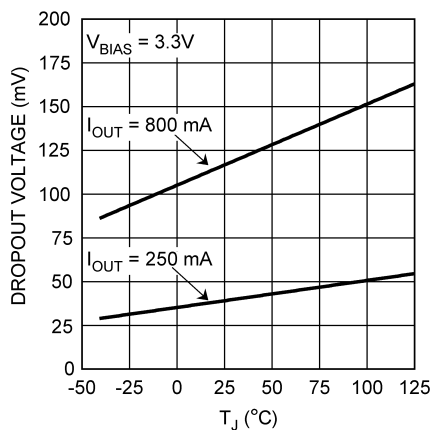
V_{IN} Ground Pin Current vs Temperature



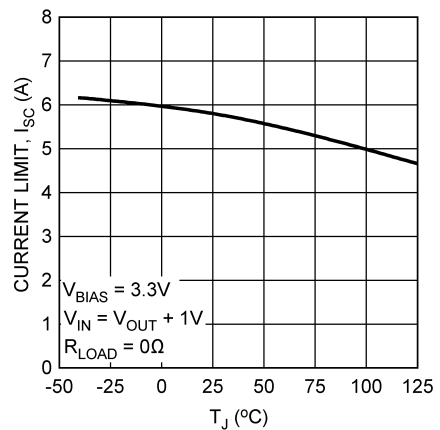
Load Regulation vs Temperature



Dropout Voltage (V_{DO}) vs Temperature

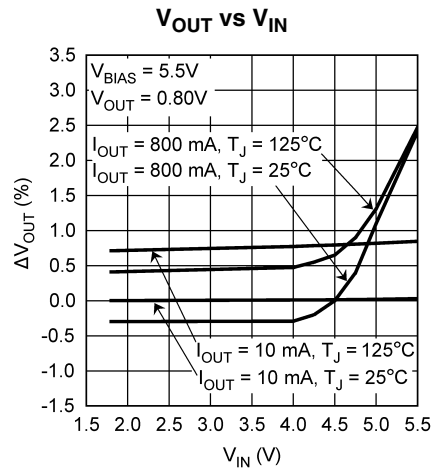
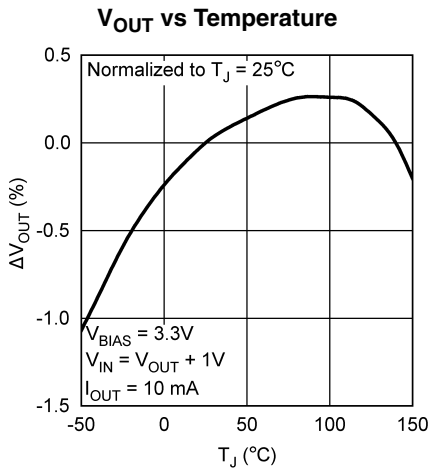


Output Current Limit (I_{SC}) vs Temperature

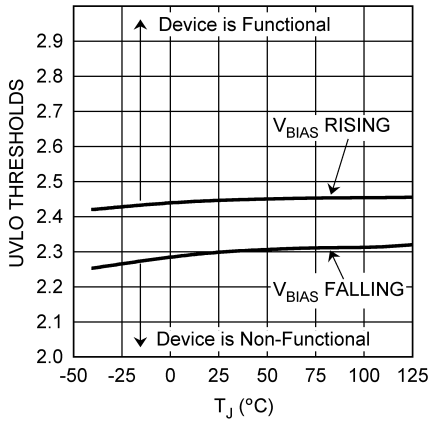


代表的な性能特性 (つづき)

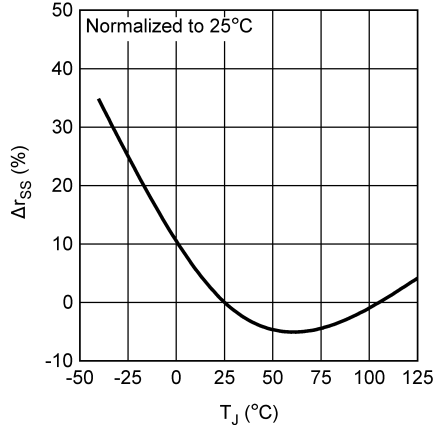
「代表的なアプリケーション回路」を参照してください。特記のない限り、以下の規格値は $T_J = 25^\circ\text{C}$ 、 $R_1 = 1.40\text{k}$ 、 $R_2 = 1.00\text{k}$ 、 $C_{FF} = 180\text{pF}$ 、 $V_{IN} = V_{OUT(NOM)} + 1\text{V}$ 、 $V_{BIAS} = 3.0\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $C_{IN} = 10\mu\text{F}$ (セラミック)、 $C_{OUT} = 10\mu\text{F}$ (セラミック)、 $C_{BIAS} = 1\mu\text{F}$ (セラミック)、 $C_{SS} = \text{開放}$ を条件としています。



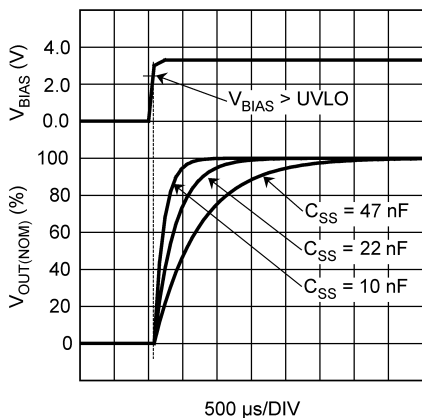
UVLO Thresholds vs Temperature



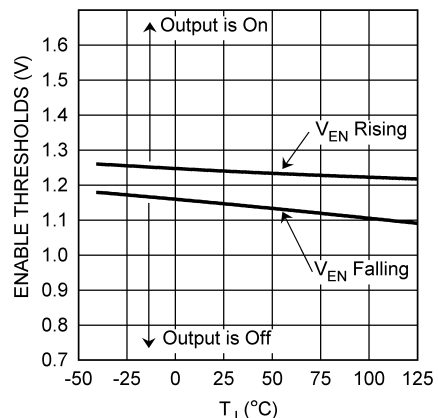
Soft-Start r_{SS} Variation vs Temperature



V_{OUT} vs C_{SS}, 10 nF to 47 nF



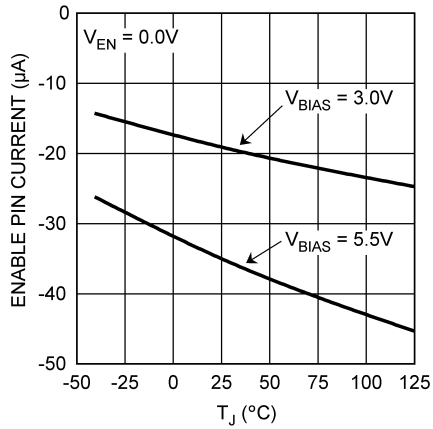
Enable Thresholds (V_{EN}) vs Temperature



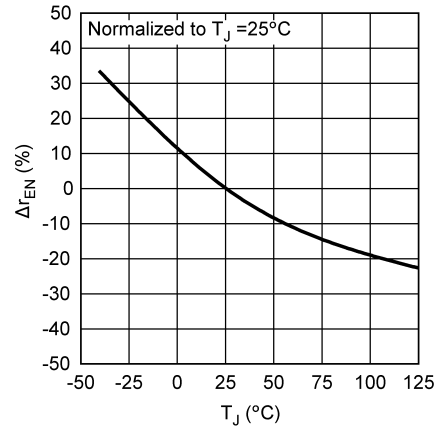
代表的な性能特性 (つづき)

「代表的なアプリケーション回路」を参照してください。特記のない限り、以下の規格値は $T_J = 25^\circ\text{C}$ 、 $R1 = 1.40\text{k}$ 、 $R2 = 1.00\text{k}$ 、 $C_{FF} = 180\text{pF}$ 、 $V_{IN} = V_{OUT(NOM)} + 1\text{V}$ 、 $V_{BIAS} = 3.0\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $C_{IN} = 10\mu\text{F}$ (セラミック)、 $C_{OUT} = 10\mu\text{F}$ (セラミック)、 $C_{BIAS} = 1\mu\text{F}$ (セラミック)、 $C_{SS} = \text{開放}$ を条件としています。

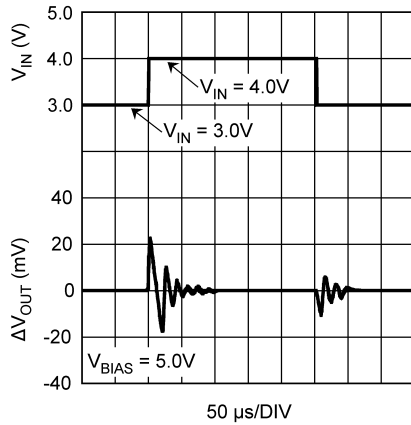
Enable Pull-Down Current (I_{EN}) vs Temperature



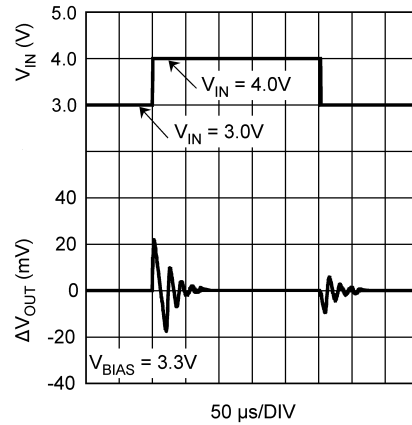
Enable Pull-Up Resistor (r_{EN}) vs Temperature



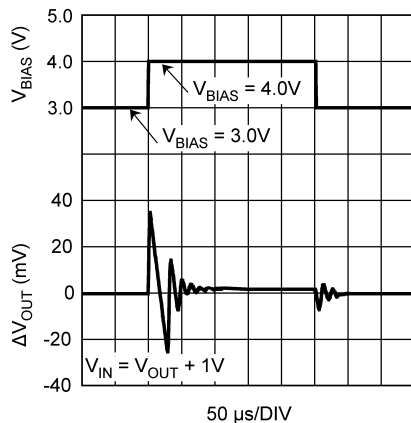
V_{IN} Line Transient Response



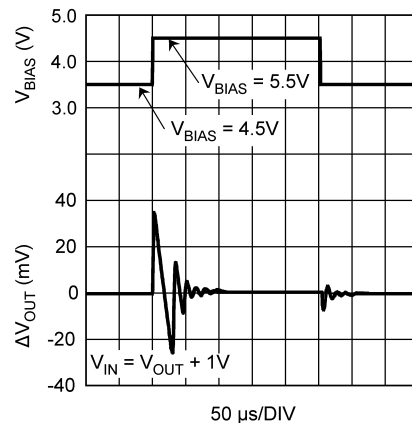
V_{IN} Line Transient Response



V_{BIAS} Line Transient Response



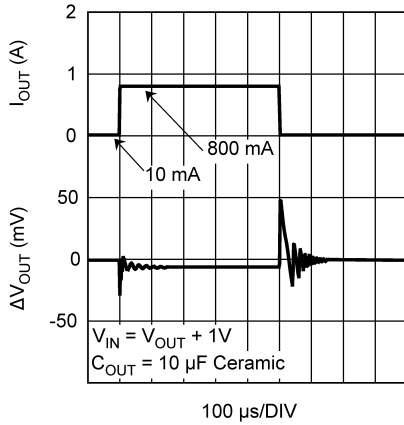
V_{BIAS} Line Transient Response



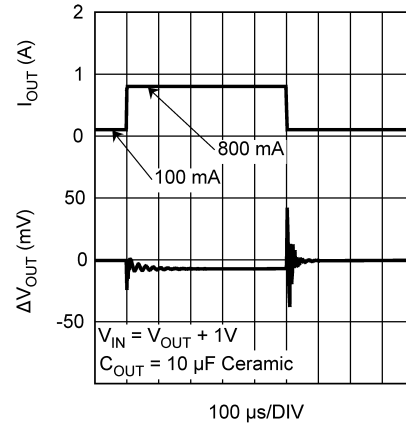
代表的な性能特性 (つづき)

「代表的なアプリケーション回路」を参照してください。特記のない限り、以下の規格値は $T_J = 25$ 、 $R_1 = 1.40k$ 、 $R_2 = 1.00k$ 、 $C_{FF} = 180pF$ 、 $V_{IN} = V_{OUT(NOM)} + 1V$ 、 $V_{BIAS} = 3.0V$ 、 $I_{OUT} = 10mA$ 、 $C_{IN} = 10\mu F$ (セラミック)、 $C_{OUT} = 10\mu F$ (セラミック)、 $C_{BIAS} = 1\mu F$ (セラミック)、 $C_{SS} =$ 開放を条件としています。

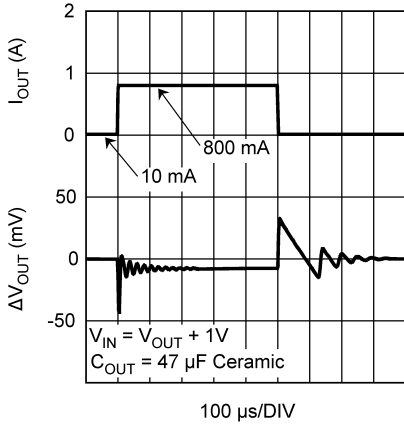
Load Transient Response, $C_{OUT} = 10\mu F$ Ceramic



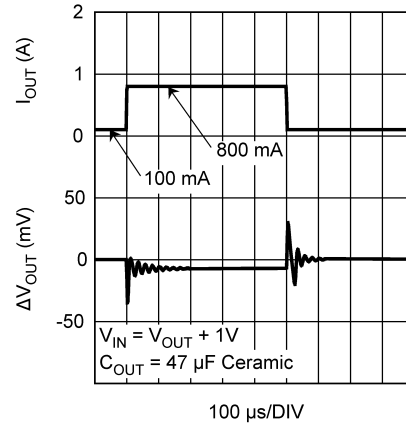
Load Transient Response, $C_{OUT} = 10\mu F$ Ceramic



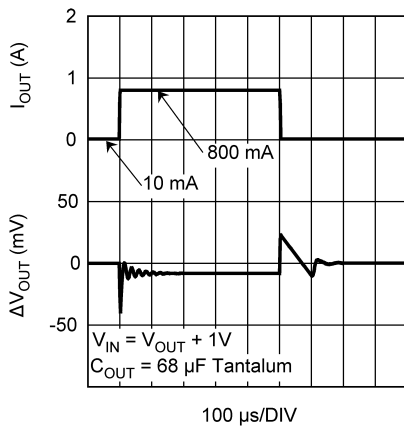
Load Transient Response, $C_{OUT} = 47\mu F$ Ceramic



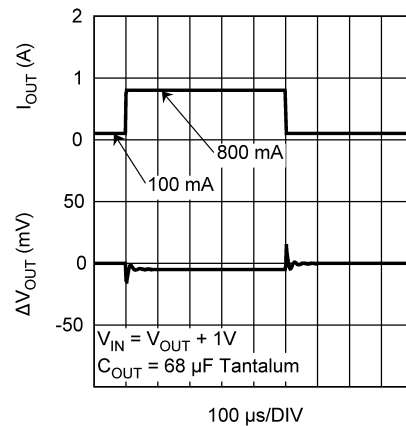
Load Transient Response, $C_{OUT} = 47\mu F$ Ceramic



Load Transient Response, $C_{OUT} = 68\mu F$ Tantalum



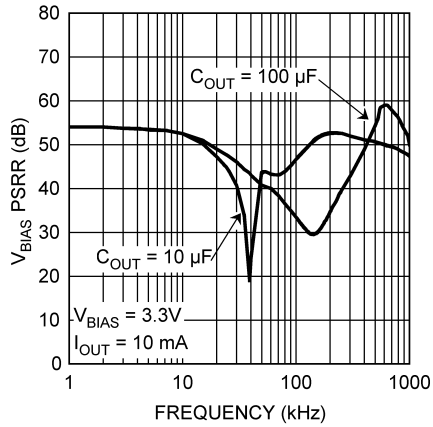
Load Transient Response, $C_{OUT} = 68\mu F$ Tantalum



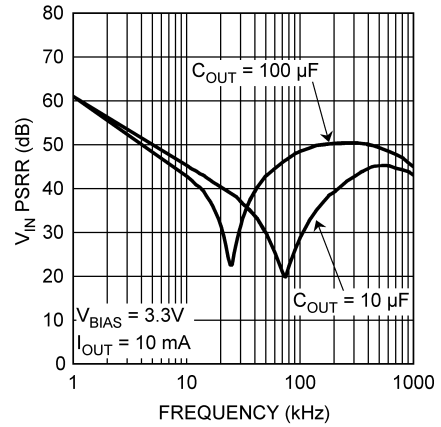
代表的な性能特性 (つづき)

「代表的なアプリケーション回路」を参照してください。特記のない限り、以下の規格値は $T_J = 25^\circ\text{C}$ 、 $R1 = 1.40\text{k}\Omega$ 、 $R2 = 1.00\text{k}\Omega$ 、 $C_{FF} = 180\text{pF}$ 、 $V_{IN} = V_{OUT(NOM)} + 1\text{V}$ 、 $V_{BIAS} = 3.0\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $C_{IN} = 10\mu\text{F}$ (セラミック)、 $C_{OUT} = 10\mu\text{F}$ (セラミック)、 $C_{BIAS} = 1\mu\text{F}$ (セラミック)、 $C_{SS} = \text{開放}$ を条件としています。

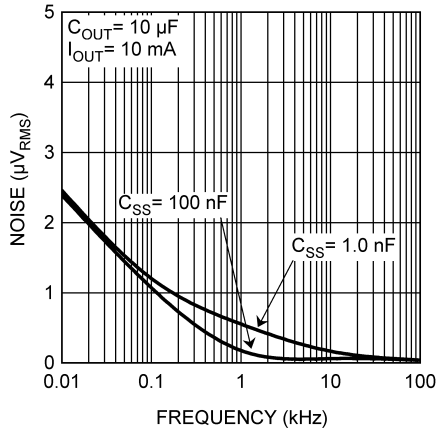
V_{BIAS} PSRR



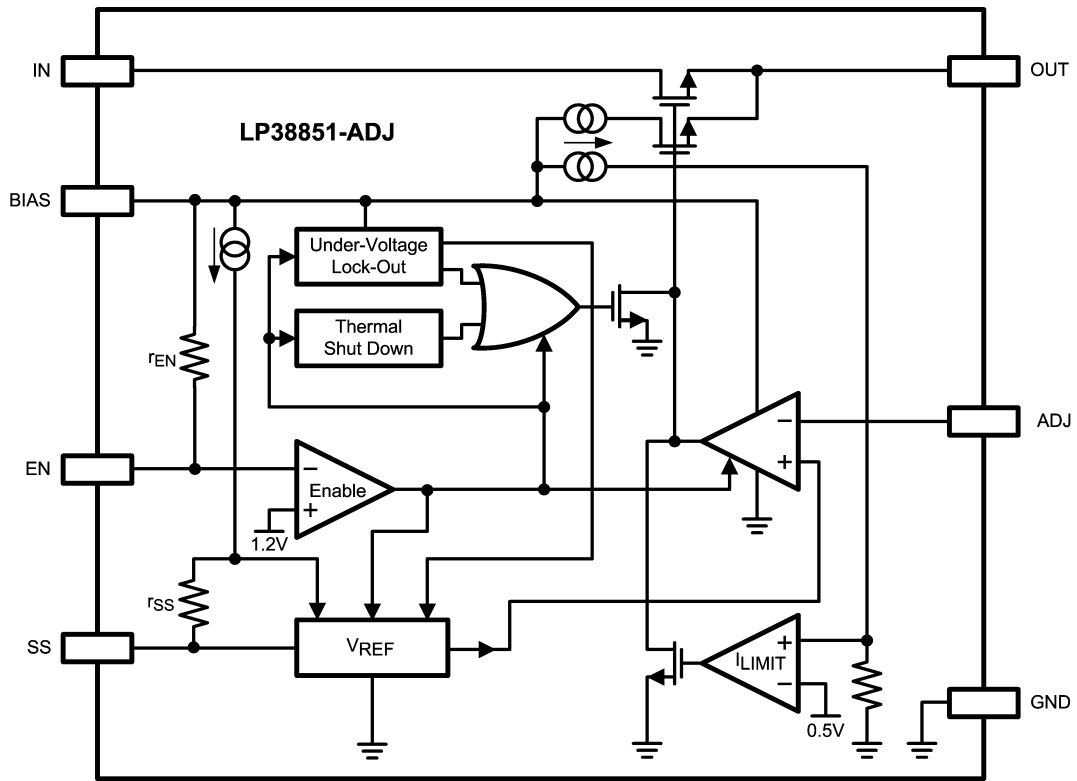
V_{IN} PSRR



Output Noise



ブロック図



アプリケーション情報

外付けコンデンサ

レギュレータの安定性を確保するために、「代表的なアプリケーション回路」に示すとおり、入力コンデンサと出力コンデンサが必要です。

出力コンデンサ

安定化のために、出力には最低 10 μ F のセラミック・コンデンサが必要です。出力容量の値は無制限に増やすことができます。出力コンデンサは、デバイスの出力ピンから 1cm 以内に配置し、ノイズのないアナログ・グラウンドに接続してください。

X5R や X7R などの高品質なセラミック・タイプ・コンデンサのみを使用してください。Z5U や Y5F タイプでは温度が変化すると十分な容量が得られません。

タンタル・コンデンサでも動作温度の全範囲で安定した動作が得られます。ただし、ESR の影響により負荷が高速に変動する場合に出力電圧が変動するおそれがあります。出力に最小推奨容量 10 μ F のセラミック・コンデンサを使用すれば、タンタルまたはアルミニウム・コンデンサを（あるいは、これら両方）を並列に容量の上限值なく接続できます。

入力コンデンサ

入力コンデンサは 10 μ F 以上が必要で、上限はありません。入力コンデンサの目的は、レギュレータ入力から見たソース・インピーダンスを下げることです。セラミック・コンデンサ X5R または X7R を推奨します。

入力ピンにタンタル・コンデンサを使用することもできます。入力コンデンサには、（低いほうが好ましいといった）ESR の制限はありません。

アルミニウム電解コンデンサの使用も可能ですが、低温で ESR が急激に大きくなるため推奨できません。したがって、周囲温度が 0 を下回るアプリケーションには推奨しません。

バイアス・コンデンサ

バイアス・ピンに接続するコンデンサの容量は最低 1 μ F 必要であり、良質のコンデンサを使用します（セラミックを推奨）。

フィード・フォワード・コンデンサ C_{FF}

（「代表的なアプリケーション回路」を参照）

C_{OUT} にセラミック・コンデンサを使用すると ESR の代表値が小さいため、ゲイン・ループの負の内部位相シフトを打ち消すのに十分な正の位相補償 F_Z を得られません。

$$F_Z = 1 / (2 \times \times C_{OUT} \times ESR) \quad (1)$$

ゲイン抵抗 $R1$ の両端間に接続したコンデンサによってさらに位相余裕が得られ、デバイスの負荷過渡応答が改善されます。 $R1$ に並列に接続されたこのコンデンサ C_{FF} は、次式で与えられるループ応答にゼロを与えます。

$$F_Z = 1 / (2 \times \times C_{FF} \times R1) \quad (2)$$

最適な負荷応答を得るためには、ゼロ周波数 F_Z が 500kHz ~ 750kHz の間となるように C_{FF} を選びます。

$$C_{FF} = 1 / (2 \times \times R1 \times F_Z) \quad (3)$$

C_{FF} による位相進みは、DC ゲインが 1 に近づくか、あるいは V_{OUT} が V_{ADJ} に近づくにつれて減少します。これは C_{FF} によって次に示す周波数にポールが形成されるためです。

$$F_P = 1 / (2 \times \times C_{FF} \times (R1 \parallel R2)) \quad (4)$$

$R1$ が $R2$ より十分に出力電圧が大きい場合は、ポールとゼロが非常に離れることに注意が必要です。出力電圧が低い場合、ポールとゼロ周波数は一致する方向に近づきます。 C_{FF} によって得られる位相進みは出力電圧が小さくなるにつれて急激に減少し、 $V_{OUT} = V_{ADJ}$ になると効果がなくなります。したがって、この方法による位相補償を使用できるのは出力電圧が大きい場合のみに限られます。 C_{OUT} にセラミック・コンデンサを使用した場合の、LP38851 の実際的な最小 V_{OUT} は 0.8V です。

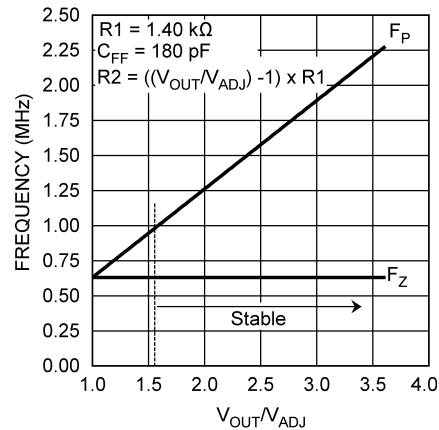


FIGURE 1. F_{ZERO} and F_{POLE} vs Gain

出力電圧の設定

（「代表的なアプリケーション回路」参照）

出力電圧は外付けの抵抗分圧回路 $R1$ および $R2$ によって設定されます。出力電圧は次の公式により求められます。

$$V_{OUT} = V_{ADJ} \times \left(1 + \left(\frac{R1}{R2} \right) \right) \quad (5)$$

$R1$ および $R2$ として使用する抵抗は高品質で許容誤差の小さい、温度係数が一致したものを使用してください。 V_{ADJ} の値が保証されていても、 $R1$ および $R2$ に品質の悪い抵抗を用いると、 V_{OUT} は容易に許容値を外れます。

また $R1$ と $R2$ の値は、並列等価抵抗値が 10k 未満となるように選択することを推奨します。これは ADJ ピンの内部寄生容量が、 $R1$ と C_{FF} によって設定されるポール F_Z に影響を与えないようにするためです。

$$\frac{(R1 \times R2)}{(R1 + R2)} < 10k \quad (6)$$

アプリケーション情報 (つづき)

Table 1 は、R1 および R2 に対する標準 ± 1% の最適推奨抵抗値、 C_{FF} に対する標準 ± 10% の最適推奨容量値を V_{OUT} の各値について示したものです。同様の結果が得られる R1、R2、 C_{FF} の値は、この他にもあります。

TABLE 1.

V_{OUT}	R1	R2	C_{FF}	F_Z
0.8V	1.07 k Ω	1.78 k Ω	220 pF	676 kHz
0.9V	1.50 k Ω	1.87 k Ω	180 pF	589 kHz
1.00V	1.00 k Ω	1.00 k Ω	270 pF	589 kHz
1.1V	1.65 k Ω	1.37 k Ω	150 pF	643 kHz
1.2V	1.40 k Ω	1.00 k Ω	180 pF	631 kHz
1.3V	1.15 k Ω	715 Ω	220 pF	629 kHz
1.4V	1.07 k Ω	590 Ω	220 pF	676 kHz
1.5V	2.00 k Ω	1.00 k Ω	120 pF	663 kHz
1.6V	1.65 k Ω	750 Ω	150 pF	643 kHz
1.7V	2.55 k Ω	1.07 k Ω	100 pF	624 kHz
1.8V	2.94 k Ω	1.13 k Ω	82 pF	660 kHz

抵抗の許容誤差が V_{OUT} の計算値に与える影響の詳細については、アプリケーション・ノート AN-1378 を参照してください。

入力電圧

入力電圧 (V_{IN}) は、負荷に印加される低い電圧にレギュレートされる大電流の外部電圧レールです。入力電圧は $V_{OUT} + V_{DO}$ 以上で、 V_{BIAS} に使用される値以下でなければなりません。

V_{BIAS} が 4.5V 以上のアプリケーションでは、 V_{IN} は 4.5V を超えてはなりません。超えると出力電圧精度が低下します。

バイアス電圧

バイアス電圧 (V_{BIAS}) は、制御回路のバイアス電源および N-FET バス・トランジスタのゲート駆動電源として必要な、低電流の外部電圧レールです。 V_{OUT} を 1.20V 以下に設定した場合は、 V_{BIAS} は 3.0V ~ 5.5V の動作範囲の間のいずれの値にもすることができます。 V_{OUT} が 1.20V を超える設定にする場合にデバイスの正常な動作を保証するには、 V_{BIAS} を 4.5V ~ 5.5V にする必要があります。

アンダーボルテージ・ロックアウト

バイアス電圧は、およそ 2.45V のアンダーボルテージ・ロックアウト (UVLO) のスレッショルドを下回った場合にデバイスが動作しないようにする回路によって監視されています。

バイアス電圧が上昇し、UVLO のスレッショルドを超えるとデバイスの制御回路がアクティブになります。UVLO のスレッショルドにはノイズ耐性を得るために約 150mV のヒステリシスを持たせてあります。

バイアス電圧が、UVLO のスレッショルドと最小動作電圧の 3.0V の間にある場合、デバイスは動作しますが動作パラメータが保証限度を外れます。

電源シーケンス

V_{IN} 、 V_{BIAS} の印加または切断の順序には特に制限はありません。

1 つの使用上の制約は、ソフトスタート回路による C_{SS} の充電の開始は V_{BIAS} が UVLO のスレッショルドを超え、かつイネーブル・ピンの電圧が $V_{EN(ON)}$ のスレッショルドを超えた時点になることで

す。 V_{IN} の印加がこの充電開始タイミングより遅いと、ソフトスタート機能の効果が損なわれます。

いずれにしても、 V_{IN} と V_{BIAS} の両方が保証動作範囲内に入るまで、出力電圧の値は保証されません。

レギュレータの負荷のリターン側が負電源に接続される ± 両電源システムで使用する場合は、出力ピンはグラウンドにダイオード・クランプしなければなりません。このダイオード・クランプにはショットキ・ダイオードを使用することを推奨します。

逆方向電圧

出力ピンの電圧が入力ピンの電圧より高い場合に逆方向電圧状態が存在します。通常このような状態は、 V_{IN} が突然低下し、 C_{OUT} には入力電圧と出力電圧を逆転させる十分な電荷が残っている場合に発生します。

NMOS のバス素子には構造的にボディ・ダイオードが形成されません。したがって、バス素子のゲートが駆動されない限り、逆方向電圧が印加された場合にバス素子を通して逆電流は流れません。バス素子のゲートは、 V_{BIAS} が UVLO スレッショルド未満の場合、またはイネーブル・ピンが Low の場合は駆動されません。

V_{BIAS} が UVLO のスレッショルドを超え、かつイネーブル・ピン電圧が $V_{EN(ON)}$ のスレッショルドを超えると、制御回路がアクティブになり出力電圧のレギュレートを開始します。入力電圧が出力電圧より小さいため、制御回路はバス素子のゲートを最大の V_{BIAS} 電位まで駆動し、出力電圧が低下しはじめます。この状態で、出力ピンから入力ピンに向けて逆電流が流れます。その値は、バス素子のオン抵抗 $R_{DS(ON)}$ と入力と出力電圧の差のみで決まります。最大 1000 μ F の出力コンデンサまでならば電流が急速に減衰するため、この方法によって放電してもデバイスを損傷することはありません。ただし、定常的な逆電流は避けてください。

ソフトスタート

LP38851 は、 V_{OUT} が最終的な値になるまでゆっくりと立ち上がるようにして、出力コンデンサ (C_{OUT}) への起動時の電流サージを低減するソフトスタート機能を搭載しています。これは SS ピンの V_{REF} を制御することによって行われます。ソフトスタート・タイムグ・コンデンサ (C_{SS}) は、 V_{BIAS} がアンダーボルテージ・ロックアウト・スレッショルド (UVLO) を超え、かつイネーブル・ピン電圧が $V_{EN(ON)}$ にスレッショルドを超えるまで、チップ内部でグラウンドに固定されます。

V_{REF} は、SS ピンの内部抵抗 (r_{SS}) と、SS ピンに接続した外付けコンデンサによる RC 時定数に従って立ち上がります。このため出力電圧の立ち上がりを適切に制御でき、安定したレギュレートが可能になります。出力電圧を最終的な定常状態の値に十分近づけるには、時定数の 5 倍の時間を確保することを推奨します。ソフトスタート動作中の出力電流は、デバイスで決まる電流リミット値まで増加する可能性があります。

$$\text{ソフトスタート時間} = C_{SS} \times r_{SS} \times 5 \quad (7)$$

V_{OUT} は線形ではなく指数関数的に立ち上がるため、突入電流のピークは時定数の 1 倍の期間 () に発生します。その後、 V_{OUT} が最終的な値に達するには、さらに時定数の 4 倍の時間 (4) が必要です (合計 5)。

通常動作に移行した後、 V_{BIAS} が UVLO のスレッショルドを下回るか、あるいはイネーブル・ピン電圧が $V_{EN(OFF)}$ スレッショルドを下回ると、デバイスの出力がディスエーブルされソフトスタート・コンデンサ (C_{SS}) の放電回路が起動します。 C_{SS} の放電回路は、 V_{BIAS} が 500mV (代表値) に低下するまで動作します。 V_{BIAS} が 500mV (代表値) を下回ると、制御回路が十分にバイアスされなくなり、 C_{SS} 放電回路の機能が停止します。

アプリケーション情報 (つづき)

SS ピンには V_{REF} 電圧が印加されているため、 C_{SS} にリークがあると V_{REF} が低下し、 V_{OUT} に影響を与えます。 C_{SS} を通して 50nA のリークがある場合 (約 10M Ω)、 V_{OUT} は公称値より約 0.1% 低下します。リーク電流が 500nA の場合 (約 1M Ω)、 V_{OUT} は公称値より約 1% 低下します。一般的なセラミック・コンデンサのリーク電流は 25 と 85 では 10 倍のオーダーで変化します。したがってコンデンサの選定時には最高周囲温度も考慮する必要があります。

通常、 C_{SS} には 1nF ~ 100nF の値を選定します。この場合、ソフトスタート時間の代表値は 70 μ s ~ 7ms (5) となります。1nF 未満の値も使用できますが、ソフトスタートの効果は小さくなります。一方、100nF より大きい値に設定すると、ソフトスタートの効果は得られませんが、 V_{BIAS} が 100 μ s より短時間で UVLO のスレッシュホールドから 500mV 未満にまで立ち下がった場合に放電が十分行われなくなるおそれがあります。

Figure 2 に C_{OUT} と C_{SS} の代表値間の関係を示します。

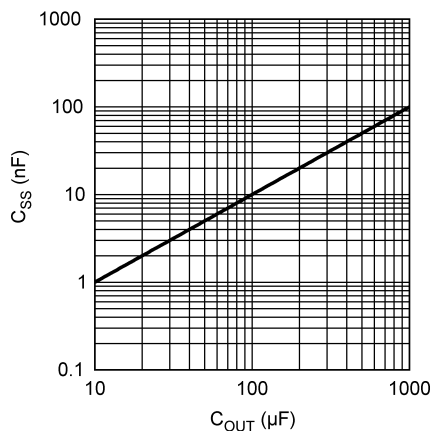


FIGURE 2. Typical C_{SS} vs C_{OUT} Values

C_{SS} コンデンサは、デバイスのグラウンド・ピンに戻る、ノイズのないグラウンド配線に接続する必要があります。SS ピンには C_{SS} 以外の素子は接続しないでください。 V_{OUT} に悪影響を与える可能性があります。

ソフトスタート機能が必要な場合は SS ピンを開放とすることもできますが、最低限の値のコンデンサを接続しておくこととはどのような場合にも推奨されます。

イネーブル動作

レギュレータの出力段をイネーブルまたはディスエーブルする動作はイネーブル・ピン (EN) によって行われます。イネーブル・ピンは、チップ内部で代表値 160k Ω の抵抗によって V_{BIAS} にプルアップされています。

イネーブル・ピンがアクティブに駆動される場合、1.25V (typ) の V_{EN} のスレッシュホールドを超えてイネーブル・ピンをプルアップすると、レギュレータ出力がオンになり、 V_{EN} のスレッシュホールドを下回るまでプルダウンすればオフになります。イネーブルのスレッシュホールドにはノイズ耐性を得るために約 100mV のヒステリシスを持たせてあります。

イネーブル機能が不要の場合は、このピンを開放のままとするか、直接 V_{BIAS} に接続します。イネーブル・ピンを開放とする場合は、ピンの浮遊容量が最低限となるようにしてください。浮遊容量が大きいと、内部抵抗 (r_{EN}) を介してこの容量を充電する間、出力のターンオンが遅れます。

消費電力と放熱

デバイスの最大消費電力 (P_D) と、予想される最大周囲温度 (T_A) によっては、放熱用の銅エリアを増やさねばならない場合があります。考えられるすべての条件下で、接合部温度は動作条件のもとに規定範囲内でなければなりません。

このデバイスの総消費電力は、デバイス内の 3 箇所消費される電力の合計になります。

1 つ目は NMOS のパス素子で消費される電力であり、次の式で計算できます。

$$P_{D(PASS)} = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (8)$$

2 つ目はバイアス回路および制御回路で消費される電力であり、次の式で計算できます。

$$P_{D(BIAS)} = V_{BIAS} \times I_{GND(BIAS)} \quad (9)$$

ここで $I_{GND(BIAS)}$ は、デバイス動作時のグラウンド電流のうち V_{BIAS} に関連する成分です。

3 つ目は出力段回路で消費される電力であり、次の式で計算できます。

$$P_{D(IN)} = V_{IN} \times I_{GND(IN)} \quad (10)$$

ここで $I_{GND(IN)}$ は、デバイス動作時のグラウンド電流のうち V_{IN} に関連する成分です。

以上より総消費電力は次のように計算できます。

$$P_D = P_{D(PASS)} + P_{D(BIAS)} + P_{D(IN)} \quad (11)$$

最大許容温度上昇 (T_J) は、アプリケーション環境における最大周囲温度 (T_A) と、動作時の最大許容接合部温度 ($T_{J(MAX)}$) に依存します。

$$\Delta T_J = T_{J(MAX)} - T_{A(MAX)} \quad (12)$$

接合部から周囲に対する熱抵抗の最大許容値 θ_{JA} は、次式を用いて求められます。

$$\theta_{JA} \leq \frac{\Delta T_J}{P_D} \quad (13)$$

TO-220 パッケージの放熱

TO220-5 パッケージの θ_{JA} の定格は 60 $^{\circ}$ C/W、 θ_{JC} の定格は 3 $^{\circ}$ C/W です。これらの定格はパッケージのみの値であり、ヒートシンクを設けずエアフローもない場合です。前述の式から計算される、必要な θ_{JA} の値が 60 $^{\circ}$ C/W 以上であれば、パッケージだけで十分に放熱でき、動作時に $T_{J(MAX)}$ を超える可能性がないため、ヒートシンクは必要ありません。60 $^{\circ}$ C/W 未満の θ_{JA} が必要な場合は、別途何らかの放熱手段を講じなければなりません。

TO-220 パッケージでは、ヒートシンクを装着するか、プリント基板に銅箔エリアを設けることで熱抵抗を低減できます。銅箔を用いる場合、 θ_{JA} の値は次に述べる TO-263 の値と同じになります。

ヒートシンクを用いる場合は、ヒートシンクから周囲への熱抵抗 θ_{HA} が次式を満たす必要があります。

$$\theta_{HA} \leq \theta_{JA} - (\theta_{CH} + \theta_{JC}) \quad (14)$$

ここで θ_{JA} は接合部から周囲大気への総熱抵抗の希望値、 θ_{CH} はケースからヒートシンク表面への熱抵抗、 θ_{JC} は接合部からケース表面への熱抵抗です。

アプリケーション情報 (つづき)

TO-220 パッケージの場合、この式の θ_{JC} は約 $3 \text{ } ^\circ\text{C/W}$ になります。 θ_{CH} の値は、ヒートシンクの装着方法や熱伝導性材料などに依存します。 θ_{CH} の値の範囲は $1.5 \text{ } ^\circ\text{C/W} \sim 2.5 \text{ } ^\circ\text{C/W}$ です。詳細および推奨値についてはヒートシンクのメーカーのデータシートを参照してください。

TO-263 パッケージの放熱

TO-263 パッケージの θ_{JA} の定格は $60 \text{ } ^\circ\text{C/W}$ 、 θ_{JC} の定格は $3 \text{ } ^\circ\text{C/W}$ です。これらの定格はパッケージのみの値であり、ヒートシンクを設けずエアフローもない場合です。

TO-263 パッケージでは、プリント基板の銅箔エリアをヒートシンクとして使用します。パッケージのタブ部分を放熱のために銅箔にハンダ付けします。Figure 3 に、 $35 \mu\text{m}$ 厚の銅箔を用いた一般的なプリント基板で、放熱のために銅箔エリアにレジストを塗布していない場合の、銅箔の面積に対する TO-263 パッケージの θ_{JA} 特性を示します。

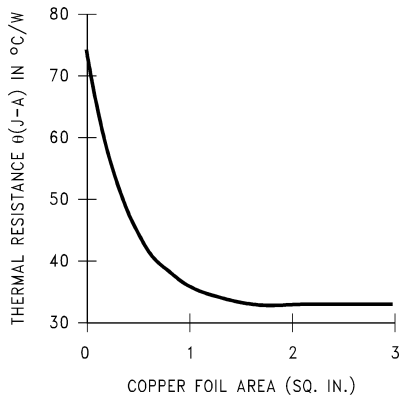


FIGURE 3. θ_{JA} vs Copper (1 Ounce) Area for the TO-263 package

Figure 3 からわかるように、銅箔エリアの面積は 1 平方インチ (約 6.45 平方センチ) あれば十分で、それ以上にしても改善はわずかです。また、TO-263 パッケージをプリント基板に実装したときの θ_{JA} の最小値は、同図からわかるように $32 \text{ } ^\circ\text{C/W}$ です。

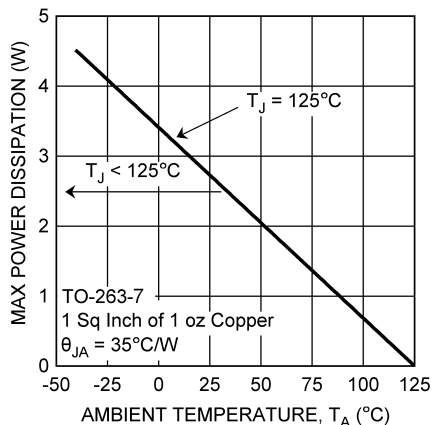


FIGURE 4. Maximum Power Dissipation vs Ambient Temperature for the TO-263 Package

Figure 4 に、 θ_{JA} を $35 \text{ } ^\circ\text{C/W}$ 、最大接合部温度を $125 \text{ } ^\circ\text{C}$ とそれぞれ仮定したときの、周囲温度に対する TO-263 パッケージの最大許容損失を示します。

PSOP-8 パッケージの放熱

LP38851MR パッケージの θ_{JA} の定格は $168 \text{ } ^\circ\text{C/W}$ 、 θ_{JC} の定格は $11 \text{ } ^\circ\text{C/W}$ です。 θ_{JA} の定格 $168 \text{ } ^\circ\text{C/W}$ は、デバイスの DAP を 1 オンス ($35 \mu\text{m}$ 厚)、面積 0.008 平方インチ ($0.09 \text{ インチ} \times 0.09 \text{ インチ}$) の銅箔にハンダ付けし、エアフローがない状態の値です。

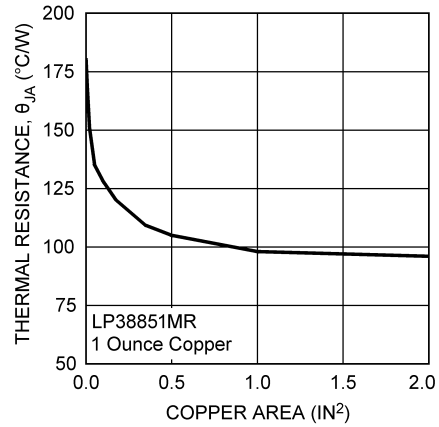


FIGURE 5. θ_{JA} vs Copper (1 Ounce) Area for the PSOP-8 Package

DAP にハンダ付けする銅エリアを、ドッグボーン形状のレイアウトを用いて 1 オンス ($35 \mu\text{m}$ 厚)、1 平方インチにまで広げると、 θ_{JA} の定格が $98 \text{ } ^\circ\text{C/W}$ にまで改善されます。Figure 5 からわかるように、銅箔エリアの面積は 1 平方インチ (約 6.45 平方センチ) あれば十分で、それ以上にしても改善はわずかです。

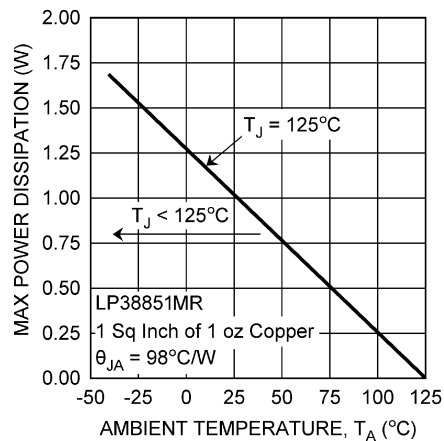
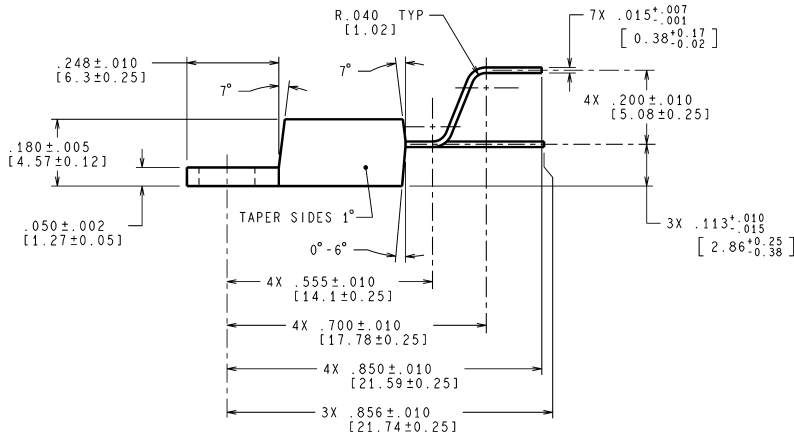
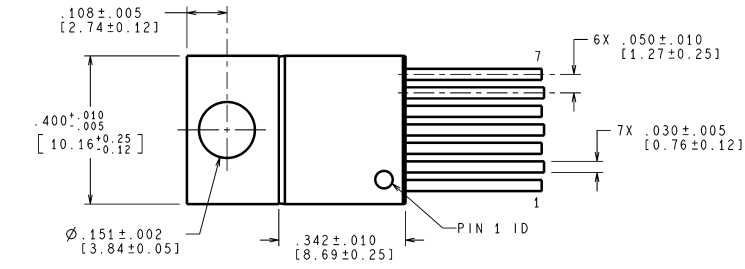


FIGURE 6. Maximum Power Dissipation vs Ambient Temperature for the PSOP-8 Package

Figure 6 に、 θ_{JA} を $98 \text{ } ^\circ\text{C/W}$ 、最大接合部温度を $125 \text{ } ^\circ\text{C}$ とそれぞれ仮定したときの、周囲温度に対する PSOP-8 パッケージの最大消費電力を示します。

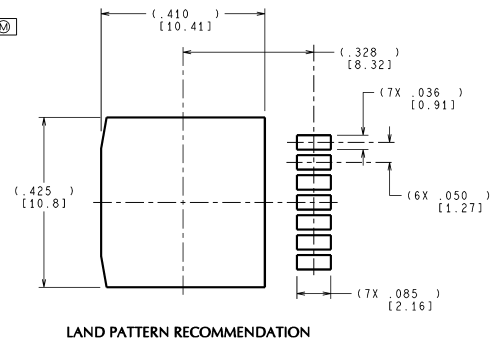
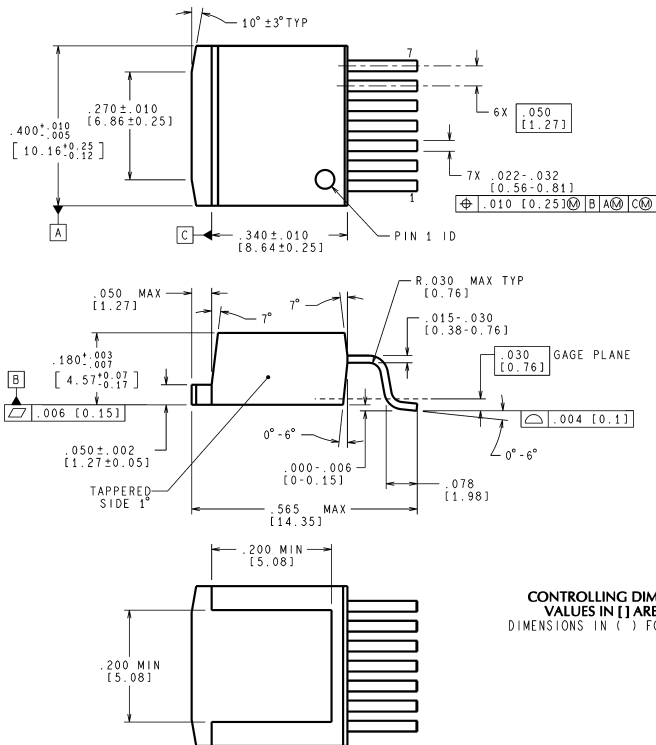
外形寸法図 特記のない限り inches (millimeters)



CONTROLLING DIMENSIONS IS INCH
VALUES IN [] ARE MILLIMETERS

TA07B (Rev E)

TO-220 7-Lead, Stagger Bend Package (TO220-7)
NS Package Number TA07B

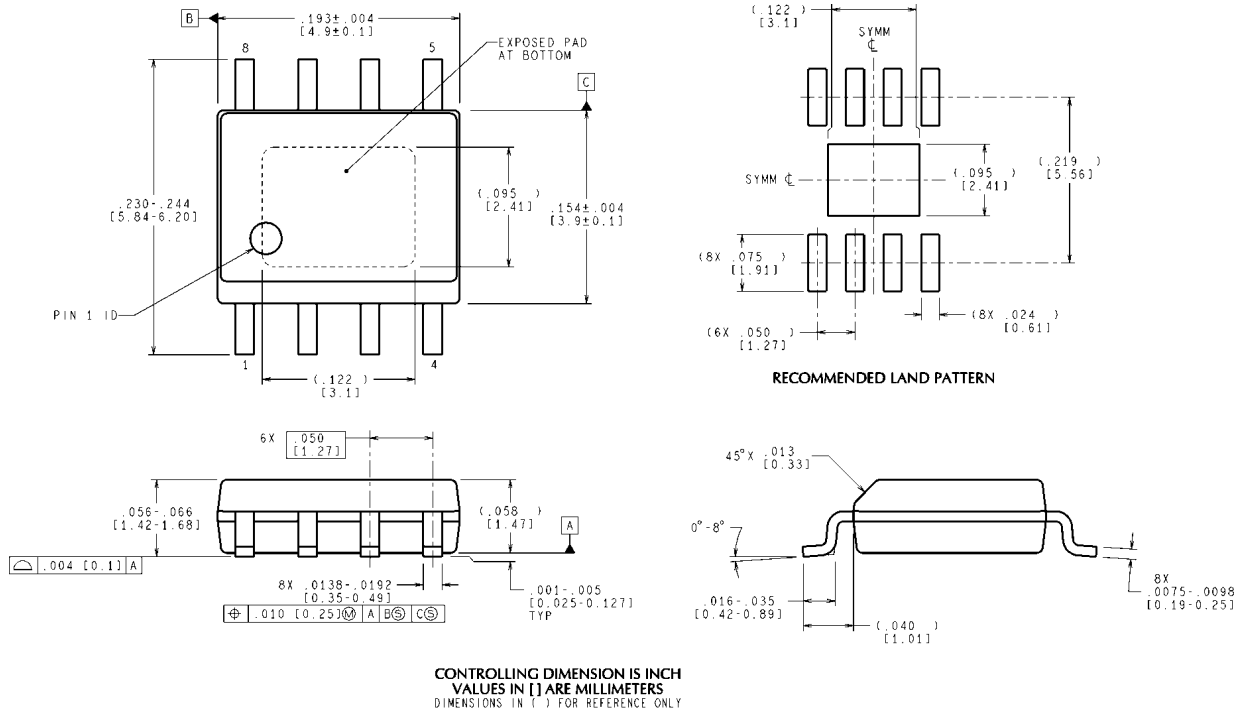


CONTROLLING DIMENSION IS INCH
VALUES IN [] ARE MILLIMETERS
DIMENSIONS IN () FOR REFERENCE ONLY

TS7B (Rev E)

TO-263 7-Lead, Molded, Surface Mount Package (TO263-7)
NS Package Number TS7B

外形寸法図 特記のない限り inches (millimeters) (つづき)



CONTROLLING DIMENSION IS INCH
VALUES IN [] ARE MILLIMETERS
DIMENSIONS IN () FOR REFERENCE ONLY

MRA08B (Rev B)

PSOP, 8 Lead, Molded, 0.050in Pitch
NS Package Number MRA08B

このドキュメントの内容はナショナル セミコンダクター 社製品の関連情報として提供されます。ナショナル セミコンダクター 社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター 社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター 社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター 社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター 社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター 社との取引条件で規定される場合を除き、ナショナル セミコンダクター 社は一切の義務を負わないものとし、また、ナショナル セミコンダクター 社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター 社の製品は、ナショナル セミコンダクター 社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクター のロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2007 National Semiconductor Corporation
製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上