

LPV531

LPV531 Programmable Micropower CMOS Input, Rail-to-Rail Output Operational Amplifier



Literature Number: JAJ SAB7

LPV531

プログラマブル、マイクロパワー、CMOS 入力、フルスイング出力オペアンプ

概要

LPV531 は応用範囲がきわめて広いオペアンプです。単一の外付け抵抗によって、待機時電流、ゲイン帯域積、出力短絡電流を設定することが可能です。このような画期的な特長によって、消費電力をダイナミックに調整して、オペアンプ性能の最適化とシステム設計要件への適合が図れます。

LPV531 はさまざまなアプリケーションに適合します。D/A コンバータを使って I_{SEL} ピンの流出電流を制御する方法、あるいは I_{SEL} ピンに直列に接続した抵抗を切り替える方法を用いることで、帯域と消費電流とのバランスを動作中に切り替えることが可能です。LPV531 のゲイン帯域積は消費電流に応じて変化し、消費電流をわずか $5\mu\text{A}$ に設定した場合は 73kHz 、消費電流を $425\mu\text{A}$ に設定した場合に 4.6MHz になります。入力オフセット電圧は設定したパワー・レベルにはあまり影響されずほぼ一定です。

入力段を CMOS で構成した LPV531 は 50fA という低い入力バイアス電流を達成しています。またコモンモード入力電圧は、上限は正電源電圧から 1.2V 低い電圧、下限は負電源電圧を範囲とします。LPV531 はフルスイングのクラス AB 出力段を備えているため、低電源電圧時においても最大限のダイナミック・レンジが実現されます。

実装面積の小さい 16ピン TSOT23 パッケージで供給される LPV531 はハンドヘルド機器や携帯型アプリケーションに最適です。LPV531 はナショナル セミコンダクターの最新 VIP50 プロセスで製造されます。

消費電流とゲイン帯域積を固定した製品が必要な場合はお問合せください。

特長

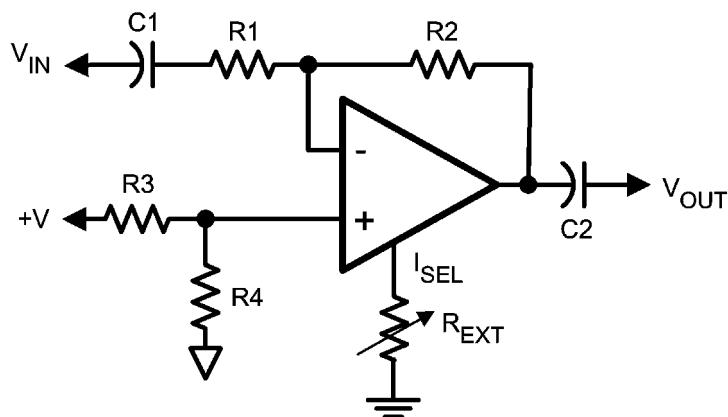
(特記のない限り 5V (typ) 電源)

電源電圧	2.7V ~ 5.5V
ダイナミックなパワー・モード設定	
消費電流を動作中に設定可能	
範囲：	$5\mu\text{A} \sim 425\mu\text{A}$
帯域を動作中に設定可能	
範囲：	$73\text{kHz} \sim 4.6\text{MHz}$
入力コモンモード電圧範囲	- 0.3V ~ 3.8V
CMRR	95dB
フルスイング出力電圧振幅	
入力オフセット電圧	1mV

アプリケーション

- AC 結合回路
- 携帯型計測機器
- アクティブ・フィルタ

代表的なアプリケーション



AC Coupled Application

絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。
 関連する電気的信頼性試験方法の規格を参照ください。

ハンダ付け条件

赤外線または対流方式 (20 秒)	235
ウェーブ・ハンダ付けリード温度 (10 秒)	260

ESD 耐圧 (Note 2)

人体モデル	2,000V
マシン・モデル	200V

動作定格 (Note 1)

V_{IN} 差動電圧	$\pm 2V$	動作温度範囲	- 40 ~ + 85
電源電圧 ($V^+ - V^-$)	6V	電源電圧 ($V^+ - V^-$)	2.7V ~ 5.5V
保存温度範囲	- 65 ~ + 150	パッケージ熱抵抗 (θ_{JA})(Note 4)	
接合部温度 (Note 5)	+ 150	6ピン TSOT23	171 /W

5V フルパワー・モードの電気的特性

特記のない限り、すべてのリミット値は、 $T_J = 25^\circ C$ 、 $V^+ = 5V$ 、 $V^- = 0V$ 、 $V_{CM} = V_O = V^+ / 2$ 、 I_{SEL} ピンは V^- に接続、 $R_L = 100k\Omega$ の条件で保証されます。太文字表記のリミット値は全動作温度範囲にて適用されます。

Symbol	Parameter	Conditions	Min (Note 6)	Typ (Note 5)	Max (Note 6)	Units
V_{OS}	Input Offset Voltage			± 1	± 4.5 ± 5	mV
ΔV_{OS}	Input Offset Voltage Difference	(V_{OS} in Full Power Mode) – (V_{OS} in Low Power Mode)		± 0.1	± 2	mV
TC V_{OS}	Input Offset Average Drift	(Note 8)		± 2		$\mu V/^\circ C$
I_B	Input Bias Current	(Note 9)		.05	± 10 ± 100	pA
CMRR	Common Mode Rejection Ratio	V_{CM} Stepped from 0V to 3.5V	72 68	95		dB
PSRR	Power Supply Rejection Ratio	$V^+ = 2.7V$ to 5.5V $V_{CM} = 1V$	74 70	90		dB
CMVR	Input Common Mode Voltage Range	CMRR ≥ 50 dB	-0.3		3.8	V
A_{VOL}	Large Signal Voltage Gain	$V_O = 0.5V$ to 4.5V $R_L = 1 k\Omega$ to $V^+/2$	87 84	96		dB
		$V_O = 0.5V$ to 4.5V $R_L = 10 k\Omega$ to $V^+/2$	104 100	114		
		$V_O = 0.5V$ to 4.5V $R_L = 100 k\Omega$, to $V^+/2$	108 104	128		
V_O	Output Swing High	$R_L = 1 k\Omega$ to $V^+/2$		120	180 195	mV from V^+
		$R_L = 10 k\Omega$ to $V^+/2$		55	80 85	
		$R_L = 100 k\Omega$ to $V^+/2$		30	50 60	
	Output Swing Low	$R_L = 1 k\Omega$ to $V^+/2$		160	210 230	mV
		$R_L = 10 k\Omega$ to $V^+/2$		105	120 135	
		$R_L = 100 k\Omega$ to $V^+/2$		95	120 135	
I_{SC}	Output Short Circuit Current (Note 3)	Sourcing, $V_O = 2.5V$ $V_{ID} = 100$ mV		-15	-8 -3	mA
		Sinking, $V_O = 2.5V$ $V_{ID} = -100$ mV	13 10	24		
I_S	Supply Current			425	530 650	μA

5V フルパワー・モードの電気的特性 (つづき)

特記のない限り、すべてのリミット値は、 $T_J = 25$ 、 $V^+ = 5V$ 、 $V^- = 0V$ 、 $V_{CM} = V_O = V^+ / 2$ 、 I_{SEL} は V^- に接続、 $R_L = 100k$ の条件で保証されます。太文字表記のリミット値は全動作温度範囲にて適用されます。

Symbol	Parameter	Conditions	Min (Note 6)	Typ (Note 5)	Max (Note 6)	Units
SR	Slew Rate (Note 7)	$A_V = +1$, $V_{IN} = 0.5V$ to $3.5V$ $C_L = 15$ pF	1.55 1	2.5		V/ μ s
GBW	Gain Bandwidth Product	$C_L = 20$ pF		4.6		MHz
e_n	Input-Referred Voltage Noise	$f = 100$ kHz		20		nV/ \sqrt{Hz}
		$f = 1$ kHz		28		
i_n	Input-Referred Current Noise	$f = 1$ kHz		6		fA/ \sqrt{Hz}

5V ミッドパワー・モードの電気的特性

特記のない限り、すべてのリミット値は、 $T_J = 25$ 、 $V^+ = 5V$ 、 $V^- = 0V$ 、 $V_{CM} = V_O = V^+ / 2$ 、 I_{SEL} は $100k$ 抵抗を介して V^- に接続、 $R_L = 100k$ の条件で保証されます。太文字表記のリミット値は全動作温度範囲にて適用されます。

Symbol	Parameter	Conditions	Min (Note 6)	Typ (Note 5)	Max (Note 6)	Units
V_{OS}	Input Offset Voltage			± 1	± 4.5 ± 5	mV
ΔV_{OS}	Input Offset Voltage Difference	(V_{OS} in Full Power Mode) – (V_{OS} in Low Power Mode)		± 0.1	± 2	mV
TC V_{OS}	Input Offset Average Drift	(Note 8)		± 2		μ V/ $^{\circ}$ C
I_B	Input Bias Current	(Note 9)		.05	± 10 ± 100	pA
CMRR	Common Mode Rejection Ratio	V_{CM} Stepped from 0V to 3.5V	72 68	92		dB
PSRR	Power Supply Rejection Ratio	$V^+ = 2.7V$ to $5.5V$	72 68	88		dB
CMVR	Input Common Mode Voltage Range	CMRR ≥ 50 dB	-0.3		3.8	V
A_{VOL}	Large Signal Voltage Gain	$V_O = 0.5V$ to $4.5V$ $R_L = 10$ k Ω to $V^+ / 2$	86 82	96		dB
		$V_O = 0.5V$ to $4.5V$ $R_L = 100$ k Ω to $V^+ / 2$	100 98	114		
V_O	Output Swing High	$R_L = 10$ k Ω to $V^+ / 2$		115	160 175	mV from V^+
		$R_L = 100$ k Ω to $V^+ / 2$		65	110 120	
	Output Swing Low	$R_L = 10$ k Ω to $V^+ / 2$		150	165 180	mV
		$R_L = 100$ k Ω to $V^+ / 2$		105	120 135	
I_{SC}	Output Short Circuit Current (Note 3)	Sourcing, $V_O = 2.5V$ $V_{ID} = 100$ mV		-4	-1.5 -1	mA
		Sinking, $V_O = 2.5V$ $V_{ID} = -100$ mV	1.5 1	4		
I_S	Supply Current			42	55 62	μ A
SR	Slew Rate (Note 7)	$A_V = +1$, $V_{IN} = 0.5V$ to $3.5V$	180 100	250		V/ms
GBW	Gain Bandwidth Product	$C_L = 20$ pF		625		kHz
e_n	Input-Referred Voltage Noise	$f = 100$ kHz		55		nV/ \sqrt{Hz}
		$f = 1$ kHz		60		

5V ミッドパワー・モードの電気的特性 (つづき)

特記のない限り、すべてのリミット値は、 $T_J = 25^\circ\text{C}$ 、 $V^+ = 5\text{V}$ 、 $V^- = 0\text{V}$ 、 $V_{CM} = V_O = V^+ / 2$ 、 I_{SEL} は $100\text{k}\Omega$ 抵抗を介して V^- に接続、 $R_L = 100\text{k}\Omega$ の条件で保証されます。太文字表記のリミット値は全動作温度範囲にて適用されます。

Symbol	Parameter	Conditions	Min (Note 6)	Typ (Note 5)	Max (Note 6)	Units
i_n	Input-Referred Current Noise	$f = 1\text{ kHz}$		6		fA/√Hz

5V ローパワー・モードの電気的特性

特記のない限り、すべてのリミット値は、 $T_J = 25^\circ\text{C}$ 、 $V^+ = 5\text{V}$ 、 $V^- = 0\text{V}$ 、 $V_{CM} = V_O = V^+ / 2$ 、 I_{SEL} は $100\text{k}\Omega$ 抵抗を介して V^- に接続、 $R_L = 100\text{k}\Omega$ の条件で保証されます。太文字表記のリミット値は全動作温度範囲にて適用されます。

Symbol	Parameter	Conditions	Min (Note 6)	Typ (Note 5)	Max (Note 6)	Units
V_{OS}	Input Offset Voltage			±1	±4.5 ±5	mV
ΔV_{OS}	Input Offset Voltage Difference	(V_{OS} in Full Power Mode) – (V_{OS} in Low Power Mode)		±0.1	±2	mV
TC V_{OS}	Input Offset Average Drift	(Note 8)		±2		μV/°C
I_B	Input Bias Current	(Note 9)		.05	±10 ±100	pA
CMRR	Common Mode Rejection Ratio	V_{CM} Stepped from 0V to 3.5V	72 68	90		dB
PSRR	Power Supply Rejection Ratio	$V^+ = 2.7\text{V}$ to 5.5V	72 68	85		dB
CMVR	Input Common-Mode Voltage Range	CMRR ≥ 50 dB	-0.3		3.8	V
A_{VOL}	Large Signal Voltage Gain	$V_O = 0.5\text{V}$ to 4.5V $R_L = 10\text{ k}\Omega$ to $V^+ / 2$ $V_O = 0.5\text{V}$ to 4.5V $R_L = 100\text{ k}\Omega$ to $V^+ / 2$		90		dB
V_O	Output Swing High	$R_L = 10\text{ k}\Omega$ to $V^+ / 2$		175	400 1600	mV from V^+
		$R_L = 100\text{ k}\Omega$ to $V^+ / 2$		115	200 230	
	Output Swing Low	$R_L = 10\text{ k}\Omega$ to $V^+ / 2$		250	1200 1800	mV
		$R_L = 100\text{ k}\Omega$ to $V^+ / 2$		150	165 180	
I_{SC}	Output Short Circuit Current (Note 3)	Sourcing, $V_O = 2.5\text{V}$ $V_{ID} = 100\text{ mV}$		-400	-100 -35	μA
		Sinking, $V_O = 2.5\text{V}$ $V_{ID} = -100\text{ mV}$	80 35	300		
I_S	Supply Current			5	7 8	μA
SR	Slew Rate (Note 7)	$A_V = +1$, $V_{IN} = 0.5\text{V}$ to 3.5V	10 8	28		V/ms
GBW	Gain Bandwidth Product	$C_L = 20\text{ pF}$		73		kHz
e_n	Input-Referred Voltage Noise	$f = 1\text{ kHz}$		200		nV/√Hz
i_n	Input-Referred Current Noise	$f = 1\text{ kHz}$		60		fA/√Hz

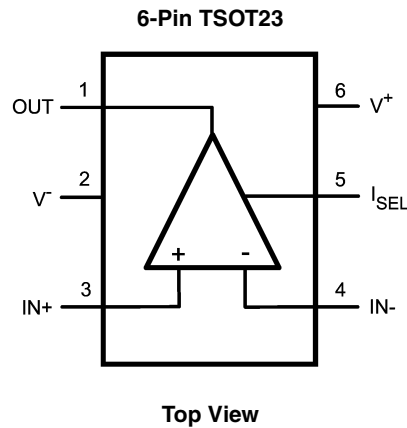
パワー選択の電気的特性

特記のない限り、以下のリミット値は、 $T_J = 25^\circ\text{C}$ 、 $V^+ = 5\text{V}$ 、 $V^- = 0\text{V}$ 、 $V_{CM} = V_O = V^+ / 2$ 、 $R_L = 100\text{k}\Omega$ に対して適用されます。太文字表記のリミット値は全動作温度範囲にて適用されます。

Symbol	Parameter	Conditions	Min (Note 6)	Typ (Note 5)	Max (Note 6)	Units
t_{LF}	Time from Low Power Mode to Full Power Mode			210		ns
t_{FL}	Time from Full Power Mode to Low Power Mode			500		ns
V_{REXT}	Voltage @ I_{SEL} Pin	I_{SEL} Pin Left Open	100	110	125	mV
R_{INT}			9	11	14.5	$\text{k}\Omega$

- Note 1:** 絶対最大定格とはデバイスが損傷する可能性があるリミット値のことです。動作定格とはデバイスが機能する条件を示しますが、特定の性能リミット値を保証するものではありません。保証されている仕様およびその試験条件については、「電気的特性」を参照してください。
- Note 2:** 人体モデルでは $1.5\text{k}\Omega$ と 100pF が直列接続され、マシン・モデルでは 0Ω と 200pF が直列接続されます。
- Note 3:** 周囲温度上昇時に連続短絡状態になると、 150°C の最大許容接合部温度を超える場合があります。
- Note 4:** 最大消費電力は、最大接合部温度 $T_{J(max)}$ 、接合部 - 周囲温度間熱抵抗 θ_{JA} 、および周囲温度 T_A により決まります。ある周囲温度での最大許容消費電力は、 $P_D = (T_{J(max)} - T_A) / \theta_{JA}$ です。すべての数値はプリント基板に直接ハンダ付けされたパッケージに適用されます。
- Note 5:** 代表値 (Typical) は、最も標準的な数値です。
- Note 6:** すべてのリミット値は、試験または統計解析により保証されています。
- Note 7:** スレーレートは立ち上がり、立ち下がりのうちいずれか遅いほうです。
- Note 8:** 最低温度から最高温度までの V_{OS} の変化量を、温度変化量の合計値で割ると、オフセット電圧の平均ドリフト量が求められます。
- Note 9:** 設計値により保証。

ピン配置図

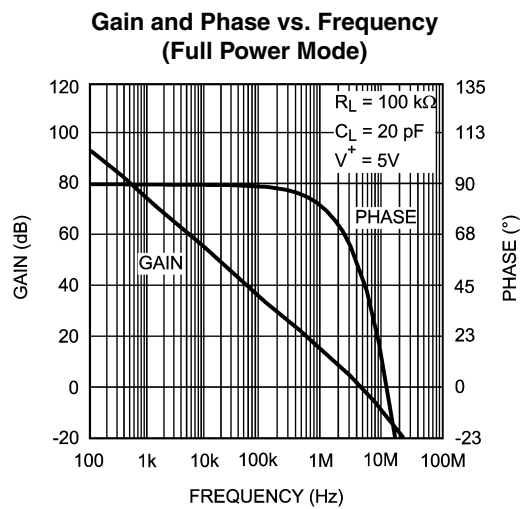
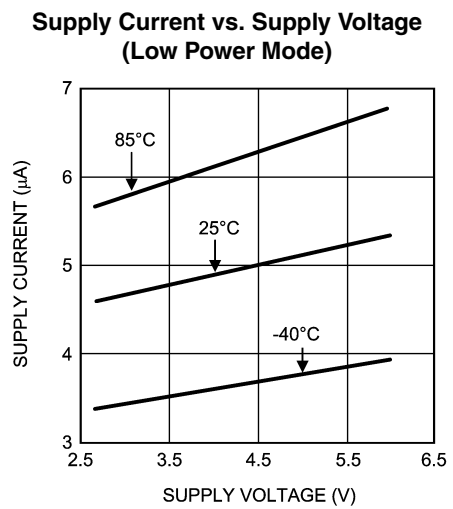
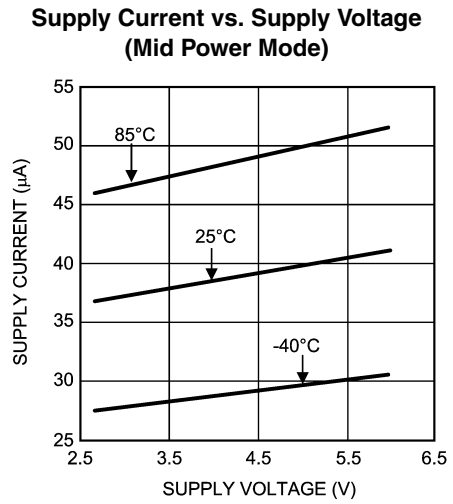
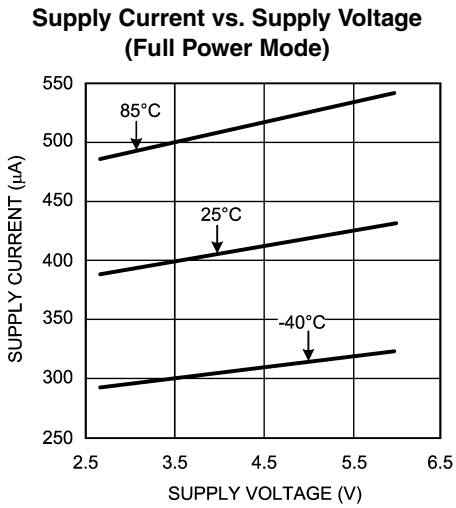
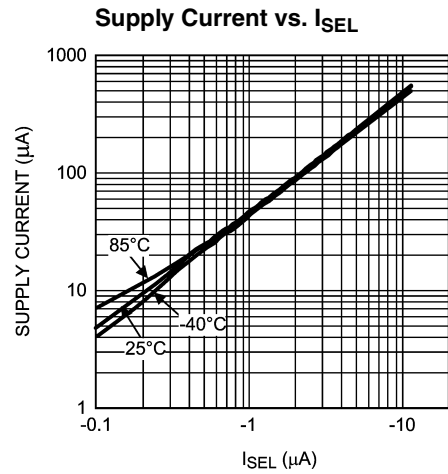
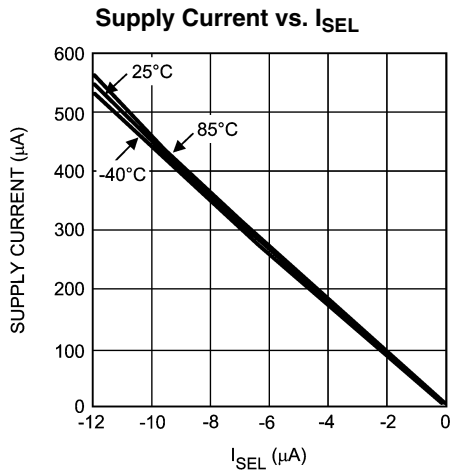


製品情報

Package	Part Number	Package Marking	Transport Media	NSC Drawing
6-Pin TSOT23	LPV531MK	AV2A	1k Units Tape and Reel	MK06A
	LPV531MKX		3k Units Tape and Reel	

代表的な性能特性

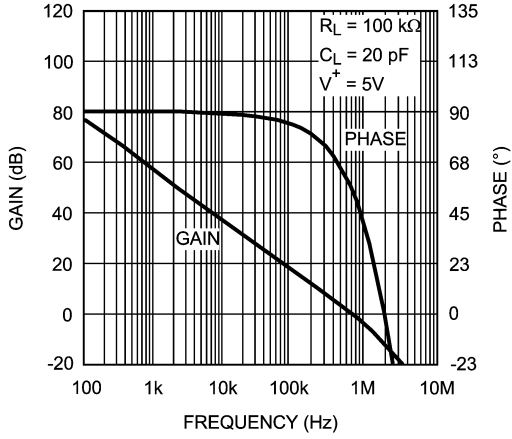
特記のない限り、 $V^+ = 5V$ 、 $T_J = 25^\circ C$ です。フルパワー・モードの測定では I_{SEL} ピンを V^- に接続しています。ミッドパワー・モードの測定では I_{SEL} ピンを $100k\ \Omega$ 抵抗を介して V^- に接続しています。ローパワー・モードの測定では I_{SEL} ピンを $1M\ \Omega$ 抵抗を介して V^- に接続しています。



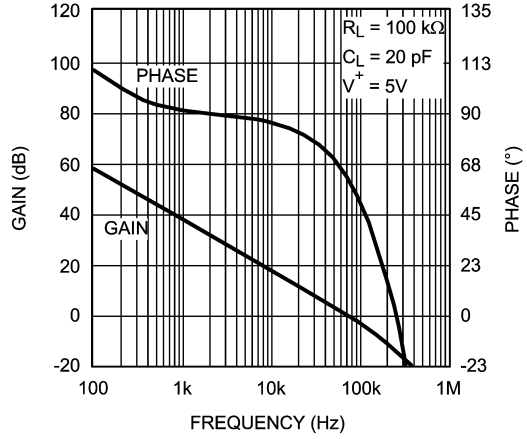
代表的な性能特性 (つづき)

特記のない限り、 $V^+ = 5V$ 、 $T_J = 25^\circ C$ です。フルパワー・モードの測定では I_{SEL} ピンを V^- に接続しています。ミッドパワー・モードの測定では I_{SEL} ピンを $100k\ \Omega$ 抵抗を介して V^- に接続しています。ローパワー・モードの測定では I_{SEL} ピンを $1M\ \Omega$ 抵抗を介して V^- に接続しています。

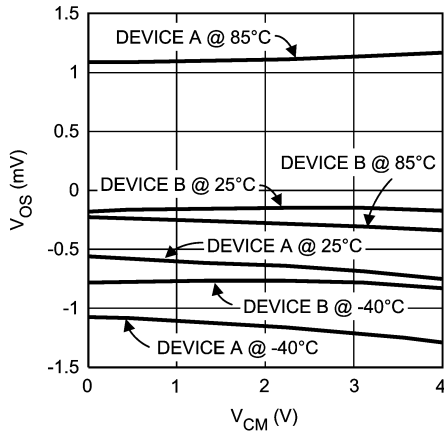
Gain and Phase vs. Frequency
(Mid Power Mode)



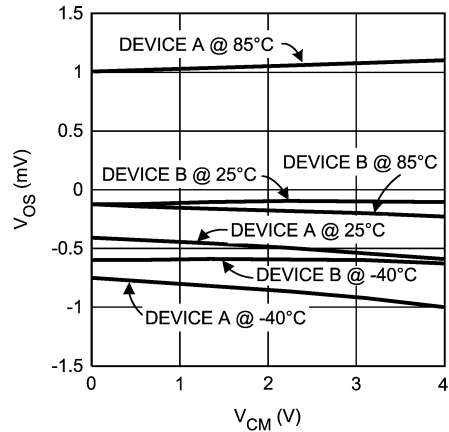
Gain and Phase vs. Frequency
(Low Power Mode)



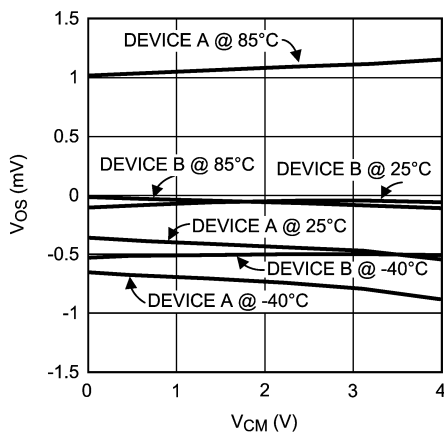
Input Offset Voltage vs. Common Mode Voltage
(Full Power Mode)



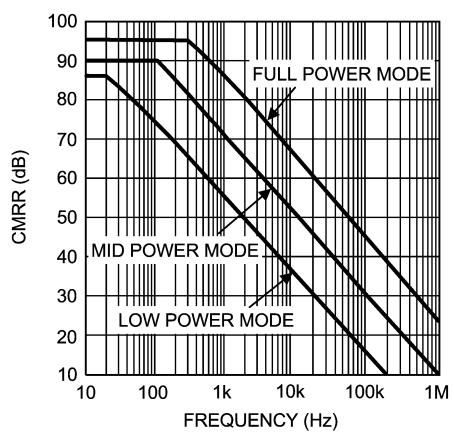
Input Offset Voltage vs. Common Mode Voltage
(Mid Power Mode)



Input Offset Voltage vs. Common Mode Voltage
(Low Power Mode)



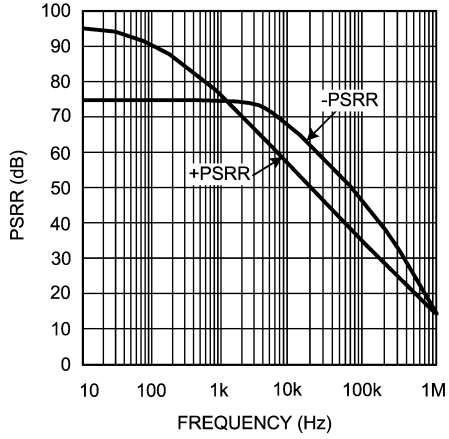
CMRR vs. Frequency



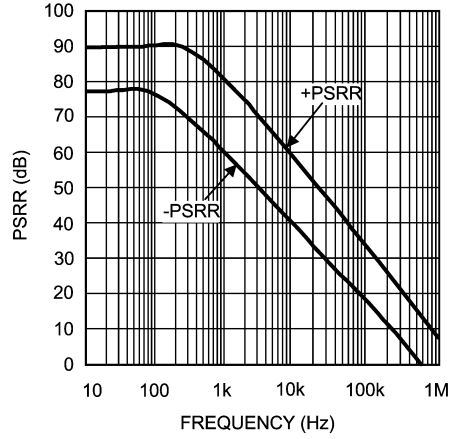
代表的な性能特性 (つづき)

特記のない限り、 $V^+ = 5V$ 、 $T_J = 25$ です。フルパワー・モードの測定では I_{SEL} ピンを V^- に接続しています。ミッドパワー・モードの測定では I_{SEL} ピンを $100k$ 抵抗を介して V^- に接続しています。ローパワー・モードの測定では I_{SEL} ピンを $1M$ 抵抗を介して V^- に接続しています。

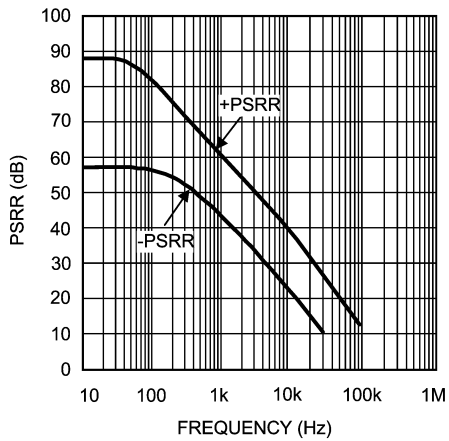
PSRR vs. Frequency
(Full Power Mode)



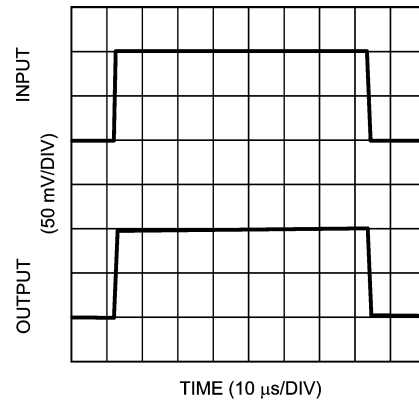
PSRR vs. Frequency
(Mid Power Mode)



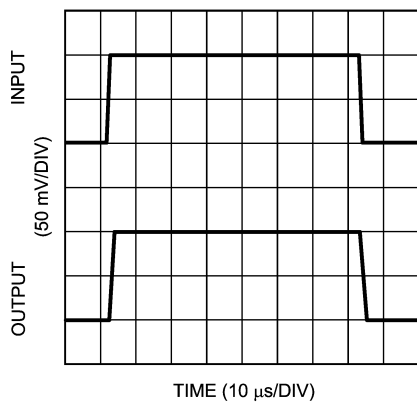
PSRR vs. Frequency
(Low Power Mode)



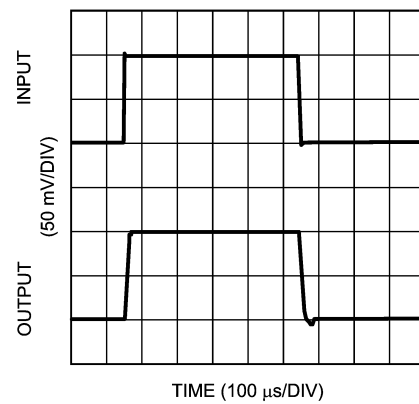
Small Signal Non-Inverting Response
(Full Power Mode)



Small Signal Non-Inverting Response
(Mid Power Mode)



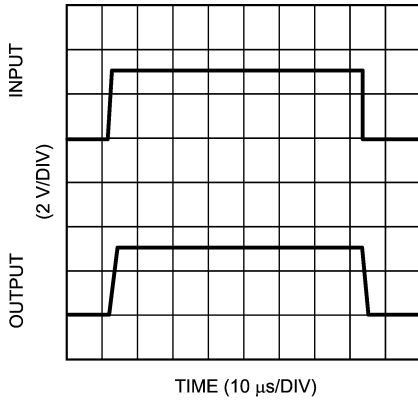
Small Signal Non-Inverting Response
(Low Power Mode)



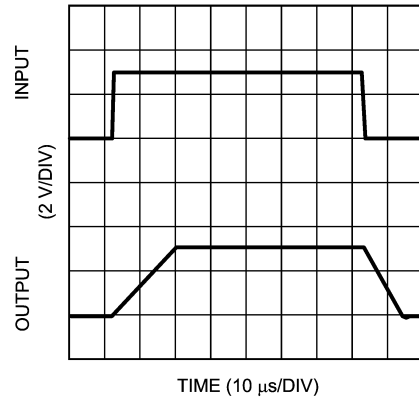
代表的な性能特性 (つづき)

特記のない限り、 $V^+ = 5V$ 、 $T_J = 25$ です。フルパワー・モードの測定では I_{SEL} ピンを V^- に接続しています。ミッドパワー・モードの測定では I_{SEL} ピンを $100k$ 抵抗を介して V^- に接続しています。ローパワー・モードの測定では I_{SEL} ピンを $1M$ 抵抗を介して V^- に接続しています。

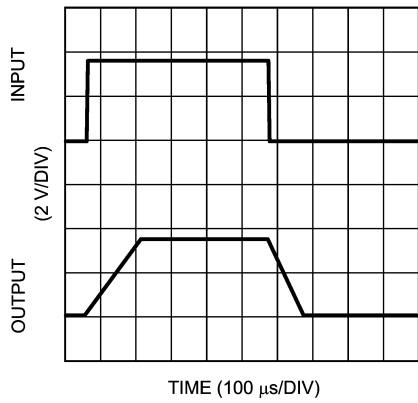
Large Signal Non-Inverting Response
(Full Power Mode)



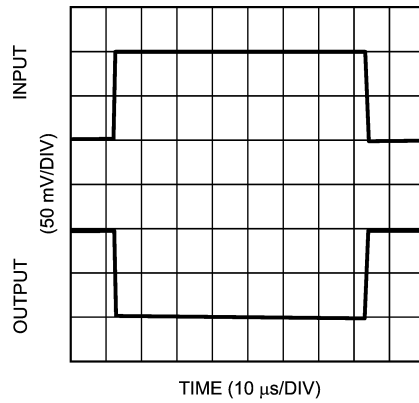
Large Signal Non-Inverting Response
(Mid Power Mode)



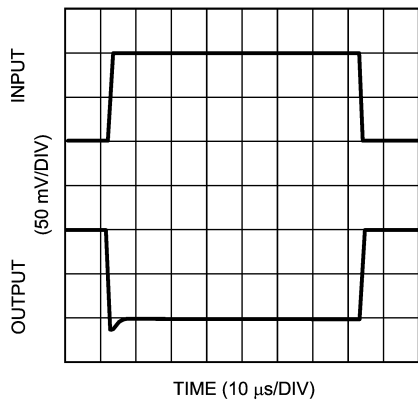
Large Signal Non-Inverting Response
(Low Power Mode)



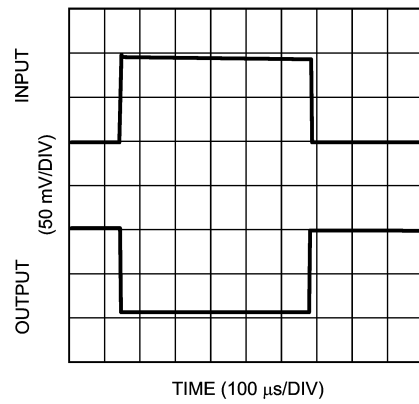
Small Signal Inverting Pulse Response
(Full Power Mode)



Small Signal Inverting Pulse Response
(Mid Power Mode)



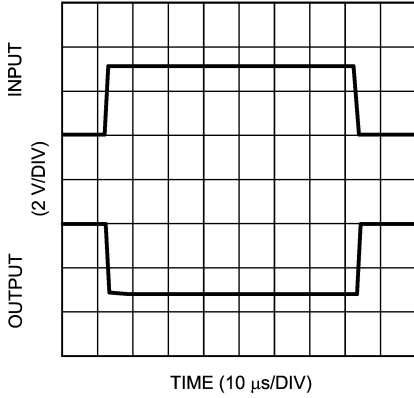
Small Signal Inverting Pulse Response
(Low Power Mode)



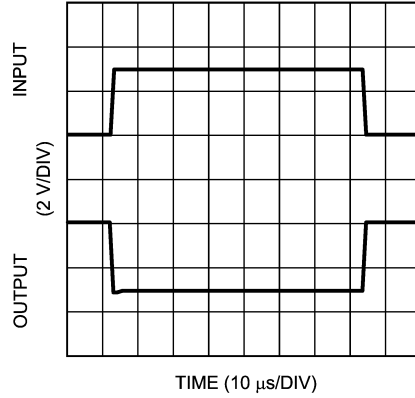
代表的な性能特性 (つづき)

特記のない限り、 $V^+ = 5V$ 、 $T_J = 25^\circ\text{C}$ です。フルパワー・モードの測定では I_{SEL} ピンを V^- に接続しています。ミッドパワー・モードの測定では I_{SEL} ピンを $100k\ \Omega$ 抵抗を介して V^- に接続しています。ローパワー・モードの測定では I_{SEL} ピンを $1M\ \Omega$ 抵抗を介して V^- に接続しています。

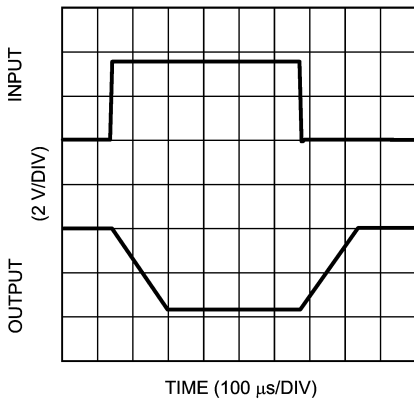
Large Signal Inverting Response (Full Power Mode)



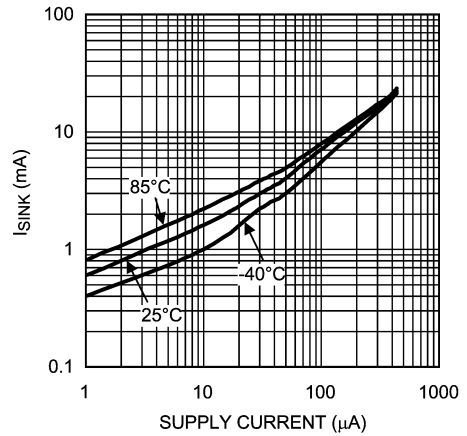
Large Signal Inverting Response (Mid Power Mode)



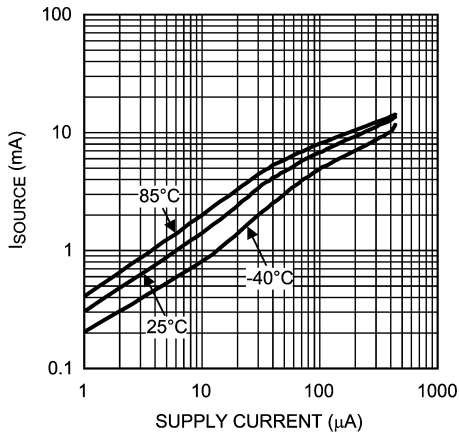
Large Signal Inverting Response (Low Power Mode)



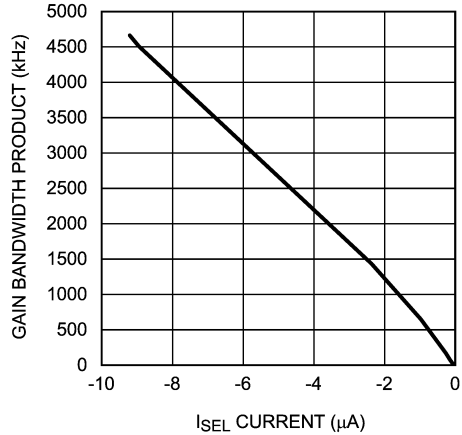
I_{SINK} vs. Supply Current



I_{SOURCE} vs. Supply Current



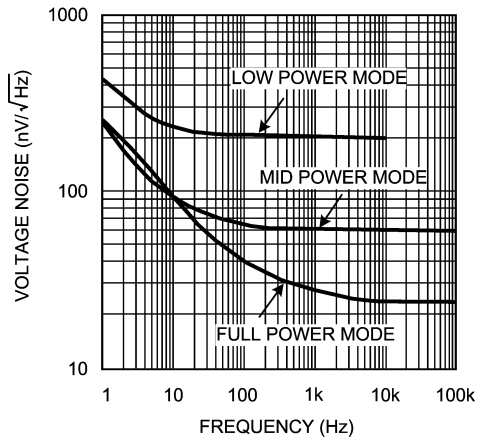
Gain Bandwidth Product vs. I_{SEL}



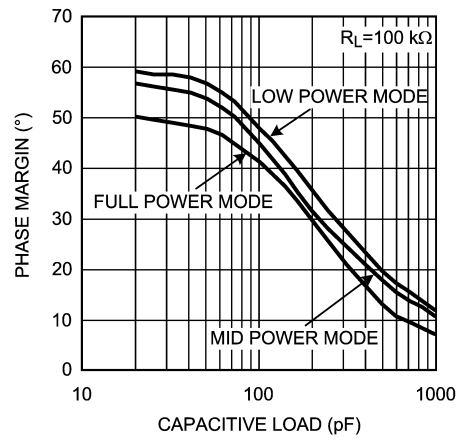
代表的な性能特性 (つづき)

特記のない限り、 $V^+ = 5V$ 、 $T_J = 25$ です。フルパワー・モードの測定では I_{SEL} ピンを V^- に接続しています。ミッドパワー・モードの測定では I_{SEL} ピンを $100k\ \Omega$ 抵抗を介して V^- に接続しています。ローパワー・モードの測定では I_{SEL} ピンを $1M\ \Omega$ 抵抗を介して V^- に接続しています。

Input Referred Voltage Noise vs. Frequency



Phase Margin vs. Capacitive Load



アプリケーション情報

LPV531 は応用範囲がきわめて広いオペアンプです。その理由は性能と消費電力を動作中に変更することができるため、アプリケーションの待機時電流、ゲイン帯域積、出力短絡電流を動的に最適化することが可能です。パワー・レベルは、アプリケーションの性能要件に応じて、 I_{SEL} ピンから引き出す電流により設定します。

内部回路トポロジー

LPV531 は Figure 1 に示すとおり、アンプ・コアにリファレンス電流 (I_{REF}) を供給する 2 個のバイアス・リファレンス・ジェネレータを内蔵しています。右側のプログラマブル・バイアス・ジェネレータ

は 110mV リファレンス電圧 (V_{INT}) を生成します。リファレンス電圧は内部抵抗 (R_{INT}) と I_{SEL} ピンに接続された外部抵抗 (R_{EXT}) によってプログラマブル・リファレンス電流 (I_{PROG}) に変換されます。 I_{PROG} は内部的には低電力バイアス・ジェネレータ (I_{STDB}) が出力する出力電流に加算されます。 I_{SEL} ピンを開放にすると I_{PROG} はゼロになり、 I_{REF} は I_{STDB} に等しくなります。このモードでの I_{STDB} の値は、消費電流が 1 μ A 未満になるように設定されています。1 μ A パワー・モードでは LPV531 は機能しますが、温度範囲全域にわたる性能は保証されません。1 μ A パワー・モード動作はアプリケーションの温度範囲が 0 から 70 の範囲に限られる場合に使用してください。

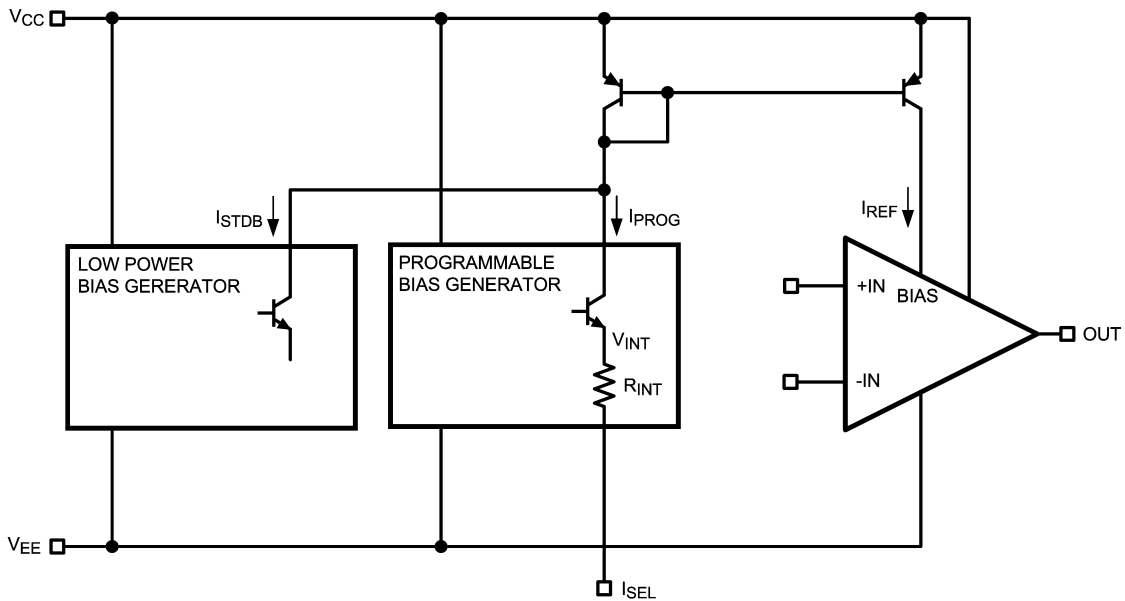


FIGURE 1. Simplified Schematic

パワーモード制御

以下に LPV531 のパワーモード制御に用いられる 3 種類のソリューションを例示し、代表的な回路構成を説明します。

1. パワーモード固定式

アプリケーションが LPV531 のいずれかひとつのパワーモードしか必要としない場合は、 I_{SEL} ピンと V^- との間に抵抗 (R_{EXT}) を接続する方法が最も簡単です。内部回路との組合せにより R_{EXT} が I_{SEL} ピンからの流出電流を決定します。 I_{SEL} ピンは $V_{INT} = 110\text{mV}$ でバイアスされた内蔵 11k 直列抵抗 (R_{INT}) に内部で接続されています。以上の構成を Figure 2 に示します。

消費電流、帯域、短絡回路電流、あるいは負荷抵抗の要件を満たす R_{EXT} 値は、「 R_{EXT} 値と I_{SEL} レベルの決定」セクションの式を使って求めてください。

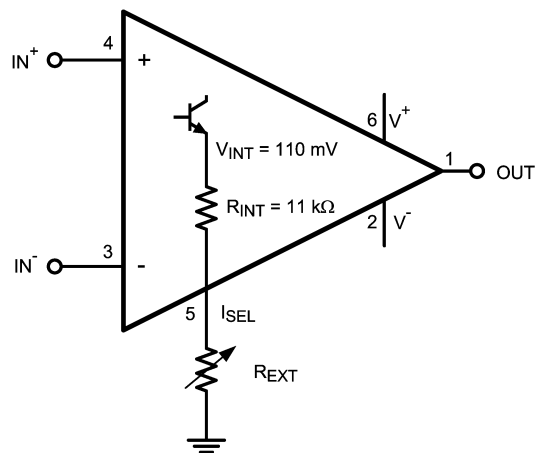


FIGURE 2. Single Power Mode

アプリケーション情報 (つづき)

2. パワーモード切り替え式

LPV531を回路の要件に応じて2種類または3種類のパワーモードで動作させるアプリケーション例です。ひとつは電力節減を目的とするローパワー・モードで、高抵抗を使って設定します。もうひとつはハイパワー・モードで低抵抗を使って設定します。ローパワー・モードに設定する高抵抗は常時接続したままでかまいません。並列に接続した低抵抗を有効にしてハイパワー・モードに切り換えます。以上はLPV531の性能を必要に応じて引き出すとする回路設計です。

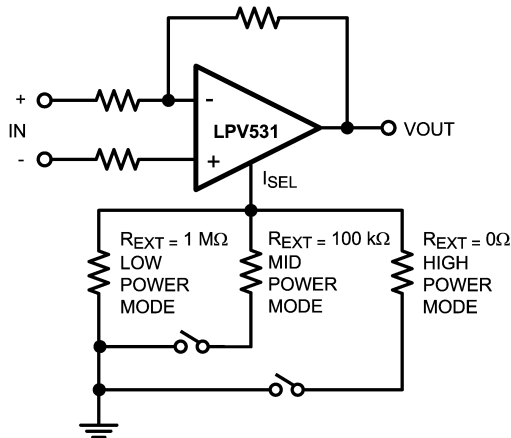


FIGURE 3. Power Modes Set by Resistors and Switches

Figure 3 に示すスイッチは ASIC のオープン・ドレイン I/O ポートが単純なブルダウン・スイッチで実装可能です。

3. DAC 制御式

ゲイン帯域積の制御を必要とする電圧制御型フィルタ・アプリケーションには、DAC と抵抗分圧回路を使用します。このアプリケーションでは DAC を用いて I_{SEL} ピンから引き込む電流を制御します。DAC の出力範囲が V⁻ から V_{INT} の範囲、すなわち 0V から 110mV に整合するように、抵抗で分圧します。

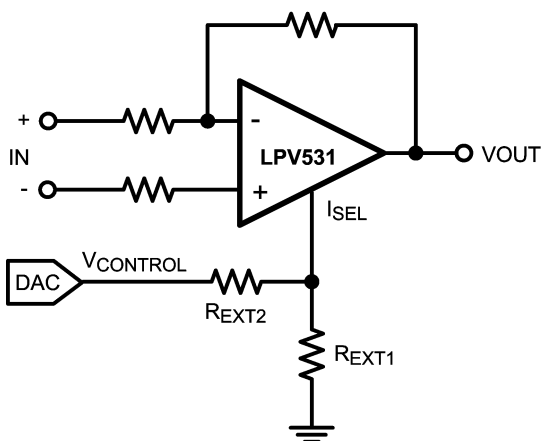


FIGURE 4. DAC Controlled Power Mode Configurations

パワーレベルをリニアに制御するために、抵抗分圧回路の出力インピーダンスは R_{INT} に比べて相対的に小さくしなければなりません。したがって、R_{EXT2} の値は R_{INT}/10 のオーダーでなければならず、R_{EXT1} = 125mV * R_{EXT2}/V_{CONTROL,MAX} です。1μA パワーモード動作を行う場合、これらの抵抗が V_{CONTROL} の最大電圧を 125mV に分圧します。

R_{EXT} 値と I_{SEL} レベルの決定

ある消費電流または帯域に必要な R_{EXT} 値を求めるには次の式を使います。

$$PSI = 1 \mu A + 40 \times \frac{110 \text{ mV}}{R_{EXT} + 11k}$$

または、

$$R_{EXT} = 40 \times \frac{110 \text{ mV}}{PSI - 1 \mu A} - 11 \text{ k}\Omega$$

$$GBW = 11 \text{ kHz} + \frac{50[\text{GHz} \cdot \Omega]}{R_{EXT} + 11 \text{ k}\Omega} \quad \text{or} \quad R_{EXT} = \frac{50[\text{GHz} \cdot \Omega]}{GBW - 11 \text{ kHz}} - 11 \text{ k}\Omega$$

これらの式をデータシートで特性を規定しているパワーモードに適用すると、Table 1 の値が導かれます。値は電氣的特性の表記載の代表値からわずかにずれています。その理由は、Table 1 の値は近似一次方程式を使って求めています。電氣的特性の表記載の値は特性測定から求めているためです。

TABLE 1. Values for Characterized Power Modes

R _{EXT}	I _{SEL}	Supply Current	Gain Bandwidth Product
1Ω	9 μA	400 μA	4.6 MHz
100 kΩ	0.9 μA	40 μA	460 kHz
1 MΩ	99 nA	5.3 μA	60 kHz

すべての温度範囲で定期的に LPV531 に最小出力電流を供給させる R_{EXT} を計算するには、次の式を使います。

$$ISC = \frac{35V}{R_{EXT} + 11 \text{ k}\Omega} \quad \text{or} \quad R_{EXT} = \frac{35V}{ISC} - 11 \text{ k}\Omega$$

負荷抵抗が分かっている出力を V⁺ / 2 に維持するのに必要な R_{EXT} を求めるには次の式を使います。

$$R_{LOAD,MIN} = \frac{0.07}{R_{EXT} + 11 \text{ k}\Omega} \quad \text{or} \quad R_{EXT} = \frac{0.07}{R_{LOAD,MIN}} - 11 \text{ k}\Omega$$

アプリケーション情報 (つぎ)

これらの式から各パワーモードの最小値が Table 2 のとおり導かれます。

TABLE 2. Minimum Values for Characterized Power Modes

R_{EXT}	I_{SEL}	I_{SC}	R_{LOAD}
1Ω	9 μA	3 mA	770Ω
100 kΩ	0.9 μA	300 μA	7.8 kΩ
1 MΩ	99 nA	55 μA	70.8 kΩ

ローパワー・モードで LPV531 が駆動できる最小負荷は、Table 2 に示すように 70.8k です。電気的特性の仕様で使われている 10k のような小さな負荷をローパワー・モードで駆動すると出力振幅が小さくなります。アプリケーションの負荷を 10k にしなければならない場合は、LPV531 をローパワー・モード以外で使用してください。

I_{SEL} の感度

I_{SEL} ピンは内部バイアス動作全体に直接影響を与える電流リファレンスです。そのため I_{SEL} ピンは寄生信号の結合に対してきわめて敏感です。 I_{SEL} ピンを好ましくない歪みから保護するために、出力信号トレースや他の信号トレースと I_{SEL} ピンとの結合ができるだけ小さくなるように、PCB レイアウト上のルーティングを設計してください。

代表的なアプリケーション

AC 結合回路

パワーモードを設定できる LPV531 は、消費電力を抑えながら、回路をアクティブに保ってカップリング・コンデンサの待機時電荷を維持しなければならない AC 結合回路に最適です。マイクロコントローラの I/O ポートを I_{SEL} ピンの制御に使用した LPV531 の反転 AC 結合アンプ回路を Figure 5 に示します。アクティブ回路のローパワー・モード・アンプを AC 結合に適用すると、アンプがフルパワー・モードに切り替わったときに、待機時動作点の再確立を待つ必要がありません。

アクティブなローパワー・モードを持たないアンプを低消費電力アプリケーションに使用した場合、消費電力を抑えるにはふたつの方法が使われます。ひとつは、トランジスタ・スイッチによってオペアンプの電源を切断し、アンプをオフにする方法です。もうひとつはシャットダウン機能を備えたアンプを使う方法です。いずれの方法も、シャットダウン状態では、カップリング・コンデンサ C_1 と C_2 に蓄えられている待機時 DC 電圧が放電してしまうという問題があります。アンプを再度オンにしたときには待機時 DC 電圧を確立しなければなりません。この間、出力は入力を増幅した信号とカップリング・コンデンサの充電電圧との混合になるため、アンプの出力は実用になりません。セトリング時間は、抵抗やコンデンサの値にもよりますが、数ミリ秒から数秒の範囲です。

LPV531 であれば、ローパワー・モードに移行した場合に消費電力をきわめて低く抑えながらアンプをアクティブ状態に保つため、カップリング・コンデンサの待機時 DC 電圧が維持されます。ハイパワー・モードへの遷移は高速で数百 ns です。アクティブなローパワー・モードによって、低消費電力 AC アンプ回路に固有の 2 つの問題が切り離されます。すなわち、ゲイン抵抗、バイアス抵抗、およびカップリング・コンデンサの値を、ターンオン時間や安定化時間とは独立して選択することが可能です。

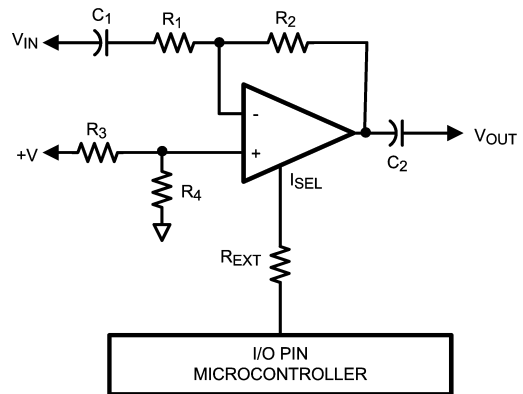


FIGURE 5. Inverting AC Coupled Application

プログラマブル・パワーレベルと外付け部品を使った安定性補償方法の効果

オペアンプを用いたアプリケーションの中には、外付けコンデンサを使用してアンプの帰還ループの安定性を改善しているものもあります。LPV531 の特長であるプログラマブル・パワーレベルを利用した場合は、そのような安定性の改善策は適切に機能しません。その理由は LPV531 内部の周波数補償方式に関係します。

Figure 6 は LPV531 の周波数応答を示したボード線図です。ゲイン帯域積は入力段のトランスコンダクタンス ($g_{m,in}$) と内部ミラー補償コンデンサ (C_m) で決まります。非ドミナント・ポールは、出力段のトランスコンダクタンス ($g_{m,out}$) と、LPV531 の出力に接続されている負荷容量 (C_1) によって形成されます。周波数応答曲線は単一ポールの傾き (20dB/dec) にて周波数軸を横切ります。このような挙動により、LPV531 周囲に形成されている帰還ループは安定です。

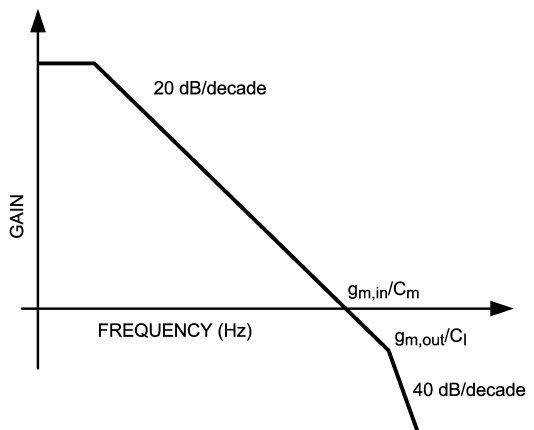


FIGURE 6. Bode Plot of the Frequency Response

アプリケーション情報 (つづき)

負荷容量が大きくなると出力のポールは周波数の低い側に移動します。場合によっては出力ポールはユニティ・ゲイン周波数を下回るところまで移動します。この場合、周波数特性は 40dB/dec の傾きで 0dB 軸を横切るため、LPV531 周辺に形成される帰還ループは発振する恐れが生じます。LPV531 は 100pF までの負荷容量で安定するように内部で補償を行っています。

LPV531 の電力設定を下げると、入力段のトランスコンダクタンスと出力段のトランスコンダクタンスの両方は、パワーレベルにリニアに比例して値が小さくなります。このような特性は、ユニティ・ゲイン周波数と、出力段と負荷容量が形成するトランスコンダクタンスの両方が下がることを意味します。ユニティ・ゲイン周波数と出力ポールの両方が同じ量だけ低下するため、LPV531 の安定性は変わりません。ローパワー・モード (5μA)、ミッドパワー・モード (40μA)、ハイパワー・モード (400μA) のそれぞれの負荷容量と位相マージンの関係を Figure 7 に示します。パワーレベルとユニティ・ゲイン周波数はおよそ 2 デシケド移動しますが、位相マージンは容量性負荷の関数であるためほとんど影響を受けません。このような性質により、ハイパワー・モードで安定なアプリケーションは、パワーレベルを抑えた状態で同じ容量性負荷が接続されていても、安定性を維持します。

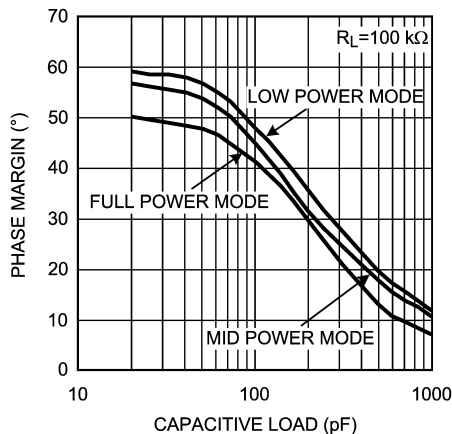


FIGURE 7. Phase Margin vs. Capacitive Load

本来の設計値より大きな負荷容量をオペアンプで駆動したい場合、Figure 8 の回路が使われることがあります。容量性負荷を分離抵抗 (R_{ISO}) によってオペアンプ出力から分離しています。抵抗によって元々 g_{m,out}/C₁ にあった出力ポールはより高い周波数に移動します。この回路では R_{ISO} の値は 1/g_{m,out} と同じオーダーにする必要があります。ただし、LPV531 を幅広いパワーレベルで使用した場合、この方式はあまり効果がありません。その理由は、ハイパワー・モードでは相対的に小さな R_{ISO} が必要な一方で、そのような R_{ISO} はローパワー・モードでは効果を発揮しないためです。LPV531 は外付け分離抵抗がなくても十分な容量性負荷を駆動できるため、一般のアプリケーションでは以上の問題は関係ありません。

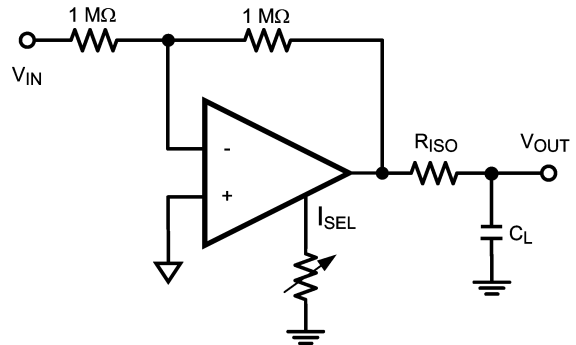
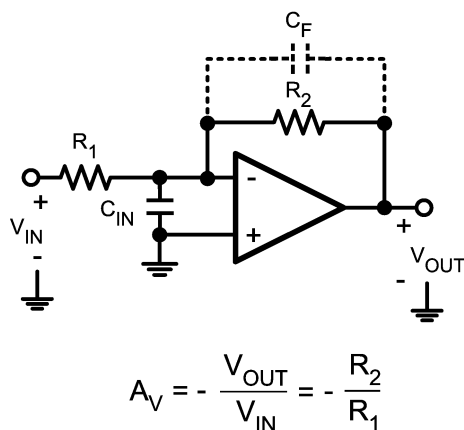


FIGURE 8. Compensation by Isolation Resistor

入力容量と帰還回路エレメント

LPV531 の入力バイアス電流はきわめて低く抑えられています (50fA)。このような性能を得るために CMOS 入力段を大きくしており、結果的にオペアンプの入力容量 C_{IN} が増大しています。この容量は DC 性能や低周波性能には影響を与えませんが、高周波では入力インピーダンスおよび帰還インピーダンスと入力容量とが作用してポールを形成し、その結果として位相マージンの減少とゲイン・ピーキングが起こります。ゲイン・ピーキングは帰還抵抗と帰還容量 C_F を適切に選択すれば抑えられます。たとえば Figure 9 に示す反転アンプで、C_{IN} と C_F が無視できて、かつ、オペアンプの開ループ・ゲインがきわめて大きいと考えられる場合、回路のゲインは - R₂/R₁ になります。ただし、オペアンプには通常ドミナント・ポールが存在し、周波数に伴ってゲインを低下させる原因になります。そのため上述のゲインは DC と低周波にのみ適用されます。非理想ゲインを持つオペアンプに入力容量が結合した場合の影響を把握するには、ラプラス変換を用いた周波数領域での回路解析が必要です。



$$A_V = - \frac{V_{OUT}}{V_{IN}} = - \frac{R_2}{R_1}$$

FIGURE 9. Inverting Amplifier

アプリケーション情報 (つづき)

単純化のためにオペアンプをユニティ・ゲイン周波数を A_0 とする理想積分器としてモデル化します。したがって、周波数領域におけるオペアンプの伝達関数 (またはゲイン) は A_0/s です。周波数領域で回路式を解いて、 C_F を一時的に無視すると、ゲインに関して次の式が得られます。

$$\frac{V_{OUT}}{V_{IN}}(s) = \frac{-R_2/R_1}{1 + \frac{s}{\left(\frac{A_0 R_1}{R_1 + R_2}\right)} + \frac{s^2}{\left(\frac{A_0}{C_{IN} R_2}\right)}} \quad (1)$$

伝達関数の分母から 2 個のポールを持つことが推測されます。ポールの式は分母の根を解いて得られます。

$$P_{1,2} = \frac{-1}{2C_{IN}} \left[\frac{1}{R_1} + \frac{1}{R_2} \pm \sqrt{\left(\frac{1}{R_1} + \frac{1}{R_2}\right)^2 - \frac{4 A_0 C_{IN}}{R_2}} \right] \quad (2)$$

式 (2) から R_1 と R_2 の値を大きくするとポールは小さくなることわかり、ゆえにアンプの帯域は減少します。また、 R_1 と R_2 はアンプのゲインに関係します。

$A_V = -R_2/R_1$ 、書き直すと、

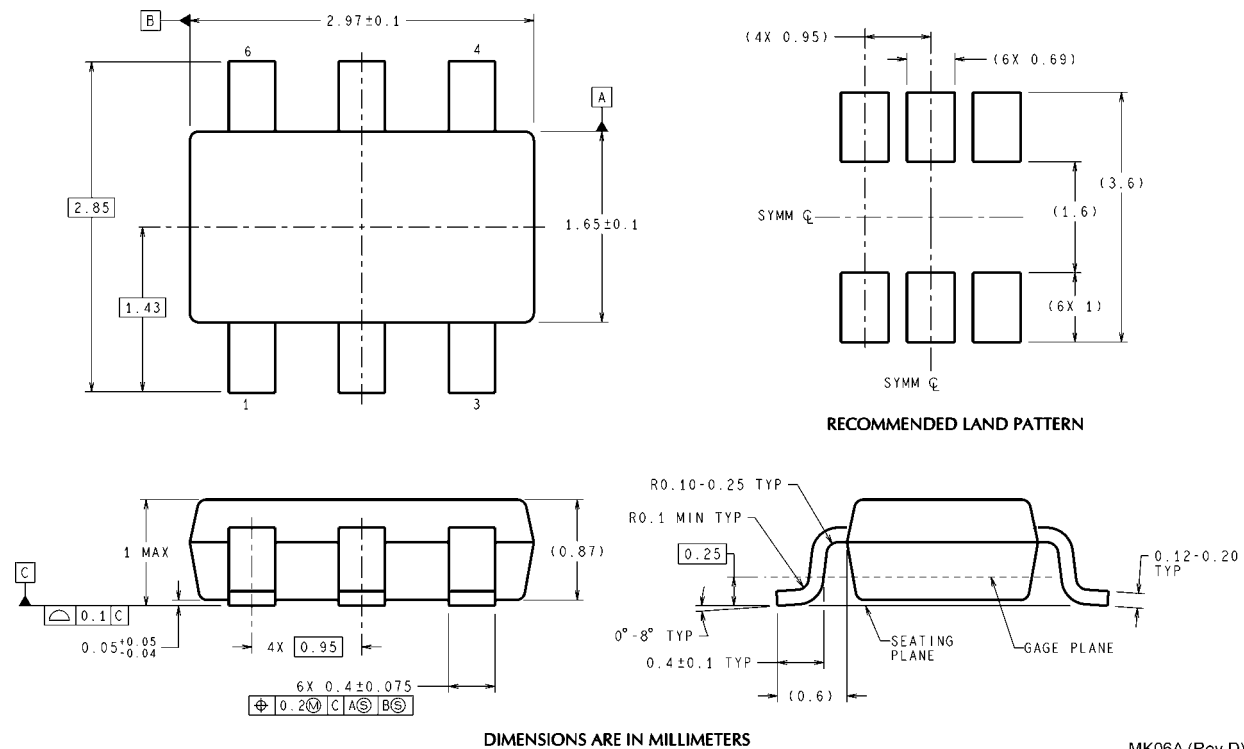
$$R_2 = -A_V R_1$$

式 (2) にはゲイン・ピーキングを招くポールがペアで存在します。この影響を排除するには、ポールをバターワース位置に配置しなければなりません。なぜなら、バターワース位置のポールはゲイン・ピーキングを引き起こさないからです。バターワース・ペアを実現するには、式 (2) の平方根内の大きさが -1 に等しくなるように設定しなければなりません。この条件と R_1 と R_2 の関係を使って R_1 の最適値が求められます。これを式 (3) に示します。最適値よりも大きな R_1 を選定するとゲイン・ピーキングが発生します。

$$R_1 < \frac{(1 - A_V)^2}{2A_0 A_V C_{IN}} \quad (3)$$

Figure 9 では入力容量の補償と安定性の向上を目的として C_F を追加しています。また C_F は、帰還抵抗が大きい場合に起こり得るゲイン・ピーキングを抑制または除去します。

外形寸法図 単位は millimeters



DIMENSIONS ARE IN MILLIMETERS

MK06A (Rev D)

6-Pin TSOT23
NS Package Number MK06A

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売か使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2006 National Semiconductor Corporation

製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上