

OPAx130 低消費電力、高精度 FET 入力オペアンプ

1 特長

- 低い静止電流: 530 μ A/amp
- 低いオフセット電圧: 最大 1mV
- 高いオープンループゲイン: 123dB ($R_L = 10k\Omega$)
- 高い CMRR: 90dB (最小値)
- FET 入力: $I_B =$ 最大 20pA
- 非常に優れた帯域幅: 1MHz
- 幅広い電源電圧範囲: $\pm 2.25V \sim \pm 18V$
- シングル、デュアル、クワッドの各バージョン

2 アプリケーション

- [データアキュイジション \(DAQ\)](#)
- [流量トランスミッタ](#)
- [実験室およびフィールド向け計測機器](#)
- [心電図 \(ECG\)](#)

3 概要

OPA130、OPA2130、OPA4130 (OPAx130) シリーズの FET 入力オペアンプは、高精度の DC 性能と低静止電流を兼ね備えています。シングル、デュアル、クワッドの各製品で同一の仕様を備え、設計の柔軟性を高めています。OPAx130 は、汎用の携帯型、バッテリー駆動アプリケーション用に設計されており、特にソースインピーダンスが高い場合に適しています。

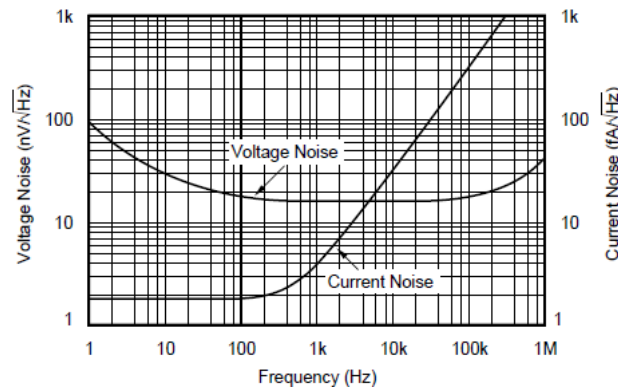
OPAx130 オペアンプは使用が容易で、一般の FET 入力オペアンプにしばしば見られる位相反転や過負荷の問題は発生しません。入力カスコード回路は、優れた同相信号除去を実現し、アンプの広い入力電圧範囲にわたって低い入力バイアス電流を維持します。OPAx130 シリーズのオペアンプはユニティゲイン安定で、大きな負荷容量を含む広い範囲の負荷状況にわたって優れた動的動作を実現します。デュアルおよびクワッドの設計は完全に独立した回路を特徴としており、オーバードライブまたは過負荷時でも、クロストークが最小限に抑えられ、相互作用が発生しません。

シングルとデュアルのバージョンは、8 ピンの SOIC 表面実装パッケージで供給されます。クワッドバージョンは、14 ピンの SOIC 表面実装パッケージで供給されます。すべてのデバイスは $-40^\circ\text{C} \sim +85^\circ\text{C}$ で動作が規定されています。

製品情報

部品番号	チャンネル	パッケージ (1)
OPA130	シングル	D (SOIC, 8)
OPA2130	デュアル	D (SOIC, 8)
OPA4130	クワッド	D (SOIC, 14)

(1) 詳細については、[セクション 9](#) を参照してください。



入力の電圧および電流ノイズのスペクトラム密度と周波数との関係



Table of Contents

1 特長	1	6 Application and Implementation	11
2 アプリケーション	1	6.1 Application Information.....	11
3 概要	1	6.2 Typical Application.....	11
4 Pin Configuration and Functions	3	7 Device and Documentation Support	12
5 Specifications	5	7.1 ドキュメントの更新通知を受け取る方法.....	12
5.1 Absolute Maximum Ratings.....	5	7.2 サポート・リソース.....	12
5.2 Recommended Operating Conditions.....	5	7.3 Trademarks.....	12
5.3 Thermal Information - OPA130.....	6	7.4 静電気放電に関する注意事項.....	12
5.4 Thermal Information - OPA2130.....	6	7.5 用語集.....	12
5.5 Thermal Information - OPA4130.....	6	8 Revision History	12
5.6 Electrical Characteristics.....	7	9 Mechanical, Packaging, and Orderable Information..	13
5.7 Typical Characteristics.....	8		

4 Pin Configuration and Functions

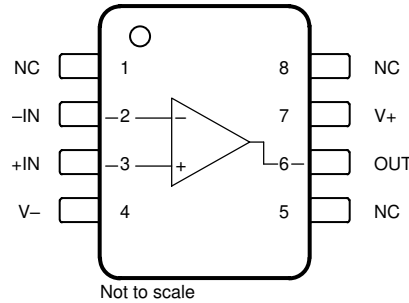


図 4-1. OPA130 D Package, 8-Pin SOIC (Top View)

表 4-1. Pin Functions: OPA130

PIN		TYPE	DESCRIPTION
NAME	NO.		
+IN	3	Input	Noninverting input, channel A
-IN	2	Input	Inverting input, channel A
NC	1, 5	—	Do not connect these pins ⁽¹⁾
NC	8	—	No internal connection. Float this pin.
OUT	6	Output	Output
V+	7	Power	Positive (highest) power supply
V-	4	Power	Negative (lowest) power supply

(1) Existing layouts for the OPA130 D package before revision B of this data sheet do not need to be redesigned.

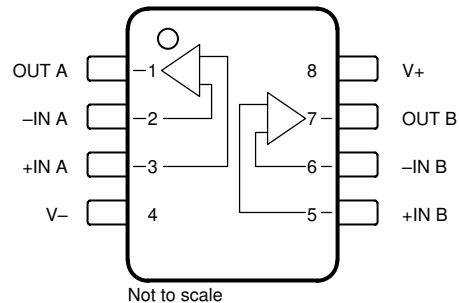


図 4-2. OPA2130 D Package, 8-Pin SOIC (Top View)

表 4-2. Pin Functions: OPA2130

PIN		TYPE	DESCRIPTION
NAME	NO.		
+IN A	3	Input	Noninverting input, channel A
+IN B	5	Input	Noninverting input, channel B
-IN A	2	Input	Inverting input, channel A
-IN B	6	Input	Inverting input, channel B
OUT A	1	Output	Output, channel A
OUT B	7	Output	Output, channel B
V+	8	Power	Positive (highest) power supply
V-	4	Power	Negative (lowest) power supply

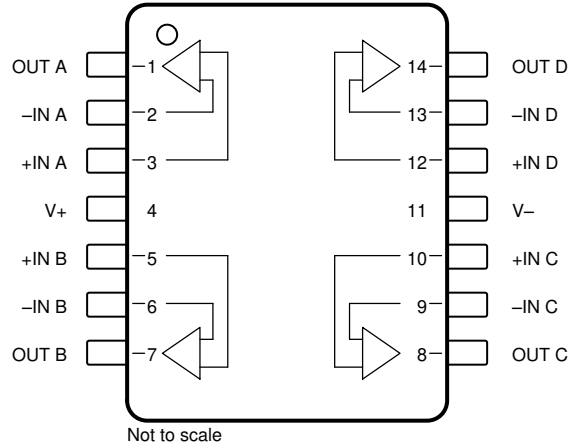


図 4-3. OPA4130 D Package, 14-Pin SOIC (Top View)

表 4-3. Pin Functions: OPA4130

PIN		TYPE	DESCRIPTION
NAME	NO.		
+IN A	3	Input	Noninverting input, channel A
+IN B	5	Input	Noninverting input, channel B
+IN C	10	Input	Noninverting input, channel C
+IN D	12	Input	Noninverting input, channel D
-IN A	2	Input	Inverting input, channel A
-IN B	6	Input	Inverting input, channel B
-IN C	9	Input	Inverting input, channel C
-IN D	13	Input	Inverting input, channel D
OUT A	1	Output	Output, channel A
OUT B	7	Output	Output, channel B
OUT C	8	Output	Output, channel C
OUT D	14	Output	Output, channel D
V+	4	Power	Positive (highest) power supply
V-	11	Power	Negative (lowest) power supply

5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

		MIN	MAX	UNIT
V _S	Supply voltage, (V+) – (V–)	Dual supply	±18	V
		Single supply	36	
	Input voltage ⁽²⁾	(V–) – 0.5	(V+) + 0.5	V
	Input current ⁽²⁾		±10	mA
I _{SC}	Output short-circuit ⁽³⁾	Continuous		
T _A	Operating temperature	–40	125	°C
T _J	Junction temperature		150	°C
T _{stg}	Storage temperature	–40	125	°C

- (1) Operation outside the *Absolute Maximum Ratings* may cause permanent device damage. *Absolute Maximum Ratings* do not imply functional operation of the device at these or any other conditions beyond those listed under *Recommended Operating Conditions*. If used outside the *Recommended Operating Conditions* but within the *Absolute Maximum Ratings*, the device may not be fully functional, and this may affect device reliability, functionality, performance, and shorten the device lifetime.
- (2) Input pins are diode-clamped to the power-supply rails. Input signals that can swing more than 0.5V beyond the supply rails must be current limited to 10mA or less.
- (3) Short-circuit to ground, one amplifier per package.

5.2 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)

		MIN	NOM	MAX	UNIT	
V _S	Supply voltage, (V+) – (V–)	Dual supply	±2.25	±15	±18	V
		Single supply	4.5	30	36	
T _A	Ambient temperature	–40	25	85	°C	

5.3 Thermal Information - OPA130

THERMAL METRIC ⁽¹⁾		OPA130	UNIT
		D (SOIC)	
		8 PINS	
$R_{\theta JA}$	Junction-to-ambient thermal resistance	150	°C/W
$R_{\theta JC(top)}$	Junction-to-case (top) thermal resistance	74	°C/W
$R_{\theta JB}$	Junction-to-board thermal resistance	62	°C/W
Ψ_{JT}	Junction-to-top characterization parameter	19.7	°C/W
Ψ_{JB}	Junction-to-board characterization parameter	54.8	°C/W
$R_{\theta JC(bot)}$	Junction-to-case (bottom) thermal resistance	N/A	°C/W

(1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application report.

5.4 Thermal Information - OPA2130

THERMAL METRIC ⁽¹⁾		OPA2130	UNIT
		D (SOIC)	
		8 PINS	
$R_{\theta JA}$	Junction-to-ambient thermal resistance	150	°C/W
$R_{\theta JC(top)}$	Junction-to-case (top) thermal resistance	52.3	°C/W
$R_{\theta JB}$	Junction-to-board thermal resistance	63.5	°C/W
Ψ_{JT}	Junction-to-top characterization parameter	10.7	°C/W
Ψ_{JB}	Junction-to-board characterization parameter	62.4	°C/W
$R_{\theta JC(bot)}$	Junction-to-case (bottom) thermal resistance	N/A	°C/W

(1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application report.

5.5 Thermal Information - OPA4130

THERMAL METRIC ⁽¹⁾		OPA4130	UNIT
		D (SOIC)	
		14 PINS	
$R_{\theta JA}$	Junction-to-ambient thermal resistance	110	°C/W
$R_{\theta JC(top)}$	Junction-to-case (top) thermal resistance	56	°C/W
$R_{\theta JB}$	Junction-to-board thermal resistance	53	°C/W
Ψ_{JT}	Junction-to-top characterization parameter	19	°C/W
Ψ_{JB}	Junction-to-board characterization parameter	46	°C/W
$R_{\theta JC(bot)}$	Junction-to-case (bottom) thermal resistance	N/A	°C/W

(1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application report.

5.6 Electrical Characteristics

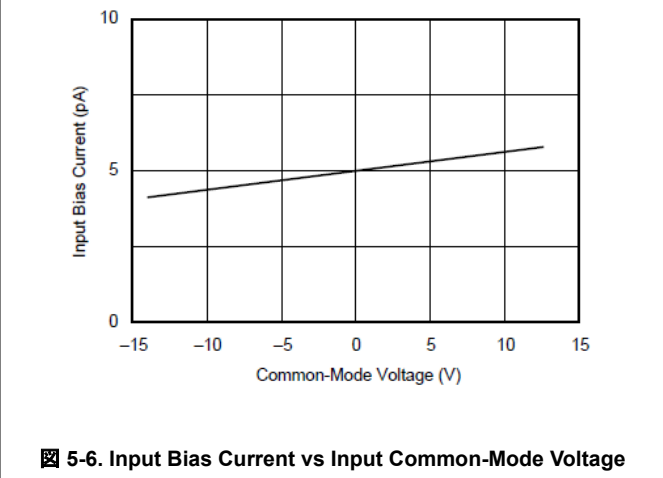
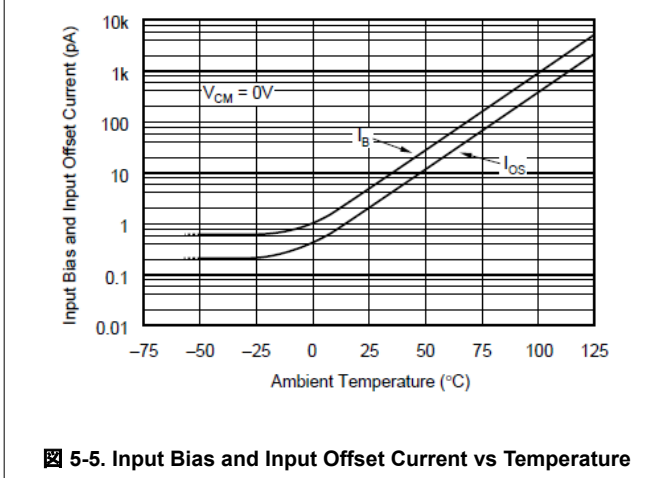
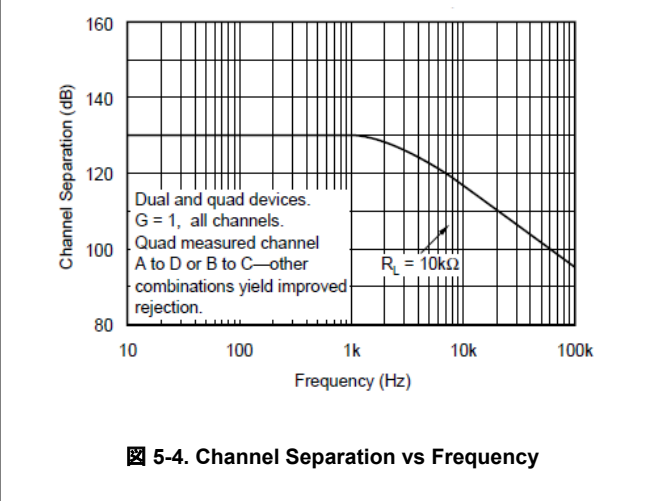
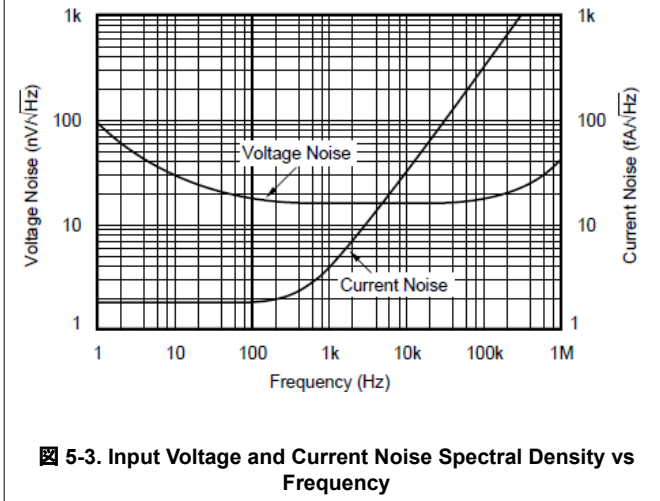
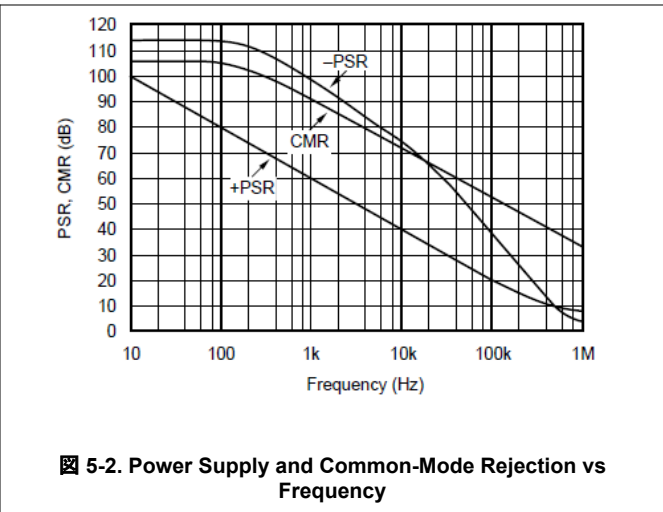
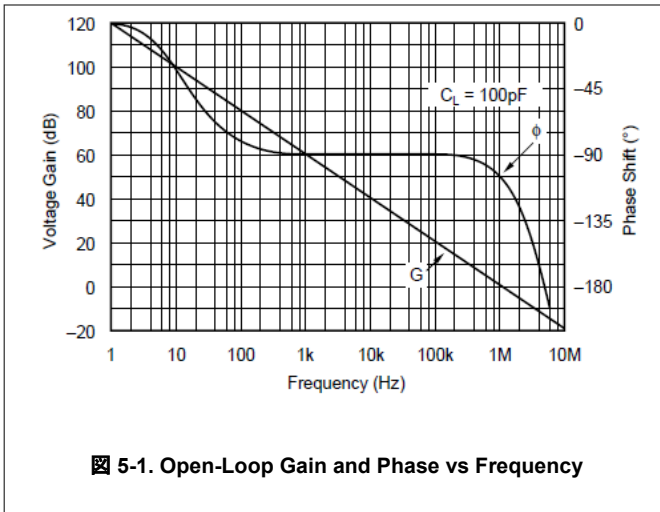
at $T_A = 25^\circ\text{C}$, $V_S = \pm 15\text{V}$, $R_L = 10\text{k}\Omega$ connected to midsupply, and $V_{CM} = V_{OUT} = \text{midsupply}$ (unless otherwise noted)

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
OFFSET VOLTAGE							
V_{OS}	Input offset voltage				± 0.2	± 1	mV
dV_{OS}/dT	Input offset voltage drift	$T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$			± 2	± 10	$\mu\text{V}/^\circ\text{C}$
PSRR	Power-supply rejection ratio	$V_S = \pm 2.25\text{V}$ to $\pm 18\text{V}$			± 2	± 20	$\mu\text{V}/\text{V}$
INPUT BIAS CURRENT							
I_B	Input bias current ⁽¹⁾	$T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$			± 5	± 20	pA
			See <i>Typical Characteristics</i>				
I_{OS}	Input offset current ⁽¹⁾				± 2	± 20	pA
NOISE							
e_n	Input voltage noise density	$f = 10\text{Hz}$			30		nV/ $\sqrt{\text{Hz}}$
		$f = 100\text{Hz}$			18		
		$f = 1\text{kHz}$			16		
		$f = 10\text{kHz}$			16		
I_n	Input current noise density	$f = 1\text{kHz}$			4		fA/ $\sqrt{\text{Hz}}$
INPUT VOLTAGE							
V_{CM}	Common-mode voltage			$(V-) + 2$		$(V+) - 3.5$	V
CMRR	Common-mode rejection ratio	$-13\text{V} \leq V_{CM} \leq 11.5\text{V}$		90	105		dB
INPUT IMPEDANCE							
	Differential				$10^{13} \parallel 5$		$\Omega \parallel \text{pF}$
	Common-mode	$-13\text{V} \leq V_{CM} \leq 11.5\text{V}$			$10^{13} \parallel 4.3$		
OPEN-LOOP GAIN							
A_{OL}	Open-loop voltage gain	$-13.8\text{V} \leq V_O \leq 13\text{V}$, $R_L = 10\text{k}\Omega$			114	123	dB
		$-13\text{V} \leq V_O \leq 12\text{V}$, $R_L = 2\text{k}\Omega$			104	110	
FREQUENCY RESPONSE							
GBW	Gain bandwidth product				1		MHz
SR	Slew rate				2		V/ μs
	Settling time	10V step, $G = 1$	0.1%		5.5		μs
			0.01%		7		
THD+N	Total harmonic distortion plus noise	$f = 1\text{kHz}$, $G = 1$, $V_O = 3.5V_{\text{rms}}$			0.0003%		
	Overload recovery time	$G = 1$, $V_{IN} = \pm 15\text{V}$			2		μs
OUTPUT							
V_O	Voltage output	$R_L = 10\text{k}\Omega$	Positive	$(V+) - 2$	$(V+) - 1.5$		V
			Negative	$(V-) + 1$	$(V-) + 1.2$		
		$R_L = 2\text{k}\Omega$	Positive	$(V+) - 3$	$(V+) - 2.5$		
			Negative	$(V-) + 1.5$	$(V-) + 2$		
I_{SC}	Short-circuit current				± 18		mA
C_{LOAD}	Capacitive load drive	Stable operation			See <i>Typical Characteristics</i>		
POWER SUPPLY							
I_Q	Quiescent current (per amplifier)	$I_O = 0\text{mA}$			± 530	± 650	μA

(1) High-speed test at $T_J = 25^\circ\text{C}$.

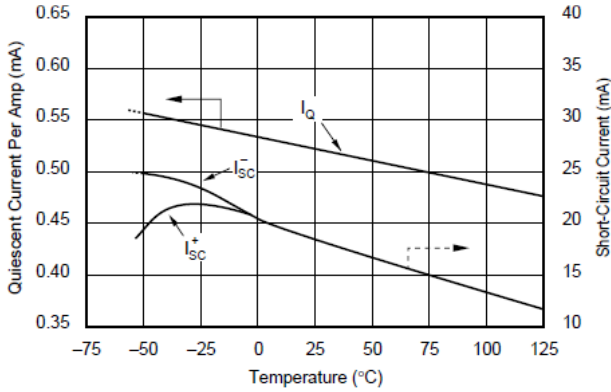
5.7 Typical Characteristics

at $T_A = +25^\circ\text{C}$, $V_S = \pm 15\text{V}$, $R_L = 10\text{k}\Omega$ connected to midsupply, and $V_{CM} = \text{midsupply}$ (unless otherwise noted)

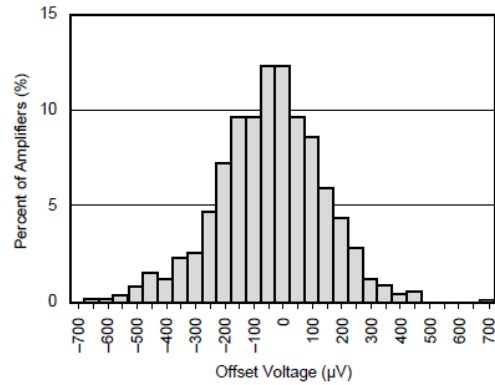


5.7 Typical Characteristics (continued)

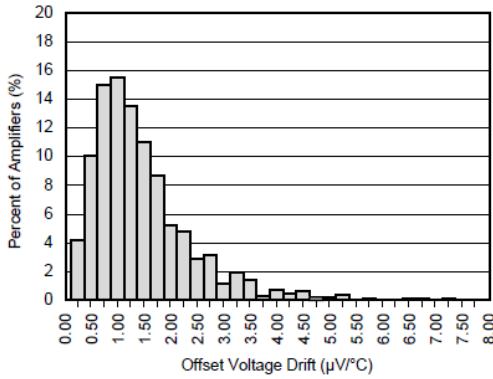
at $T_A = +25^\circ\text{C}$, $V_S = \pm 15\text{V}$, $R_L = 10\text{k}\Omega$ connected to midsupply, and $V_{CM} = \text{midsupply}$ (unless otherwise noted)



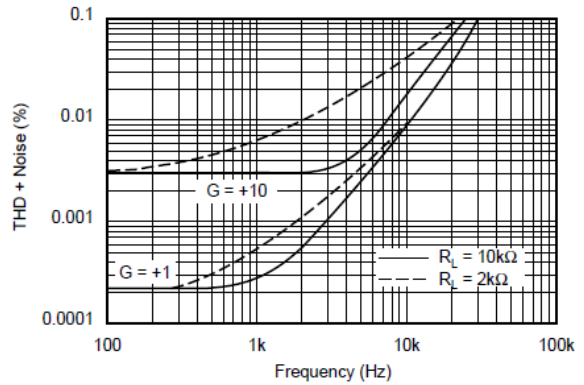
5-7. Quiescent Current and Short-Circuit Current vs Temperature



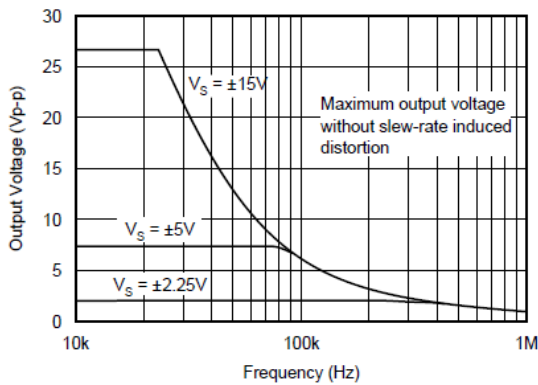
5-8. Offset Voltage Production Distribution



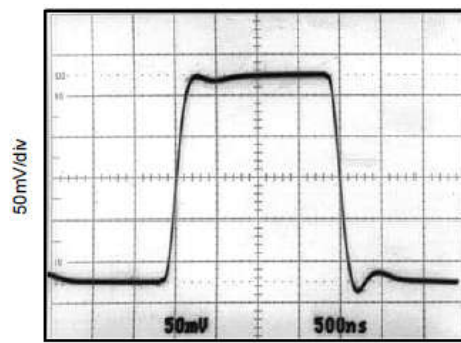
5-9. Offset Voltage Drift Production Distribution



5-10. Total Harmonic Distortion + Noise vs Frequency



5-11. Maximum Output Voltage vs Frequency

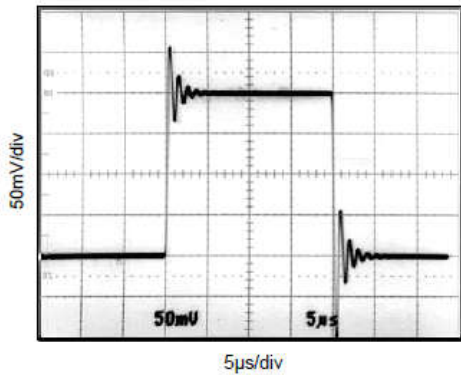


$G = 1$, $C_L = 100\text{pF}$

5-12. Small-Signal Step Response

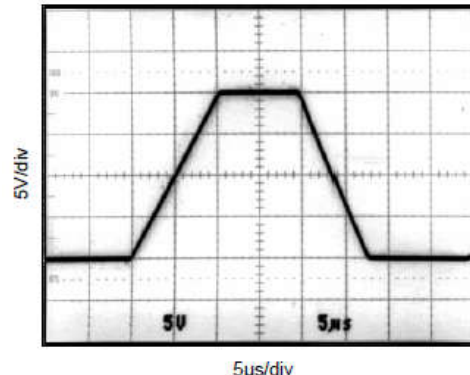
5.7 Typical Characteristics (continued)

at $T_A = +25^\circ\text{C}$, $V_S = \pm 15\text{V}$, $R_L = 10\text{k}\Omega$ connected to midsupply, and $V_{CM} = \text{midsupply}$ (unless otherwise noted)



$G = 1$, $C_L = 1000\text{pF}$

图 5-13. Small-Signal Step Response



$G = 1$, $C_L = 100\text{pF}$

图 5-14. Large-Signal Step Response

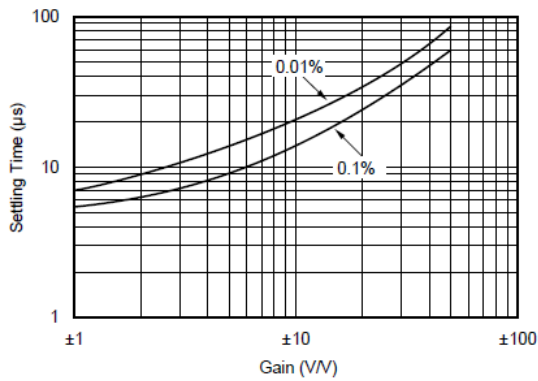


图 5-15. Settling Time vs Gain

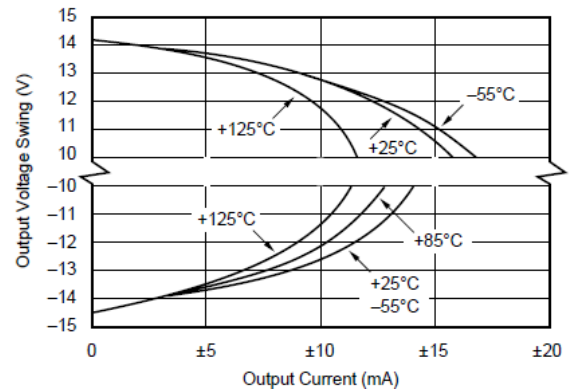


图 5-16. Output Voltage Swing vs Output Current

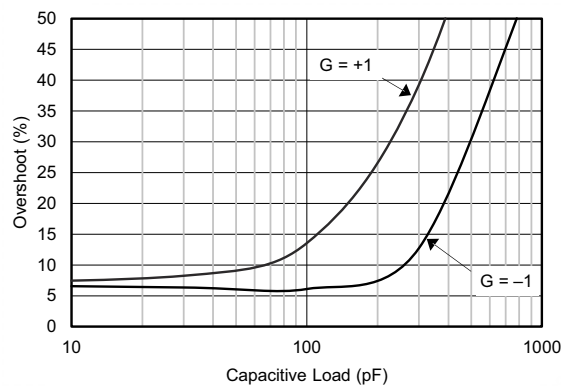


图 5-17. Small-Signal Overshoot vs Load Capacitance

6 Application and Implementation

注

Information in the following applications sections is not part of the TI component specification, and TI does not warrant its accuracy or completeness. TI's customers are responsible for determining suitability of components for their purposes, as well as validating and testing their design implementation to confirm system functionality.

6.1 Application Information

The OPAx130 series of op amps are unity-gain stable and an excellent choice for a wide range of general-purpose applications. Bypass power supply pins with 10nF ceramic capacitors or larger.

The OPAx130 op amps are free from unexpected output phase-reversal common with FET op amps. Many FET-input op amps exhibit phase-reversal of the output when the input common-mode voltage range is exceeded. This can occur in voltage-follower circuits, causing serious problems in control loop applications. The OPAx130 series of op amps are free from this undesirable behavior. All circuitry is completely independent in dual and quad versions, and normal behavior can be expected when one amplifier in a package is overdriven or short-circuited.

6.1.1 Operating Voltage

The OPAx130 op amps operate with power supplies from $\pm 2.25\text{V}$ to $\pm 18\text{V}$ with excellent performance. Although specifications are production tested with $\pm 15\text{V}$ supplies, most behavior remains unchanged throughout the full operating voltage range. See [セクション 5.7](#) for parameters that vary significantly with operating voltage.

6.1.2 Offset Voltage Trim

The offset voltage of the OPAx130 amplifiers is laser trimmed and usually requires no user adjustment. The OPAx130 provide less than $\pm 1\text{mV}$ of input offset voltage and less than $10\mu\text{V}/^\circ\text{C}$ of input offset voltage drift over the operating temperature range.

6.1.3 Input Bias Current

[図 5-5](#) shows that the input bias current of the OPAx130 is approximately 5pA at room temperature and increases with temperature.

Input stage cascode circuitry allows the input bias current to remain virtually unchanged throughout the full input common-mode range of the OPAx130. See also [図 5-6](#).

6.2 Typical Application

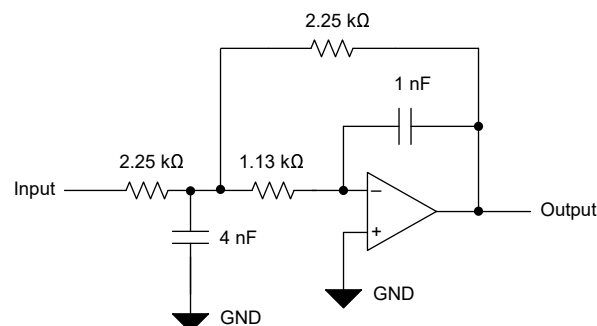


図 6-1. Second-Order Low-Pass Filter

7 Device and Documentation Support

TI offers an extensive line of development tools. Tools and software to evaluate the performance of the device, generate code, and develop solutions are listed below.

7.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

7.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

7.3 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

7.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

7.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

8 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (March 2006) to Revision B (May 2024)	Page
ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
データシートから DIP パッケージを削除.....	1
「特長」の電気的特性に合わせて開ループ ゲインを更新	1
「アプリケーション」を追加	1
Updated pin diagrams, added pin function tables, and moved all to new <i>Pin Configuration and Functions</i>	3
Updated input voltage in <i>Absolute Maximum Ratings</i>	5
Added input current and related footnote to <i>Absolute Maximum Ratings</i>	5
Added <i>Recommended Operating Conditions</i> and <i>Thermal Information</i>	5
Changed format of <i>Electrical Characteristics</i> to latest standard.....	7
Updated nominal conditions in the header of <i>Electrical Characteristics</i>	7
Deleted channel separation specification.....	7
Updated common-mode voltage.....	7
Updated common-mode rejection ratio and common-mode input impedance test conditions.....	7
Changed differential input impedance from $10^{13}\Omega \parallel 1\text{pF}$ to $10^{13}\Omega \parallel 5\text{pF}$	7
Changed common-mode input impedance from $10^{13}\Omega \parallel 3\text{pF}$ to $10^{13}\Omega \parallel 4.3\text{pF}$	7
Updated open loop voltage gain MIN and TYP values for $R_L = 10\text{k}\Omega$ and $R_L = 2\text{k}\Omega$	7

• Updated settling time test condition.....	7
• Moved voltage output negative MIN values to MAX values.....	7
• Changed capacitive load drive specification from 10nF to See <i>Typical Characteristics</i>	7
• Deleted note 1 from <i>Electrical Characteristics</i>	7
• Deleted Figure 5-7, <i>A_{OL}, CMR, PSR vs Temperature</i>	8
• Updated Figure 5-17, <i>Small-Signal Overshoot vs Load Capacitance</i>	8
• Updated text in <i>Offset Voltage Trim</i>	11
• Changed Figure 1, <i>OPA130 Offset Voltage Trim Circuit</i> , to Figure 6-1, <i>Second-Order Low-Pass Filter</i>	11

9 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
OPA130UA	ACTIVE	SOIC	D	8	75	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	(O130, OPA) 130UA	Samples
OPA130UA/2K5	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	(O130, OPA) 130UA	Samples
OPA2130UA	ACTIVE	SOIC	D	8	75	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	(2130UA, OPA)	Samples
OPA2130UA/2K5	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	(2130UA, OPA)	Samples
OPA4130UA	ACTIVE	SOIC	D	14	50	RoHS & Green	NIPDAU-DCC	Level-3-260C-168 HR	-40 to 85	OPA4130UA	Samples
OPA4130UA/2K5	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU-DCC	Level-3-260C-168 HR	-40 to 85	OPA4130UA	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA130UA/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA130UA/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2130UA/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2130UA/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA4130UA/2K5	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA130UA/2K5	SOIC	D	8	2500	356.0	356.0	35.0
OPA130UA/2K5	SOIC	D	8	2500	353.0	353.0	32.0
OPA2130UA/2K5	SOIC	D	8	2500	353.0	353.0	32.0
OPA2130UA/2K5	SOIC	D	8	2500	356.0	356.0	35.0
OPA4130UA/2K5	SOIC	D	14	2500	356.0	356.0	35.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
OPA130UA	D	SOIC	8	75	506.6	8	3940	4.32
OPA2130UA	D	SOIC	8	75	506.6	8	3940	4.32
OPA4130UA	D	SOIC	14	50	506.6	8	3940	4.32



D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

- Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
- This dimension does not include interlead flash.
- Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
 EXPOSED METAL SHOWN
 SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

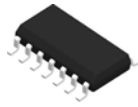


SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



D0014A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated