

OPA2673 アクティブ・オフライン制御機能搭載、デュアル、大出力電流のオペアンプ

1 特長

- 広帯域動作: 340MHz (G = 4V/V)
- ユニティ・ゲイン安定: 600 MHz (G = 1V/V)
- 大きい出力電流: 700 mA
- TDMA のためのアクティブ・オフライン・モード
- 電力モードを変更可能:
 - 完全バイアス・モード: 16.5mA/チャンネル
 - 75% バイアス・モード: 12.5mA/チャンネル
 - 50% バイアス・モード: 8.5mA/チャンネル
 - オフライン・モード: 2.4mA/チャンネル
- バイポーラ電源電圧範囲: $\pm 3.5\text{ V} \sim \pm 6.5\text{ V}$
- 単一電源電圧範囲: 5.75 V ~ 13V
- 高いスルーレート: 3500V/ μs
- 過熱保護回路
- 出力電流制限 ($\pm 1\text{ A}$)

2 アプリケーション

- 電力線モデム
- マッチングされた I/Q チャンネル・アンプ
- ブロードバンド・ビデオ・ライン・ドライバ
- ARB ライン・ドライバ
- 高容量性負荷ドライバ
- 超音波ピエゾ・ドライバ

3 概要

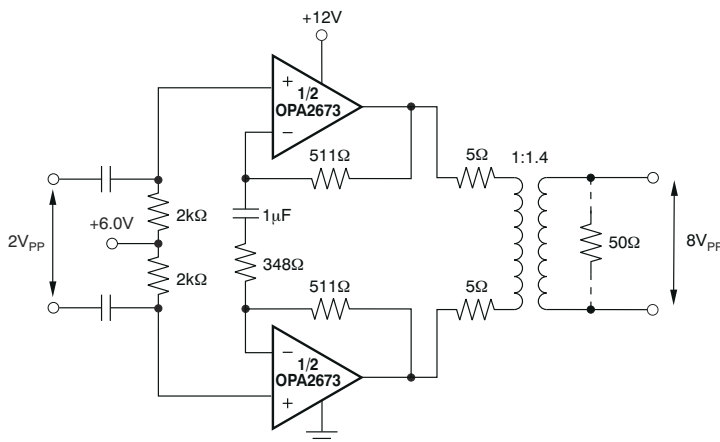
OPA2673 は、電力線モデム・ドライバや試験および測定アプリケーションに必要な大きい出力電流と小さい歪みを実現します。OPA2673 は、5.75 V to 13 V の範囲の電源で動作し、1 チャンネルあたり 16.5mA という小さな静止電流で非常に大きな 700 mA の出力電流を供給できます。OPA2673 は、460 mA (仕様値) の最小出力電流ドライブ (25°C のとき) により、最も要求の厳しい電力線モデム要件に対応できます。

システムの消費電力を最小化するため、電力制御機能が搭載されています。2 本のロジック制御ラインを使って 4 種類の静止電力設定が可能です。すなわち、フルパワー、75% バイアス・パワー、50% バイアス・パワー、およびアクティブ・オフライン制御によるオフライン・モードです。オフライン・モードでは、出力ピンの大きな信号に対して高いインピーダンスを実現できます。OPA2673 の 2 つのチャンネルは、個別のオペアンプとして独立して使用することも、差動入力 / 差動出力の大電流ライン・ドライバとして構成することもできます。

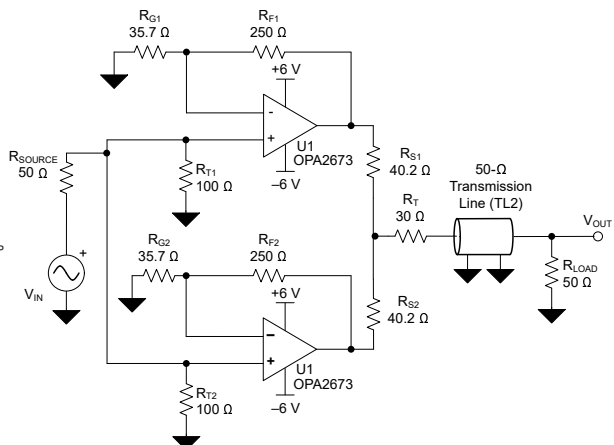
パッケージ情報 (1)(2)

部品番号	パッケージ	パッケージ・サイズ (3)
OPA2673	RGV (VQFN, 16)	4.00mm × 4.00mm

- (1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。
- (2) 「製品比較表」を参照してください。
- (3) パッケージ・サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。



単一電源 PLC ライン・ドライバ



50Ω 伝送ライン・ドライバ



目次

1 特長.....	1	8 詳細説明.....	19
2 アプリケーション.....	1	8.1 概要.....	19
3 概要.....	1	8.2 機能ブロック図.....	19
4 改訂履歴.....	2	8.3 機能説明.....	19
5 製品ファミリ比較表.....	4	8.4 デバイスの機能モード.....	25
6 ピン構成および機能.....	5	9 アプリケーションと実装.....	26
7 仕様.....	6	9.1 アプリケーション情報.....	26
7.1 絶対最大定格.....	6	9.2 代表的なアプリケーション.....	26
7.2 ESD 定格.....	6	9.3 電源に関する推奨事項.....	29
7.3 推奨動作条件.....	6	9.4 レイアウト.....	30
7.4 熱に関する情報.....	7	10 デバイスおよびドキュメントのサポート.....	32
7.5 電気的特性: 完全バイアスおよびオフライン・モード V _S = ±6V.....	7	10.1 デバイスのサポート.....	32
7.6 電気的特性: 75% バイアス・モード V _S = ±6V.....	9	10.2 ドキュメントの更新通知を受け取る方法.....	32
7.7 電気的特性: 50% バイアス・モード V _S = ±6V.....	10	10.3 サポート・リソース.....	32
7.8 代表的特性: V _S = ±6V、完全バイアス.....	11	10.4 商標.....	32
7.9 代表的特性: V _S = ±6V 差動、完全バイアス.....	15	10.5 静電気放電に関する注意事項.....	32
7.10 代表的特性: V _S = ±6V、75% バイアス.....	17	10.6 用語集.....	32
7.11 代表的特性: V _S = ±6V、50% バイアス.....	18	11 メカニカル、パッケージ、および注文情報.....	32

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision G (December 2021) to Revision H (June 2023)	Page
• 精度を高めるために、図 7-15「開ループ・トランスインピーダンス・ゲインと位相」を変更。.....	11

Changes from Revision F (April 2010) to Revision G (December 2021)	Page
• 「製品情報」表、「ピン機能」表、「ESD 定格」表、「推奨動作条件」表、「熱に関する情報」表、「概要」セクション、「機能ブロック図」セクション、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加.....	1
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• 「関連製品」セクションのタイトルを「製品ファミリ比較表」に変更.....	4
• 「パッケージ/注文情報」表を削除.....	4
• 「ピン構成」セクションのタイトルを「ピン構成および機能」に変更.....	5
• ドキュメント全体を通して QFN を VQFN に変更.....	5
• すべての入力ピンの電流制限値を ±30mA から ±10mA に変更.....	6
• 熱評価基準の新しい表を追加。.....	7
• G = 4V/V 時の全温度範囲での SSBW を 260MHz から 300MHz に変更.....	7
• G = 8V/V 時の全温度範囲での SSBW を 260MHz から 300MHz に変更.....	7
• ゲイン 9V/V および 8V/V 時の LSBW の新しい仕様を追加.....	7
• G = 4V/V 時の LSBW を 300MHz から 144MHz に変更.....	7
• スルーレート仕様を 3000V/μs から 3500V/μs に変更.....	7
• HD2 を -68dBc から -70dBc に変更.....	7
• HD3 を -72dBc から -73dBc に変更.....	7
• 非反転入力電流ノイズを 5.2pA/√Hz から 3pA/√Hz に変更.....	7
• 反転入力電流ノイズを 35pA/√Hz から 25pA/√Hz に変更.....	7
• クロストークを -92dBc から -85dBc に変更.....	7
• 非反転入力抵抗の標準値を 1.5MΩ から 3MΩ に変更.....	7

• 反転入力抵抗の最小値を 16Ω から 10Ω に変更.....	7
• 短絡電流の制限値の標準値を ±800mA から ±1000mA に変更.....	7
• 閉ループ出力インピーダンスの標準値を 10mΩ から 0.4mΩ に変更.....	7
• 完全バイアス時の静止電流の最大値を 38mA から 42mA に変更.....	7
• 完全バイアス時の全温度範囲での静止電流の最大値を 42mA から 46mA に変更.....	7
• +PSRR 仕様を追加.....	7
• 75% バイアスでの AC 性能データを追加.....	9
• 75% バイアスでの HD3 仕様を -66dBc から -72dBc に変更.....	9
• 75% バイアスでの静止電流の最大値を 29mA から 31mA に変更.....	9
• 50% バイアスでの AC 性能データを追加.....	10
• 50% バイアスでの HD3 仕様を -60dBc から -70dBc に変更.....	10
• 75% および 50% バイアス条件での静止電流を、室温と全温度範囲で 2mA 増加.....	10
• 完全バイアス時の最大静止電流を 19mA から 21mA に変更.....	10

Changes from Revision E (April 2010) to Revision F (May 2010)	Page
--	-------------

• 最小動作電圧 (単一電源) パラメータを追加。.....	6
--------------------------------	---

Changes from Revision D (January 2010) to Revision E (April 2010)	Page
--	-------------

• 「絶対最大定格」表を改訂、リード温度仕様を削除、保存温度範囲を -40°Cから -65°Cに変更。.....	6
--	---

5 製品ファミリ比較表

シングル	デュアル	トリプル	注
OPA691	OPA2691	OPA3691	+12V 単一電源対応
—	THS6042	—	±15V 対応
—	OPA2677	—	+12V 単一電源対応
—	OPA2675	—	+12V 単一電源対応、出力電流制限

6 ピン構成および機能

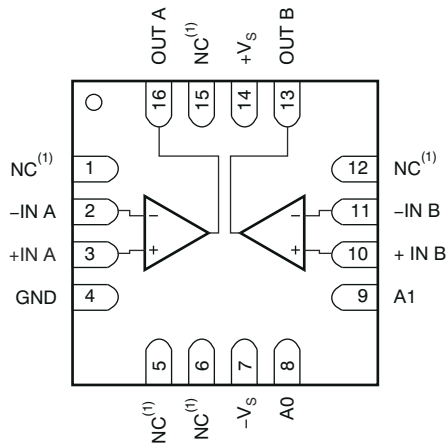


図 6-1. RGV パッケージ、
16 ピン VQFN
(上面図)

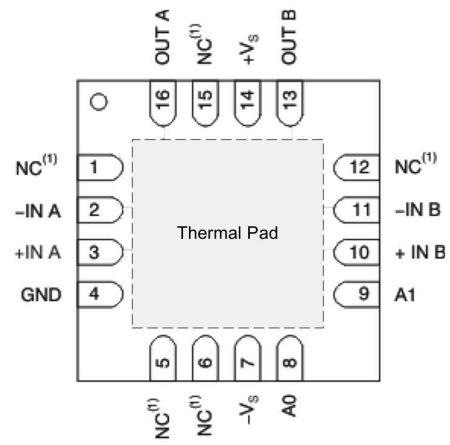


図 6-2. RGV パッケージ、
16 ピン VQFN
(底面図)

表 6-1. ピンの機能

ピン		種類	説明
名称	番号		
A0	8	入力	バイアス・モード制御
A1	9	入力	バイアス・モード制御
GND	4	電源	グラウンド
-IN A	2	入力	アンプ A の反転入力
+IN A	3	入力	アンプ A の非反転入力
-IN B	11	入力	アンプ B の反転入力
+IN B	10	入力	アンプ B の非反転入力
NC	1、5、6、12、15	—	接続しないでください。内部に接続されていません。熱拡散プレーンへの接続としては通常 GND を推奨します。
OUT A	16	出力	アンプ A の出力
OUT B	13	出力	アンプ B の出力
-Vs	7	電源	負電源接続
+Vs	14	電源	正電源接続
サーマル・パッド		—	ダイ・サブストレートと Vs ₋ に電氣的に接続されています。性能を最大限に高めるため、PCB 上で Vs ₋ に接続します。

7 仕様

7.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
電圧	電源電圧、 $V_S = (V_{S+}) - (V_{S-})$ ⁽²⁾		13	V
	バイアス制御ピンの電圧、GND 基準	0	$V_{S-} + 5$	
	すべてのピン (V_{S+} 、 V_{S-} 、バイアス制御ピンを除く)	V_{S-}	V_{S+}	
	GND ピン	V_{S-}	V_{S+}	
	出力ピン: オフライン・モード		± 4.5	
	反転入力ピン: オフライン・モード		± 1.1	
	差動入力電圧 (各アンプ)		± 2	
電流	すべての入力ピン、電流制限値		± 10	mA
	連続消費電力	「熱に関する情報」を参照		
温度	連続動作時の接合部温度 ⁽³⁾		139	°C
	最大接合部温度、 T_J (条件にかかわらず) ⁽⁵⁾		150	
	保存、 T_{stg}	-65	150	

- (1) 「絶対最大定格」の範囲を超える動作は、デバイスの永続的な損傷の原因となる可能性があります。絶対最大定格は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内で、一時的に「推奨動作条件」の範囲を超えた動作をさせる場合、必ずしもデバイスが損傷を受けるものではありませんが、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。
- (2) 「破壊試験」を参照してください。
- (3) 連続動作時の接合部温度の最大値は、パッケージの制約によって制限されます。この温度を超えて動作させると、デバイスの信頼性を低下させ寿命を縮める可能性があります。本デバイスは、約 180°C の接合部温度でデバイスをシャットダウンし、約 160°C で復帰させる過熱保護機能を備えています。

7.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	± 2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン ⁽²⁾	± 1500	

- (1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。
- (2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。

7.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_S	電源電圧、デュアル電源	± 3.5		± 6.5	V
V_S	電源電圧、単一電源	5.75		13	
GND	GND ピン電圧	V_{S-}		$V_{S+} - 2.5$	
T_A	動作時周囲温度	-40	25	85	°C
	サーマル・シャットダウン ⁽¹⁾		180		

- (1) OPA2673 は、約 180°C の接合部温度でシャットダウンし、約 160°C で復帰する過熱保護機能を備えています。

7.4 熱に関する情報

熱評価基準 (1)		OPA2673A	単位
		RGV (VQFN)	
		16 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	43	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	43	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	18	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	1.1	°C/W
Y_{JB}	接合部から基板への特性パラメータ	18	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	2.5	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション・レポートを参照してください。

7.5 電気的特性：完全バイアスおよびオフライン・モード $V_S = \pm 6V$

$T_A = +25^\circ\text{C}$, $A_0 = A_1 = 0$ (フルパワー), $G = +4V/V$, $R_F = 402\Omega$, $R_L = 100\Omega$, $C_L = 1pF$ (特に記述のない限り)

パラメータ		テスト条件	最小値	代表値	最大値	単位
AC 特性 (1)						
SSBW	小信号帯域幅	$G = 1V/V$, $R_F = 511\Omega$, $V_O = 0.5V_{PP}$		600		MHz
		$G = 2V/V$, $R_F = 475\Omega$, $V_O = 0.5V_{PP}$		450		
		$G = 4V/V$, $R_F = 402\Omega$, $V_O = 0.5V_{PP}$	270	340		
		$G = 4V/V$, $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$		300		
		$G = 8V/V$, $R_F = 250\Omega$, $V_O = 0.5V_{PP}$	270	340		
		$G = 8V/V$, $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$		300		
	$G = 1V/V$ 時のピーキング	$G = 1V/V$, $R_F = 511\Omega$		1.5		dB
	$G = 4V/V$ 時のピーキング	$G = 4V/V$, $R_F = 402\Omega$		0.1		dB
LSBW	大信号帯域幅	$G = 9V/V$, $R_F = 250\Omega$, $V_O = 9V_{PP}$		230		MHz
	大信号帯域幅	$G = 8V/V$, $R_F = 250\Omega$, $V_O = 5V_{PP}$		330		
	大信号帯域幅	$G = 4V/V$, $V_O = 5V_{PP}$		144		
	$\pm 0.1\text{dB}$ 帯域幅平坦性			70		
SR	スルーレート (20% と 80% の間)	$V_O = 5V$ ステップ		3500		V/ μs
		$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$	2300			
	立ち上がり / 立ち下がり時間、10% と 90% の間	$V_O = 2V$ ステップ		1.2		ns
HD	第 2 次高調波歪み	$V_O = 2V_{PP}$, 20MHz, $R_L = 50\Omega$		-70		dBc
	第 3 次高調波歪み			-73		
HD	第 2 次高調波歪み	$V_O = 2V_{PP}$, 20MHz, $R_L = 50\Omega$, $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$		-63		dBc
	第 3 次高調波歪み			-61		
e_n	入力電圧ノイズ			2.4	2.62	nV/ $\sqrt{\text{Hz}}$
i_{n+}	非反転入力電流ノイズ	$f \geq 1\text{MHz}$, 入力換算		3	4.6	pA/ $\sqrt{\text{Hz}}$
i_{n-}	反転入力電流ノイズ			25	30	
e_n	入力電圧ノイズ				4.2	nV/ $\sqrt{\text{Hz}}$
i_{n+}	非反転入力電流ノイズ	$f \geq 1\text{MHz}$, 入力換算, $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$			8.3	pA/ $\sqrt{\text{Hz}}$
i_{n-}	反転入力電流ノイズ				35	
	チャンネル間クロストーク	$f \geq 1\text{MHz}$, 入力換算		-85		dBc

7.5 電気的特性：完全バイアスおよびオフライン・モード $V_S = \pm 6V$ (continued)

$T_A = +25^\circ C$ 、 $A_0 = A_1 = 0$ (フルパワー)、 $G = +4V/V$ 、 $R_F = 402\Omega$ 、 $R_L = 100\Omega$ 、 $C_L = 1pF$ (特に記述のない限り)

パラメータ		テスト条件	最小値	代表値	最大値	単位
DC 特性						
Z_{OL}	開ループ・トランスインピーダンス・ゲイン		60	90		k Ω
		$T_A = -40^\circ C \sim 85^\circ C$	55			
	入力オフセット電圧 (各アンプ)	$T_A = -40^\circ C \sim 85^\circ C$		± 2	± 7	mV
	入力オフセット電圧ミスマッチ	アンプ A - B 間		± 0.5	± 2.2	
	入力オフセット電圧ドリフト	$T_A = -40^\circ C \sim 85^\circ C$			± 2.5	$\mu V/^\circ C$
	非反転入力バイアス電流	$T_A = -40^\circ C \sim 85^\circ C$		± 5	± 25	μA
	反転入力バイアス電流	$T_A = -40^\circ C \sim 85^\circ C$		± 6	± 48	
	非反転入力バイアス電流マッチング	$T_A = -40^\circ C \sim 85^\circ C$		± 0.5	± 5	μA
	反転入力バイアス電流マッチング	$T_A = -40^\circ C \sim 85^\circ C$		± 6	± 25	
	非反転入力バイアス電流ドリフト	$T_A = -40^\circ C \sim 85^\circ C$			± 47	nA/ $^\circ C$
	反転入力バイアス電流ドリフト	$T_A = -40^\circ C \sim 85^\circ C$			± 110	
入力特性						
CMIR	同相入力範囲		± 3.5	± 3.6		V
		$T_A = -40^\circ C \sim 85^\circ C$	± 3.2			
CMRR	同相除去比		50	56		dB
		$T_A = -40^\circ C \sim 85^\circ C$	47			
	非反転入力抵抗			$3 \parallel 1.5$		M $\Omega \parallel pF$
	反転入力抵抗		10	24	40	Ω
	シャットダウン・アイソレーション、オフライン・モード	入力 - 出力間アイソレーション (1MHz、)		85		dB
出力特性						
V_O	出力電圧スイング (2)	無負荷	± 4.8	± 4.9		V
		無負荷、 $T_A = -40^\circ C \sim 85^\circ C$	± 4.7			
V_O	出力電圧スイング (2)	$R_L = 100\Omega$	± 4.75	± 4.9		V
		$R_L = 100\Omega$ 、 $T_A = -40^\circ C \sim 85^\circ C$	± 4.65			
		$R_L = 25\Omega$	± 4.5	± 4.7		
		$R_L = 25\Omega$ 、 $T_A = -40^\circ C \sim 85^\circ C$	± 4.4			
I_O	出力電流 (ソースおよびシンク) (2)	$R_L = 4\Omega$	± 460	± 700		mA
		$R_L = 4\Omega$ 、 $T_A = -40^\circ C \sim 85^\circ C$	± 425			
	短絡出力電流	ソースおよびシンク		± 1000		mA
Z_{OUT}	閉ループ出力インピーダンス	$f = 100kHz$		0.4		m Ω
Z_O	開ループ出力インピーダンス	$f = 100kHz$ 、オフライン・モード		$25 \parallel 4.5$		k $\Omega \parallel pF$

7.5 電気的特性：完全バイアスおよびオフライン・モード $V_S = \pm 6V$ (continued)

$T_A = +25^\circ C$, $A_0 = A_1 = 0$ (フルパワー), $G = +4V/V$, $R_F = 402\Omega$, $R_L = 100\Omega$, $C_L = 1pF$ (特に記述のない限り)

パラメータ		テスト条件	最小値	代表値	最大値	単位
電源						
I_Q	静止電流、両方のチャンネルの合計	完全バイアス ($A_0 = 0$, $A_1 = 0$)		33	42	mA
		完全バイアス, $T_A = -40^\circ C \sim 85^\circ C$			46	
		オフライン・モード ($A_0 = 1$, $A_1 = 1$)		5.5	7.2	
		オフライン・モード, $T_A = -40^\circ C \sim 85^\circ C$			9	
+PSRR	正電源除去比	$T_A = -40^\circ C \sim 85^\circ C$	57	60		dB
-PSRR	負電源除去比		47	55		
バイアス制御						
	バイアス制御ピンのロジック・スレッシュホールド	ロジック 1, GND 基準	2			V
		ロジック 0, GND 基準			0.8	
	バイアス制御ピンの電流	$A_0, A_1 = 0.5V$ (3), $T_A = -40^\circ C \sim 85^\circ C$			30	μA
		$A_0, A_1 = 3.3V$, $T_A = -40^\circ C \sim 85^\circ C$			150	

- (1) 設計により設定された AC 性能の最小 / 最大制限値
- (2) 出力電圧と出力電流特性との関係については、「出力ヘッドルームと出力電流との関係」を参照してください。
- (3) 電流はピンに流れ込みます。

7.6 電気的特性：75% バイアス・モード $V_S = \pm 6V$

$T_A = +25^\circ C$, $A_0 = 1$, $A_1 = 0$ (75% バイアス), $G = +4V/V$, $R_F = 402\Omega$, $R_L = 100\Omega$, $C_L = 1pF$ (特に記述のない限り)

パラメータ		テスト条件	最小値	代表値	最大値	単位
AC 特性						
SSBW	小信号帯域幅	$G = 4V/V$, $R_F = 402\Omega$, $V_O = 0.5V_{PP}$		310		MHz
LSBW	大信号帯域幅	$V_O = 4V_{PP}$		160		
SR	スルーレート (20% と 80% の間)	$V_O = 5V$ ステップ		3000		V/ μs
HD2	第 2 次高調波歪み	$V_O = 2V_{PP}$, 20MHz, $R_L = 50\Omega$		-69		dBc
HD3	第 3 次高調波歪み			-72		
e_n	入力電圧ノイズ	$f \geq 1MHz$, 入力換算		2.6		nV/ \sqrt{Hz}
	入力オフセット電圧 (各アンプ)			± 2	± 7	mV
		$T_A = -40^\circ C \sim 85^\circ C$			± 9	
I_O	出力電流 (ソースおよびシンク)	$R_L = 4\Omega$	± 350	± 500		mA
		$R_L = 4\Omega$, $T_A = -40^\circ C \sim 85^\circ C$	± 300			
	短絡出力電流	ソースおよびシンク		± 1000		
電源						
I_Q	静止電流、両方のチャンネルの合計			25	31	mA
		$T_A = -40^\circ C \sim 85^\circ C$			34	

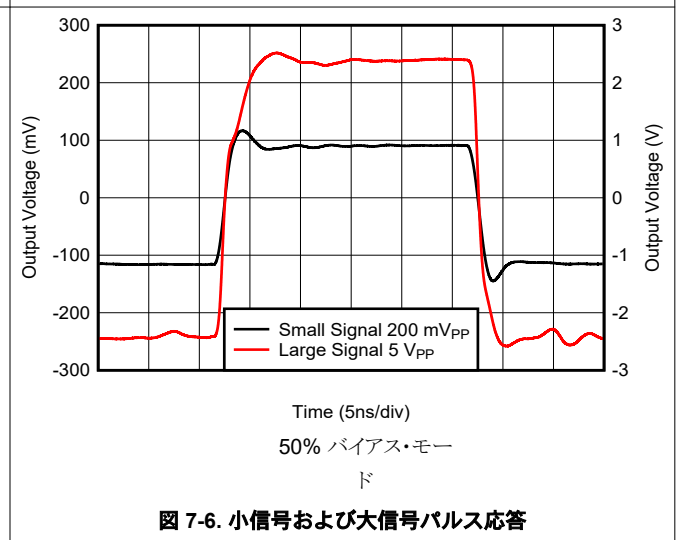
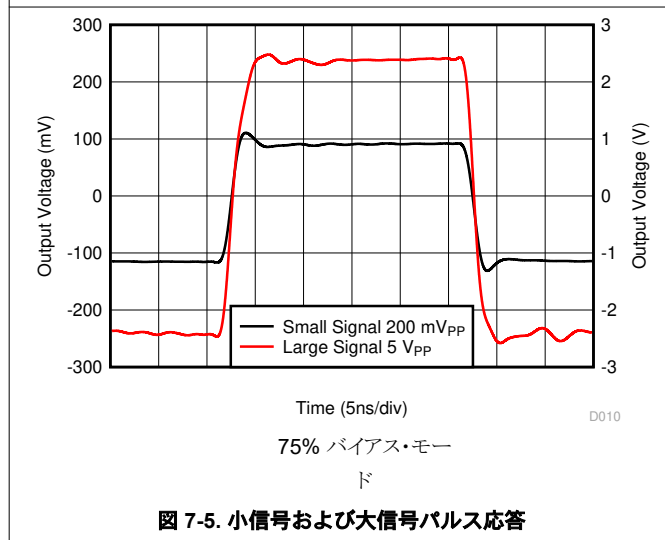
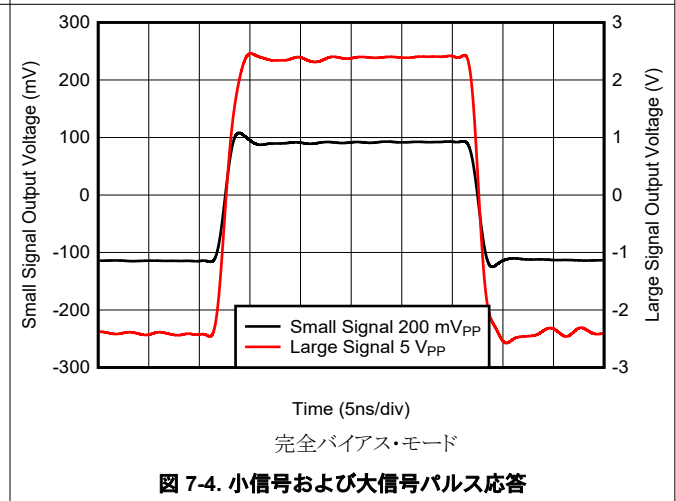
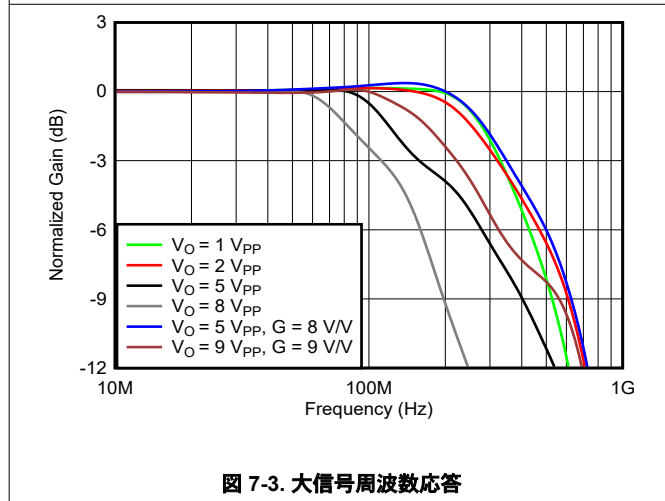
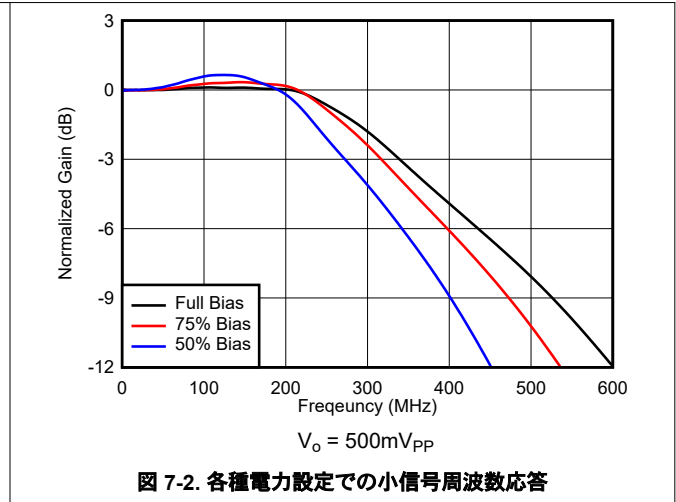
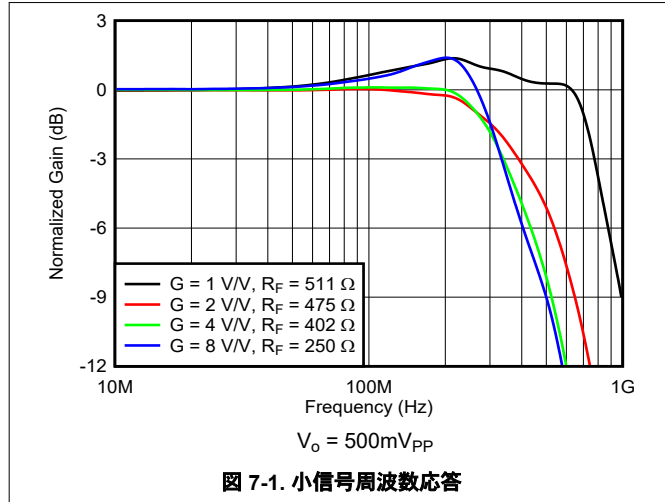
7.7 電気的特性 : 50% バイアス・モード $V_S = \pm 6V$

$T_A = +25^\circ\text{C}$, $A_0 = 0$, $A_1 = 1$ (50% バイアス), $G = +4V/V$, $R_F = 402\Omega$, $R_L = 100\Omega$, $C_L = 1\text{pF}$ (特に記述のない限り)

パラメータ		テスト条件	最小値	代表値	最大値	単位
AC 特性						
SSBW	小信号帯域幅	$G = 4V/V$, $R_F = 402\Omega$, $V_O = 0.5V_{PP}$		260		MHz
LSBW	大信号帯域幅	$V_O = 4V_{PP}$		140		
SR	スルーレート (20% と 80% の間)	$V_O = 5V$ ステップ		2700		V/ μs
HD2	第 2 次高調波歪み	$V_O = 2V_{PP}$, 20MHz, $R_L = 50\Omega$		-66		dBc
HD3	第 3 次高調波歪み			-70		
e_n	入力電圧ノイズ	$f \geq 1\text{MHz}$, 入力換算		3.2		nV/ $\sqrt{\text{Hz}}$
	入力オフセット電圧 (各アンプ)			± 2	± 7	mV
		$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$			± 9	
I_O	出力電流 (ソースおよびシンク)	$R_L = 4\Omega$	± 120	± 180		mA
		$R_L = 4\Omega$, $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$	± 110			
	短絡出力電流	ソースおよびシンク		± 1000		
電源						
I_Q	静止電流、両方のチャネルの合計			17	21	mA
		$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$			23	

7.8 代表的特性 : $V_S = \pm 6V$ 、完全バイアス

$T_A = +25^\circ C$ 、 $G = +4V/V$ 、 $R_F = 402\Omega$ 、 $R_L = 100\Omega$ (特に記述のない限り)。



7.8 代表的特性 : $V_S = \pm 6V$ 、完全バイアス (continued)

$T_A = +25^\circ C$ 、 $G = +4V/V$ 、 $R_F = 402\Omega$ 、 $R_L = 100\Omega$ (特に記述のない限り)。

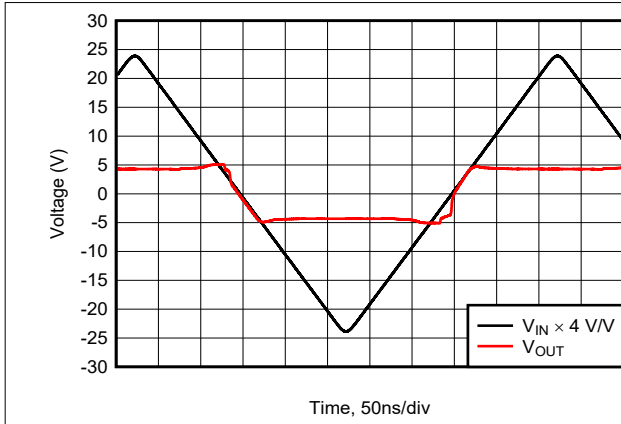


図 7-7. オーバードライブ復帰時間

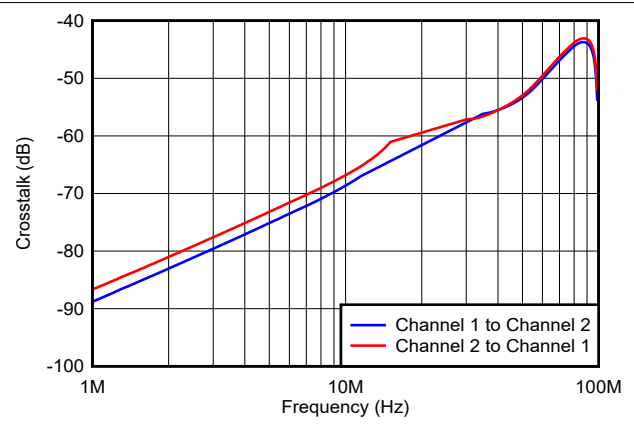


図 7-8. チャンネル間クロストーク

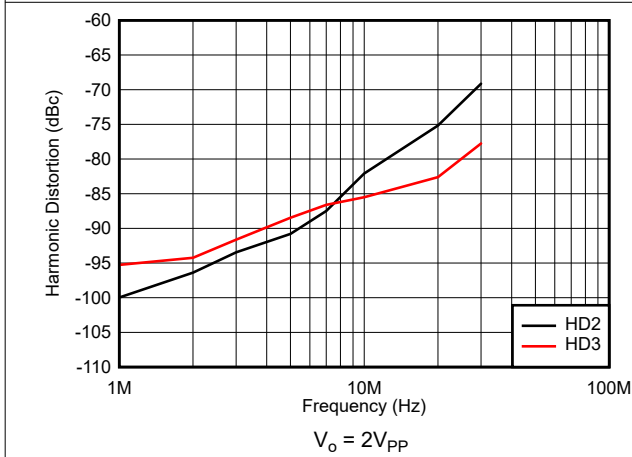


図 7-9. 高調波歪みと周波数との関係

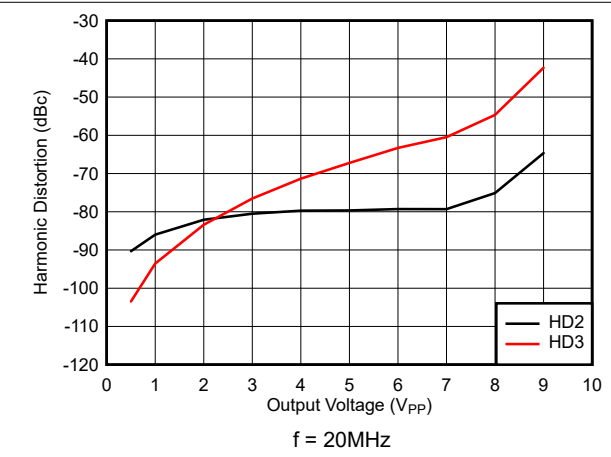


図 7-10. 高調波歪みと出力電圧との関係

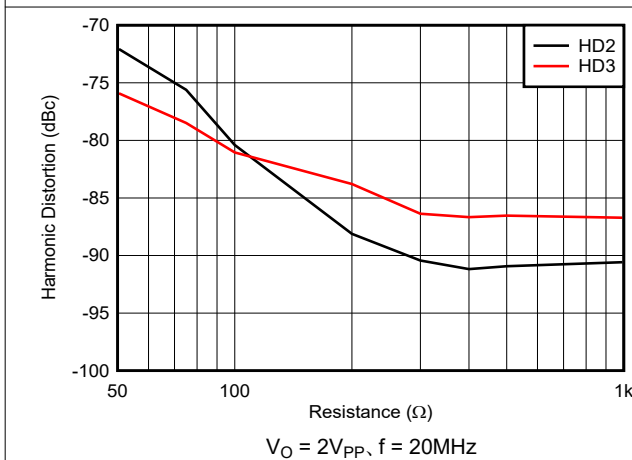


図 7-11. 高調波歪みと負荷抵抗との関係

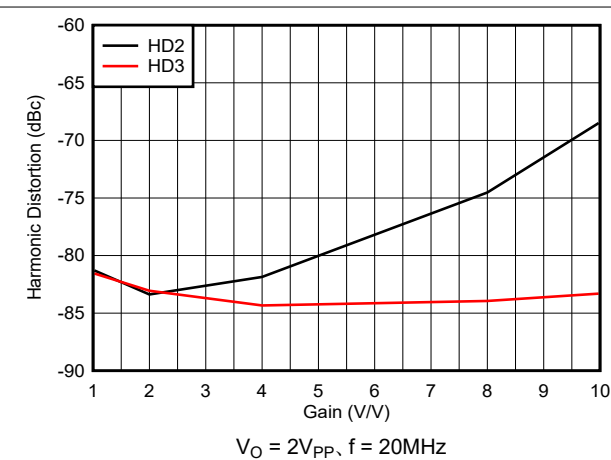


図 7-12. 高調波歪みと非反転ゲインとの関係

7.8 代表的特性 : $V_S = \pm 6V$ 、完全バイアス (continued)

$T_A = +25^\circ C$, $G = +4V/V$, $R_F = 402\Omega$, $R_L = 100\Omega$ (特に記述のない限り)。

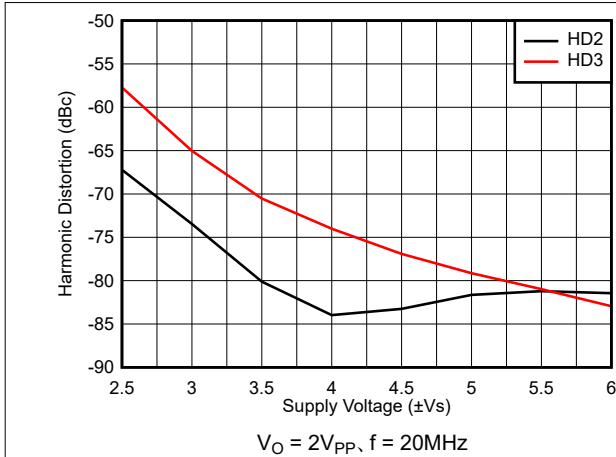


図 7-13. 高調波歪みと電源電圧との関係

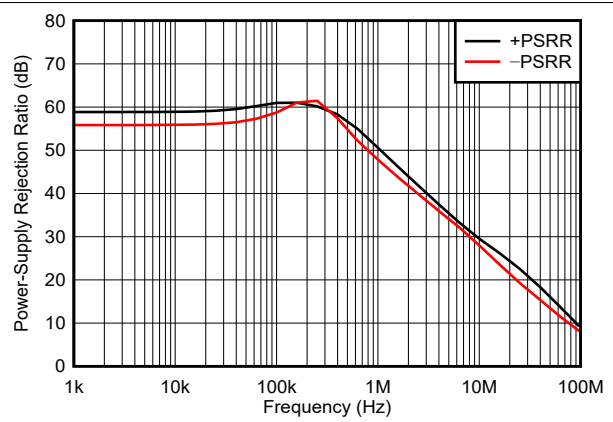


図 7-14. CMRR および PSRR と周波数との関係

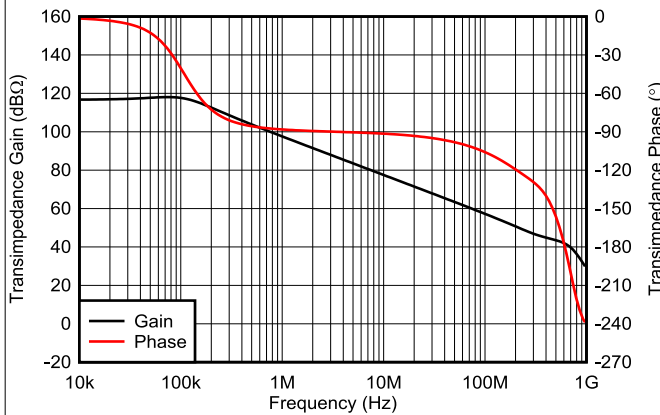


図 7-15. 開ループ・トランスインピーダンス・ゲインおよび位相

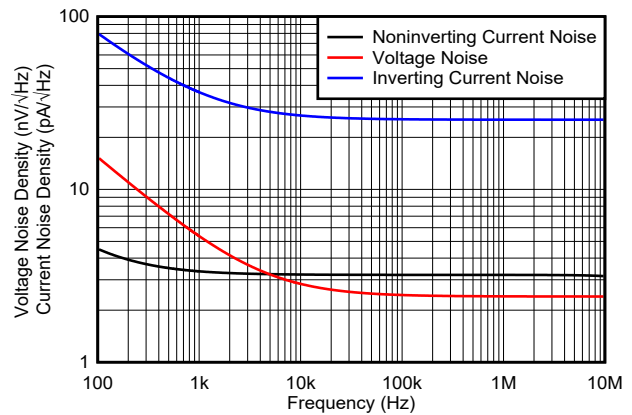


図 7-16. 入力電圧および電流ノイズ密度

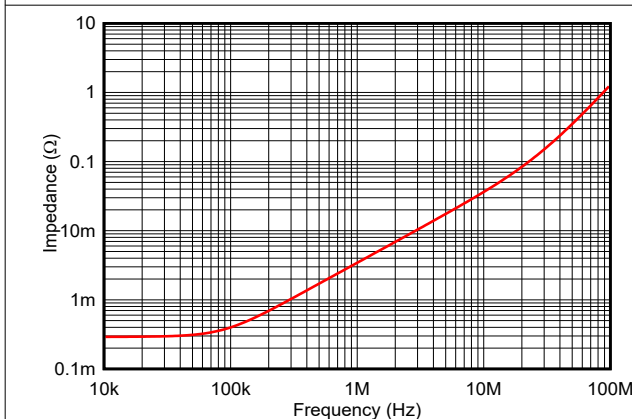


図 7-17. 開ループ出力インピーダンスと周波数との関係

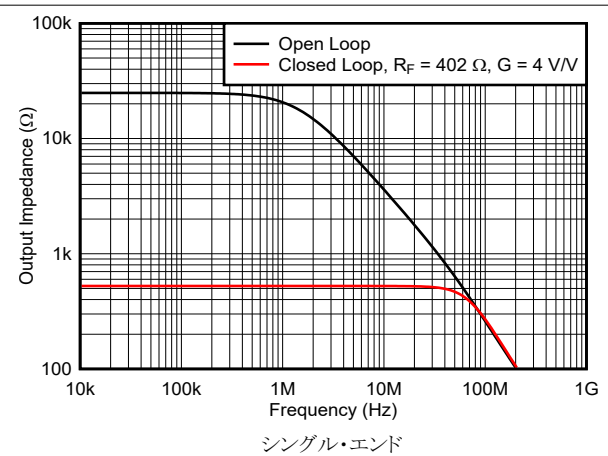


図 7-18. アクティブ・オフライン・インピーダンスと周波数との関係

7.8 代表的特性 : $V_S = \pm 6V$ 、完全バイアス (continued)

$T_A = +25^\circ C$ 、 $G = +4V/V$ 、 $R_F = 402\Omega$ 、 $R_L = 100\Omega$ (特に記述のない限り)。

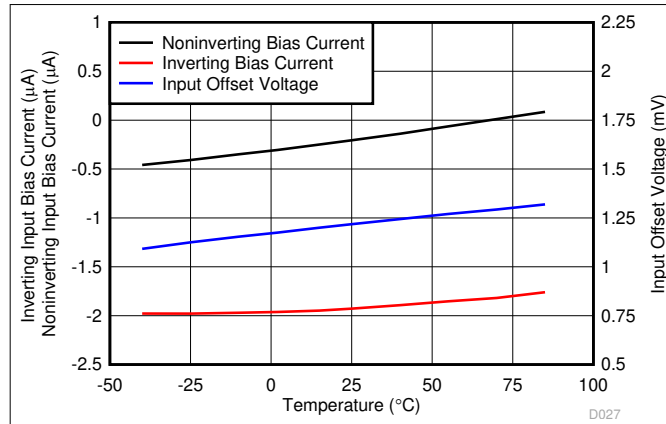


図 7-19. 全温度範囲での代表的な DC ドリフト

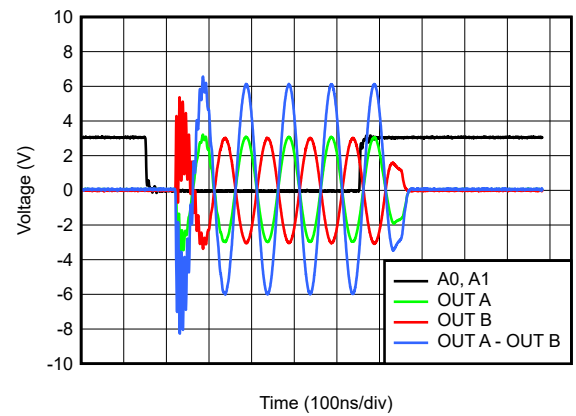


図 7-20. 完全バイアス・モードからオフライン・モードへの遷移時間

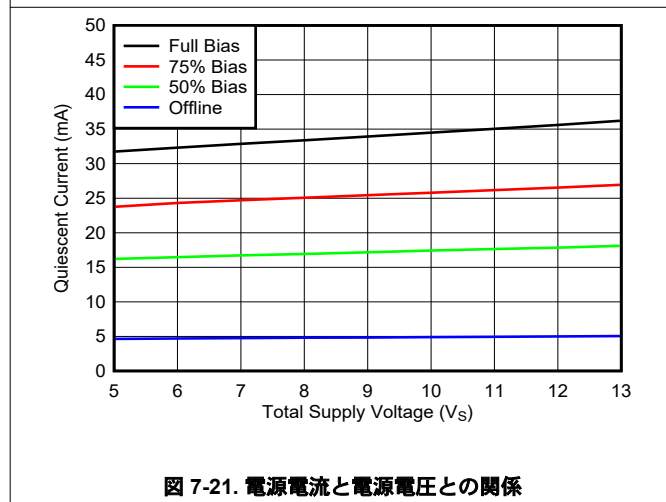


図 7-21. 電源電流と電源電圧との関係

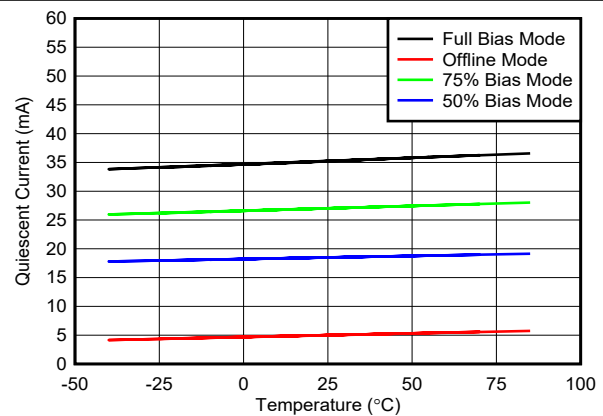


図 7-22. 電源電流と温度との関係

7.9 代表的特性 : $V_S = \pm 6V$ 差動、完全バイアス

$T_A = +25^\circ C$, $R_F = 511\Omega$, $R_L = 100\Omega$ 差動, $G_{DIFF} = +4V/V$, $G_{CM} = +1V/V$ (特に記述のない限り)

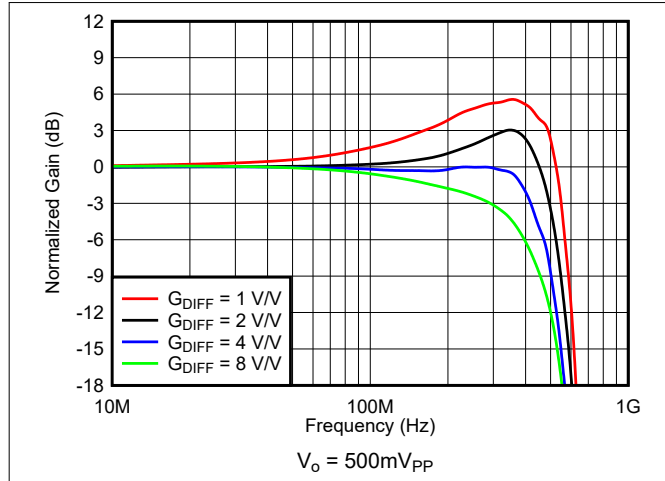


図 7-23. 小信号周波数応答

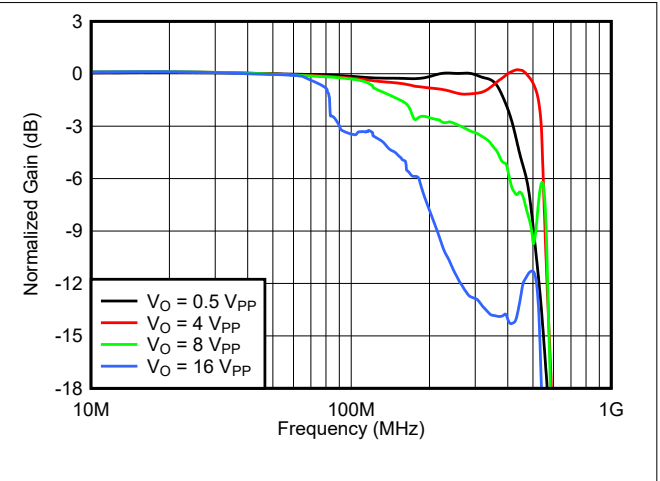


図 7-24. 大信号周波数応答

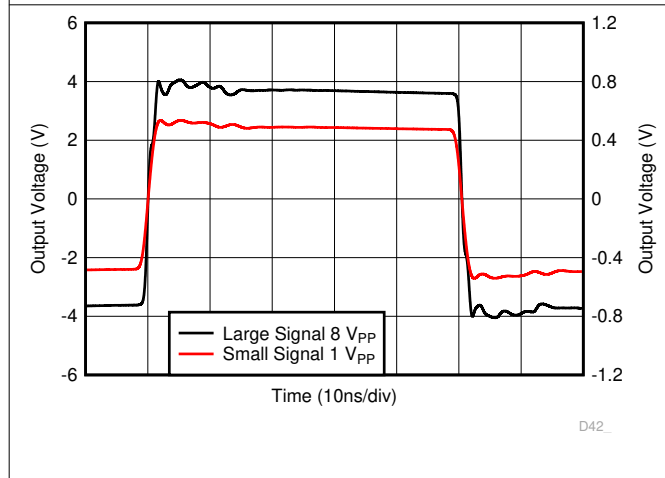


図 7-25. 小信号および大信号パルス応答

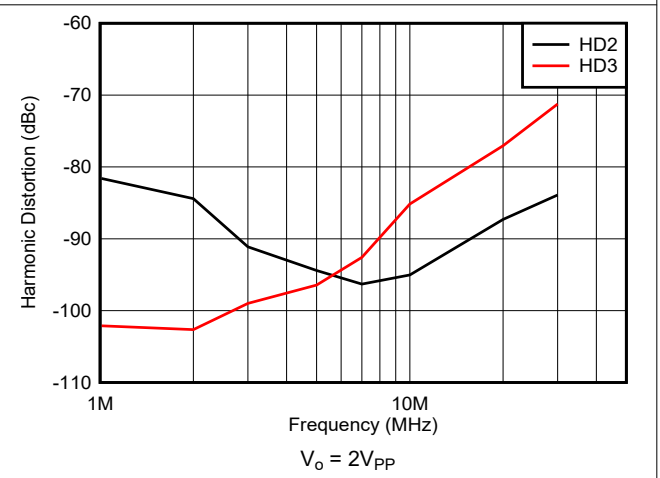


図 7-26. 高調波歪みと周波数との関係

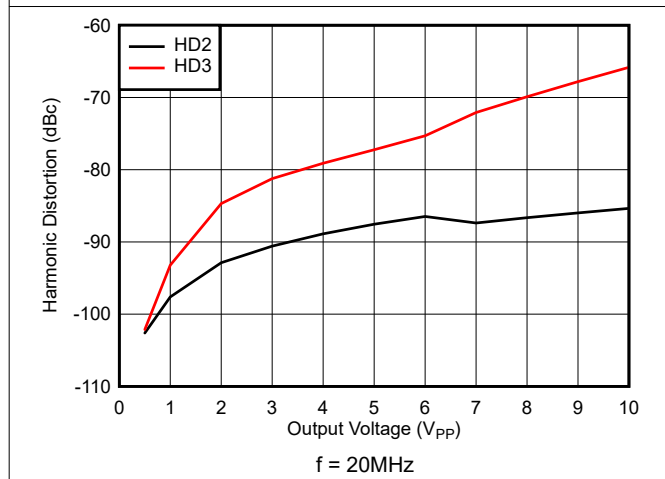


図 7-27. 高調波歪みと出力電圧との関係

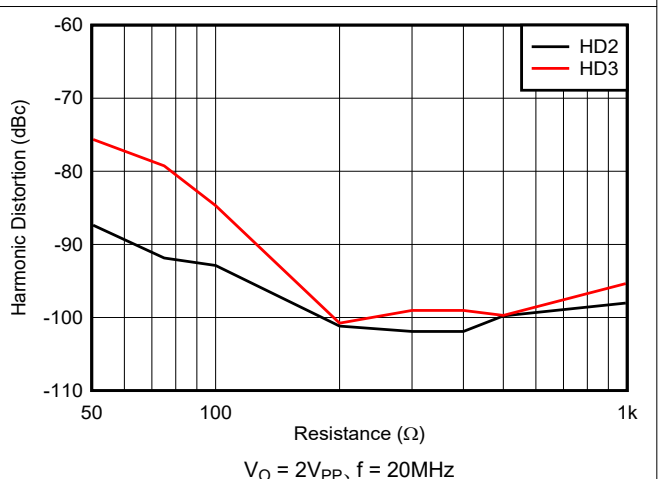


図 7-28. 高調波歪みと負荷抵抗との関係

7.9 代表的特性 : $V_S = \pm 6V$ 差動、完全バイアス (continued)

$T_A = +25^\circ\text{C}$ 、 $R_F = 511\Omega$ 、 $R_L = 100\Omega$ 差動、 $G_{\text{DIFF}} = +4V/V$ 、 $G_{\text{CM}} = +1V/V$ (特に記述のない限り)

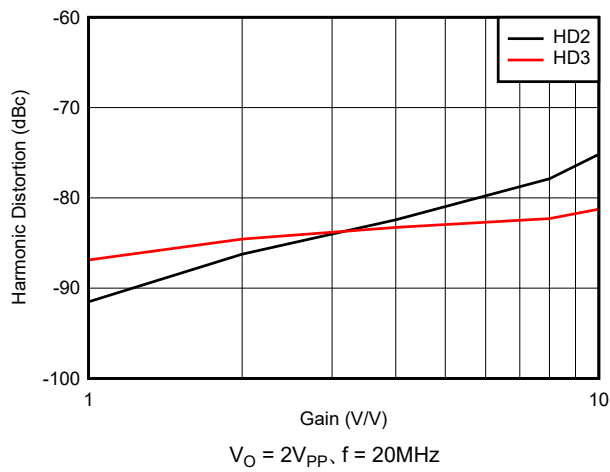


図 7-29. 高調波歪みと非反転ゲインとの関係

7.10 代表的特性 : $V_S = \pm 6V$ 、75% バイアス

$T_A = +25^\circ C$ 、 $G = +4V/V$ 、 $R_F = 402\Omega$ 、 $R_L = 100\Omega$ (特に記述のない限り)。

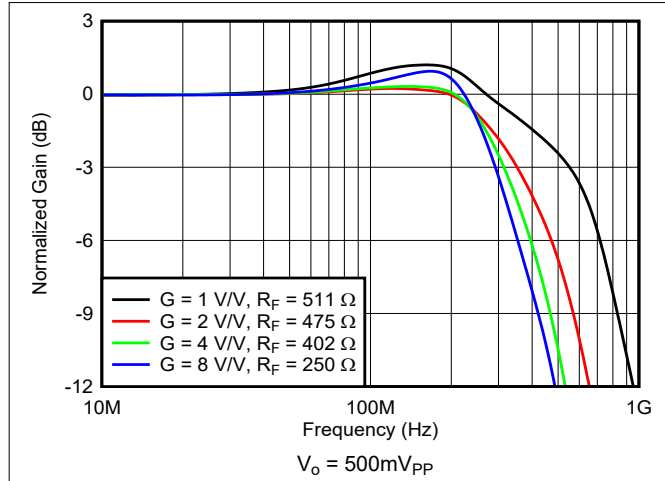


図 7-30. 小信号周波数応答

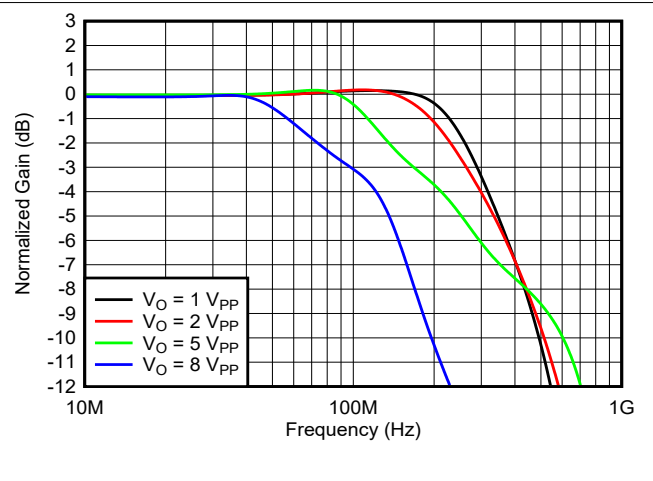


図 7-31. 大信号周波数応答

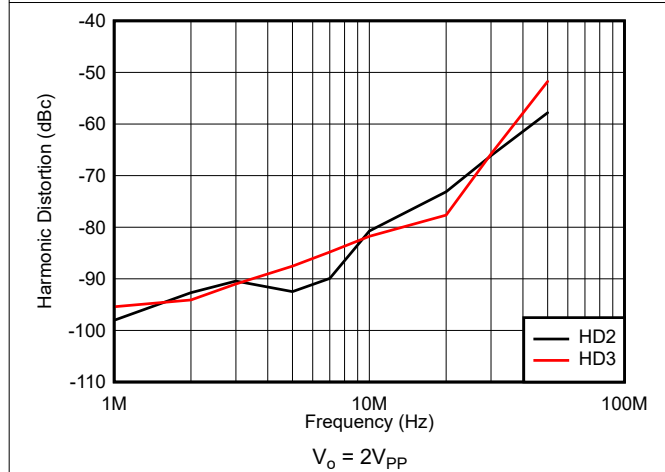


図 7-32. 高調波歪みと周波数との関係

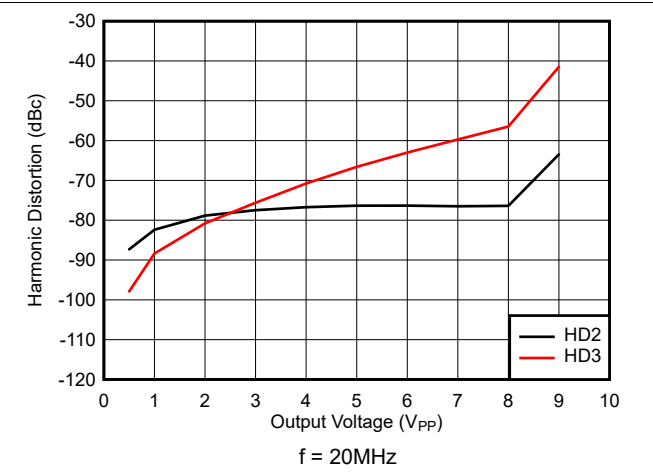


図 7-33. 高調波歪みと出力電圧との関係

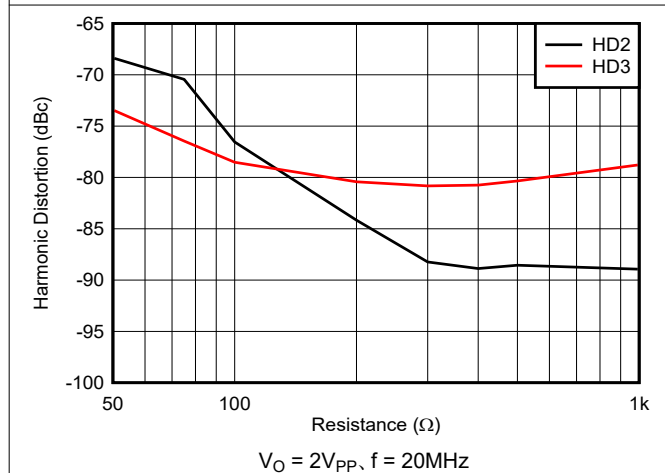


図 7-34. 高調波歪みと負荷抵抗との関係

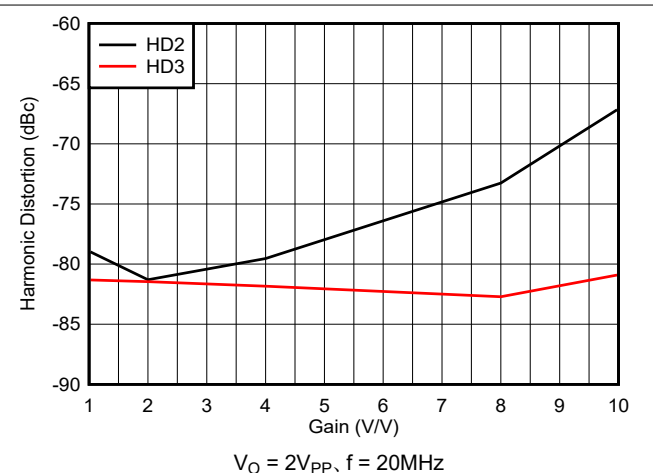
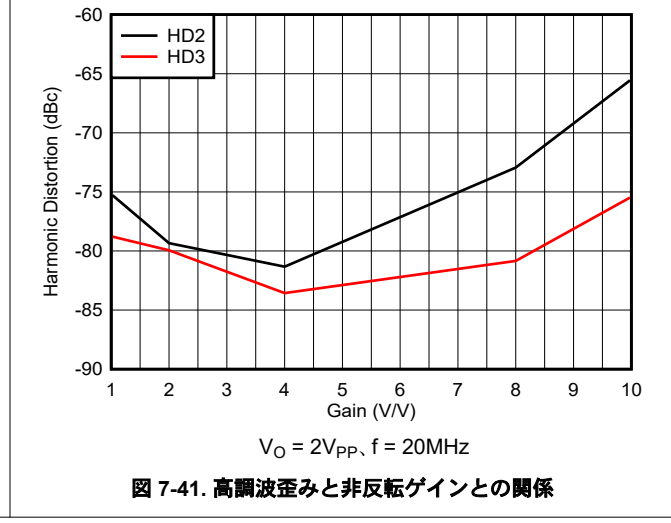
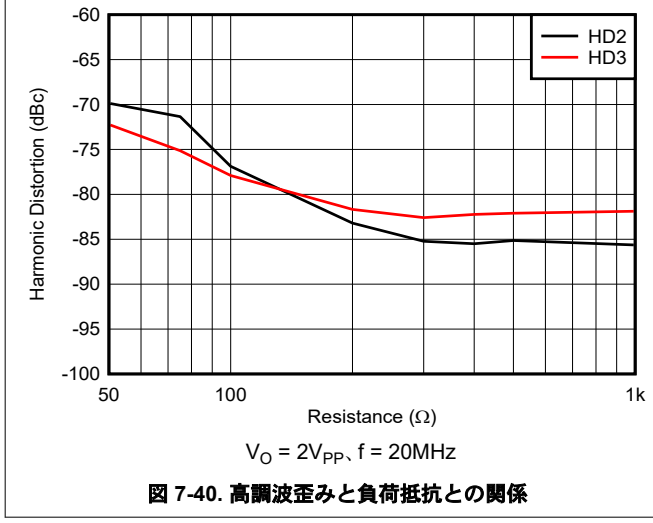
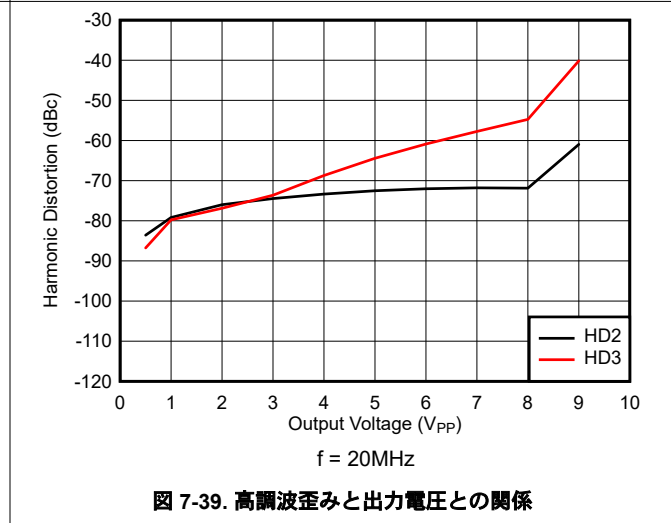
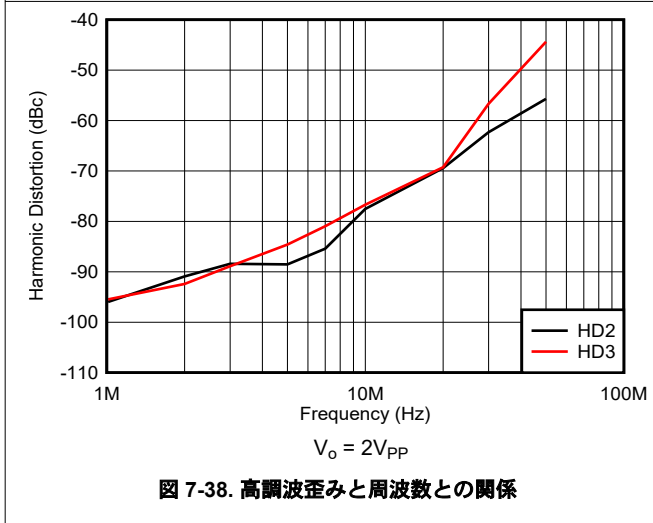
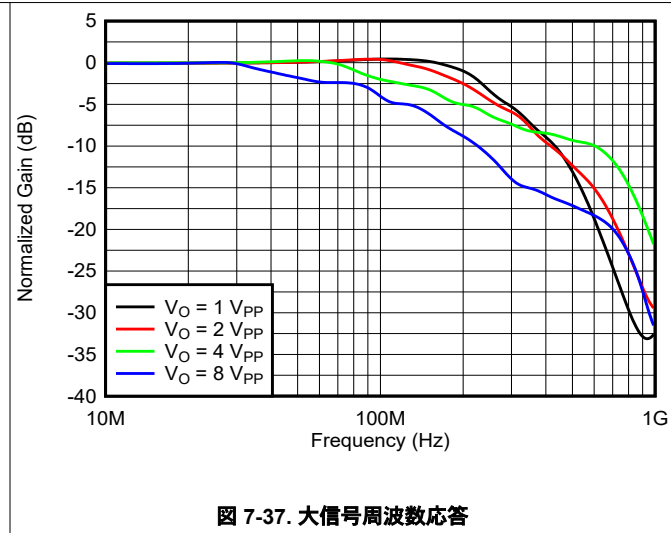
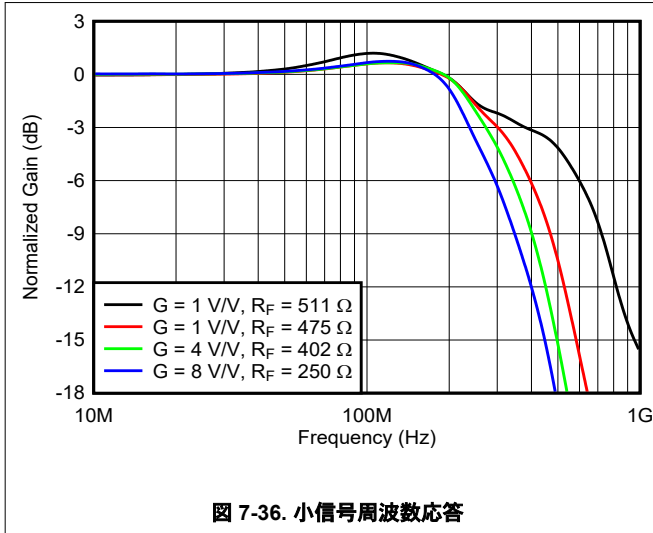


図 7-35. 高調波歪みと非反転ゲインとの関係

7.11 代表的特性 : $V_S = \pm 6V$ 、50% バイアス

$T_A = +25^\circ C$ 、 $G = +4V/V$ 、 $R_F = 402\Omega$ 、 $R_L = 100\Omega$ (特に記述のない限り)。

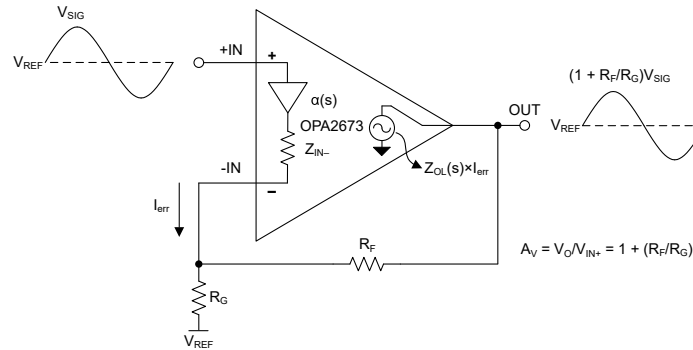


8 詳細説明

8.1 概要

OPA2673 は、広帯域幅と共に大電流駆動が求められるアプリケーションのために $\pm 3.5\text{ V}$ to $\pm 6.5\text{ V}$ の広い電源電圧範囲で動作するように設計された高速大電流出力の電流帰還型アンプ (CFA) です。OPA2673 は、高出力インピーダンス状態で動作できるようにオフライン・モードを備えているため、バス・トポロジで接続した際にもネットワークに負荷をかけません。図 3-1 に、OPA2673 の 2 つのチャンネルを 2 つの独立したアンプとして使い、または差動入力 / 差動出力構成で接続する方法を示します。

8.2 機能ブロック図



8.3 機能説明

OPA2673 は、非常に直線性の高い大電力出力段により、非常に優れた AC 性能を提供します。OPA2673 は室温で 16mA/チャンネルの静止電流しか必要とせず、どちらの電源レールからも 1.1V 以内までスイングし、460 mA を上回る電流を供給します。この低出力ヘッドルーム要件と、電源電圧に依存しないバイアス特性により、優れたデュアル ($\pm 6\text{V}$) 電源動作が得られます。OPA2673 は 450MHz を超える帯域幅を持っており、12V 単一電源を使って 100 Ω 負荷を 2V_{pp} 出力で駆動できます。

電圧帰還型オペアンプに対する電流帰還型オペアンプの主な利点は、AC 性能 (帯域幅と歪み) が信号ゲインの影響をあまり受けないことです。図 8-1 に、 $\pm 6\text{V}$ の「電気的特性」と「代表的特性」のテスト回路として使われたデュアル電源回路構成 (DC 結合、ゲイン +4V/V) を示します。「電気的特性」に記載されている電圧スイングは、入力および出力ピンで直接測定されています。AC 性能の測定時、OPA2673 の出力は、整合された 50 Ω 負荷で終端されます。そのため、OPA2673 から見た総実効負荷は $100\Omega \parallel 402\Omega = 80\Omega$ です。

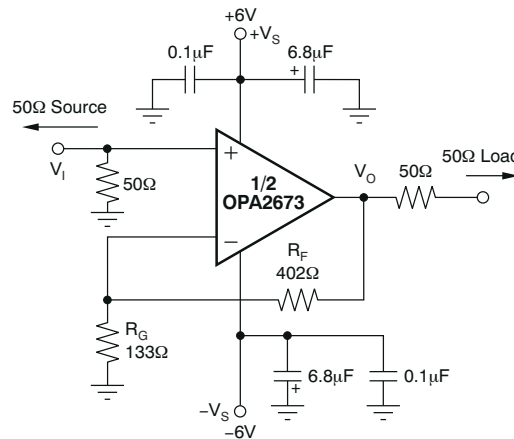


図 8-1. DC 結合、 $G = +4\text{V/V}$ 、バイポーラ電源

8.3.1 取り扱い時の注意事項

8.3.1.1 抵抗値の設定による帯域幅の最適化

OPA2673 などの電流帰還型オペアンプは、外部抵抗値の適切な調整によって信号ゲイン設定全体でほぼ一定の帯域幅を保持できます（「代表的特性」を参照）。小信号帯域幅は、ゲインが大きくなるとわずかに減少します。これらの特性曲線は、各ゲイン設定に対して帰還抵抗が変わることも示しています。電流帰還型オペアンプの回路の反転側の R_F の絶対値は、周波数応答補償素子として扱うことができます。一方、 R_F と R_G の比率は信号ゲインを設定します。

図 8-2 に、OPA2673 の小信号周波数応答解析の回路を示します。

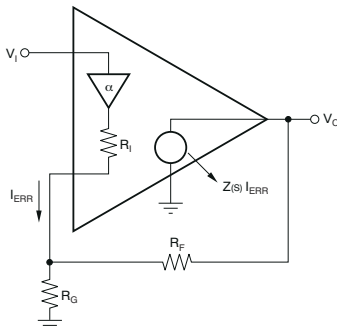


図 8-2. 電流帰還伝達関数解析の回路

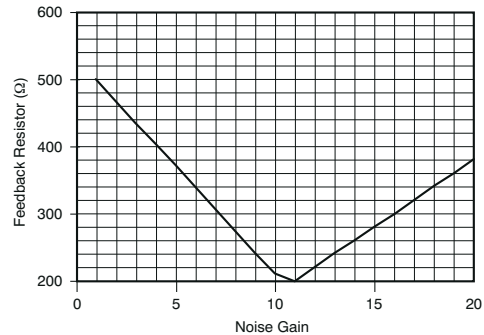


図 8-3. 帰還抵抗とノイズ・ゲインとの関係

この電流帰還型オペアンプ・モデルの主な要素は次のとおりです。

- α = 非反転入力から反転入力へのバッファのゲイン
- R_I = バッファの出力インピーダンス
- I_{ERR} = 帰還誤差電流信号
- $Z(s) = I_{ERR}$ から V_O までの周波数依存開ループ・トランスインピーダンス・ゲイン

$$NG = \text{Noise Gain} = 1 + \frac{R_F}{R_G} \quad (1)$$

電流帰還型オペアンプは、(電圧帰還型オペアンプが差動入力で誤差電圧を検出するのは対照的に) 反転ノードで誤差電流を検出し、それを内部の周波数依存トランスインピーダンス・ゲインで増幅して出力します。「代表的特性」に、この開ループ・トランスインピーダンス応答を示します。これは、電圧帰還型オペアンプの開ループ電圧ゲイン曲線と似ています。CFA の動作原理の詳細については、TI プレジジョン・ラボに掲載されているトレーニング・ビデオを参照してください。

図 8-3 に示す R_F 値とゲインとの関係は、「代表的特性」を作成するために使われた値とほぼ等しく、帯域幅の最適化が必要な設計の開始点として役立ちます。

8.3.1.2 出力電流および電圧

OPA2673 は、低コストのデュアル・モノリシック・オペアンプとして比類のない出力電圧および電流性能を実現します。25°C の無負荷状態では、出力電圧は、どちらの電源レールからも 1.1V 以内 (標準値) までスイングします。テスト済み (+25°C) のスイング制限値は、どちらのレールからも 1.2V 以内です。OPA2673 は、室温で約 700 mA のソースおよびシンク電流を供給できます。図 8-4 と図 8-5 に、各種の温度と負荷条件における OPA2673 の出力電流と出力電圧との関係を示します。

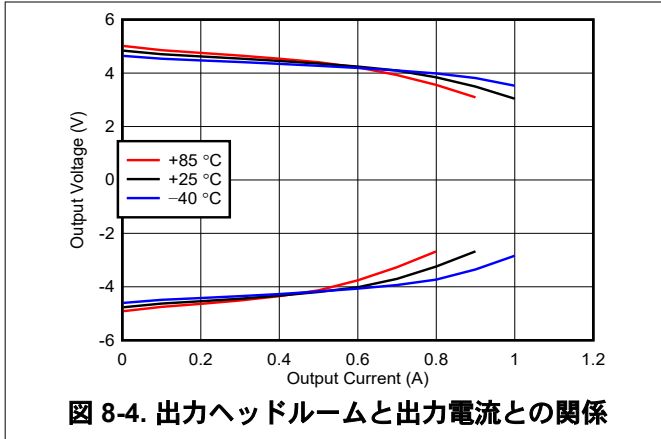


図 8-4. 出力ヘッドルームと出力電流との関係

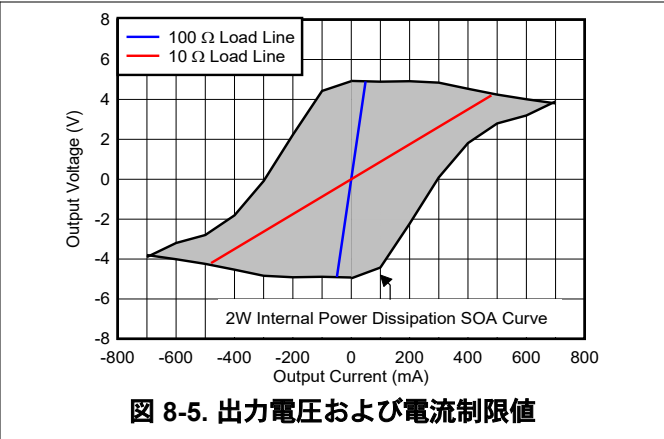


図 8-5. 出力電圧および電流制限値

前述の仕様については、電圧の制限値と電流の制限値を別々に考慮してください。多くのアプリケーションでは、電圧と電流の積 (V-I 積) は回路の動作に深く関係しています。図 8-5 に、ゼロ電圧出力電流制限値 (X 軸) とゼロ電流出力電圧制限値 (Y 軸) をそれぞれ示します。このグラフは 2W の最大内部消費電力 (この場合、1 チャンネルのみ) の安全動作領域によって囲まれており、これらの 4 つの象限は、OPA2673 の出力駆動能力をより詳細に表現しています。このグラフに重ね合わせた抵抗負荷線は、OPA2673 が出力能力をも 2W の消費電力限界をも超えずに、10Ω で $\pm 4V$ 、25Ω で $\pm 4.5V$ を駆動できることを示しています。100Ω の負荷線 (標準的なテスト回路負荷) は、「電気的特性」に記載された $\pm 4.8V$ の最大出力スイング能力を示しています。

8.3.1.3 容量性負荷の駆動

オペアンプの最も困難ではあるが非常に一般的な負荷条件の 1 つは容量性負荷です。その容量性負荷とは、しばしば A/D コンバータ (ADC) の入力であり、ADC の直線性を向上させるために推奨されることがある追加の外部容量もそれに含まれます。OPA2673 などの高速で開ループ・ゲインが大きいアンプは、出力ピンに容量性負荷を直接接続すると、安定性の低下と開ループ応答のピーキングを非常に起こしやすくなることがあります。アンプの開ループ出力抵抗を考慮した場合、この容量性負荷によって、位相マージンを低下させる可能性がある追加の極が信号路に取り込まれます。

周波数応答の平坦性、パルス応答の忠実度、歪みを第一に考える場合、最もシンプルかつ効果的な解決策は、アンプ出力と容量性負荷の間に直列分離抵抗 (R_{ISO}) を挿入することによって、帰還ループから容量性負荷 (C_L) を分離することです。この構成を図 8-6 に示します。この方法では、極はループ応答から除去されませんが、極がシフトされ、より高い周波数にゼロが追加されます。追加のゼロは、容量性負荷の極からの位相遅れをキャンセルするように機能するため、位相マージンを増加させ、安定性を向上させます。図 8-7 に、「 R_{ISO} の推奨値と C_L との関係」を示します。また図 8-8 に、最適化された R_{ISO} 値によって得られる周波数応答を示します。

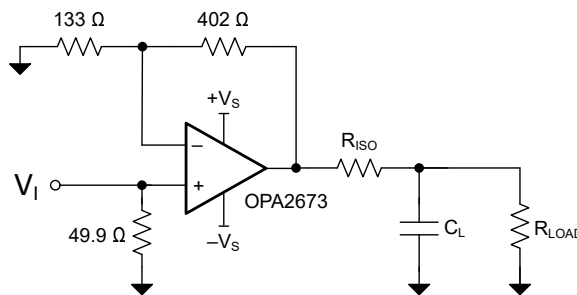
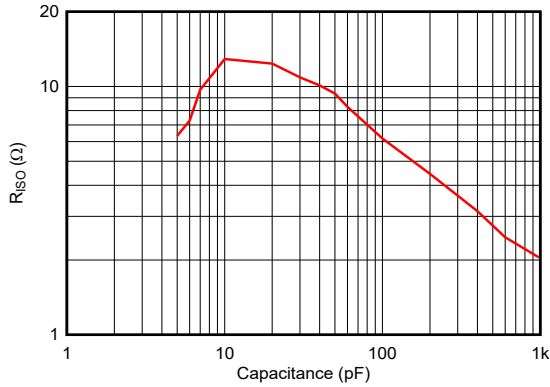
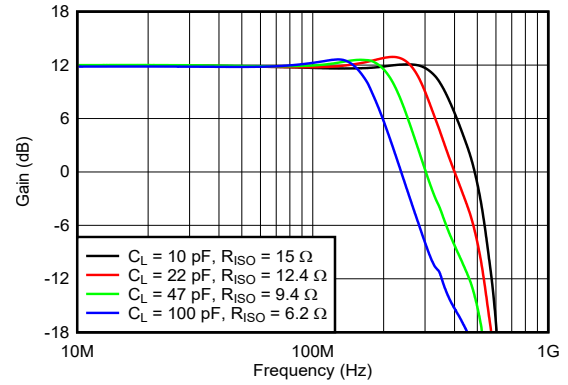


図 8-6. 出力直列分離抵抗を使用した大きな容量性負荷の駆動


図 8-7. R_{ISO} の推奨値と容量性負荷との関係

図 8-8. 周波数応答と容量性負荷との関係

8.3.1.4 ライン・ドライバのヘッドルーム・モデル

ドライバ設計の第 1 段階は、目標仕様からピーク・ツー・ピーク出力電圧を計算することです。この計算には、次の式を使用します。

$$P_L = 10 \times \log \frac{V_{RMS}^2}{(1mW) \times R_L} \quad (2)$$

ここで、 P_L は負荷の電力、 V_{RMS} は負荷の電圧、 R_L は負荷インピーダンスであり、この式は次のように計算されます。

$$V_{RMS} = \sqrt{(1mW) \times R_L \times 10^{\frac{P_L}{10}}} \quad (3)$$

$$V_P = \text{CrestFactor} \times V_{RMS} = CF \times V_{RMS} \quad (4)$$

ここで、 V_P は負荷でのピーク電圧、 CF は波高率です。

$$V_{LPP} = 2 \times CF \times V_{RMS} \quad (5)$$

ここで、 V_{LPP} は負荷でのピーク・ツー・ピーク電圧です。

式 2～式 5 を整理すると、波高率、負荷インピーダンス、負荷の電力の関数として、負荷において必要なピーク・ツー・ピーク電圧を表現できます。つまり、

$$V_{LPP} = 2 \times CF \times \sqrt{(1mW) \times R_L \times 10^{\frac{P_L}{10}}} \quad (6)$$

この V_{LPP} は通常、ライン・インピーダンスの公称値を求めるために計算され、固定の設計目標とすることができます。

ドライバ設計の次の段階は、ライン上の V_{PP} とトランスの巻線比の関数としての個々のアンプの出力電圧および電流を計算することです。巻線比が変化すると、許容される最小電源電圧も変化します。アンプのピーク電流は次の式で与えられます。

$$\pm I_P = \frac{1}{2} \times \frac{2 \times V_{LPP}}{n} \times \frac{1}{4R_M} \quad (7)$$

ここで、 V_{LPP} は式 6 で定義され、 R_M は式 8 で定義されます。

$$R_M = \frac{Z_{LINE}}{2n^2} \quad (8)$$

図 8-9 において、総合的な負荷が $4R_M$ であり、 V_{LPP} を使って計算したピーク・ツー・ピークの半分がピーク電流であることに注意することで、ピーク電流は計算されます。

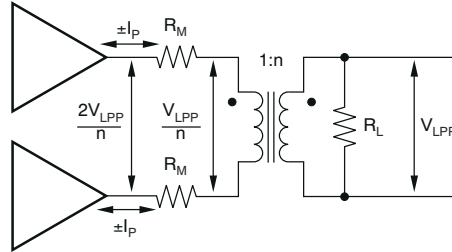


図 8-9. ドライバのピーク出力モデル

必要な出力電圧および電流と設定された巻線比との関係を使うと、出力段のヘッドルーム・モデルによって、必要な電源電圧と巻線比との関係を求めることができます。

このヘッドルーム・モデル (図 8-10 を参照) は、以下の式で記述できます。

まず、各アンプで利用可能な出力電圧は次の式で表されます。

$$V_{OPP} = V_{CC} - (V_1 + V_2) - I_P \times (R_1 + R_2) \quad (9)$$

また、必要な単一電源電圧は次の式で表されます。

$$V_{CC} = V_{OPP} + (V_1 + V_2) + I_P \times (R_1 + R_2) \quad (10)$$

一連の電力および負荷要件に対する最小電源電圧は式 10 で与えられます。ここで、 V_1 、 V_2 、 R_1 、 R_2 は OPA2673 の内部に存在します。

表 8-1 に、OPA2673 を +12V で動作させるための V_1 、 V_2 、 R_1 、 R_2 を示します。

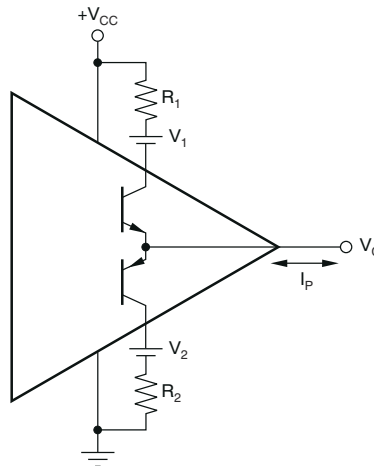


図 8-10. ライン・ドライバのヘッドルーム・モデル

表 8-1. ライン・ドライバのヘッドルーム・モデルの値

V_1	R_1	V_2	R_2
0.9V	2Ω	0.9V	2Ω

8.3.1.5 ノイズ性能

広帯域電流帰還型オペアンプは一般に、相当する電圧帰還型オペアンプよりも大きい出力ノイズを示します。OPA2673は、出力ノイズを低減するため、電圧ノイズの項と電流ノイズの項のバランスをうまくとっています。その小さい入力電圧ノイズは、非反転入力電流ノイズを大きく ($3\text{pA}/\sqrt{\text{Hz}}$) する代償として実現されています。非反転ノードから見た AC ソース・インピーダンスが 100Ω 未満である限り、この電流ノイズは総合的な出力ノイズには大きく影響しません。オペアンプの入力電圧ノイズと 2 つの入力電流ノイズの項を組み合わせることで、各種動作条件の下で小さい出力ノイズを求めることができます。図 8-11 に、オペアンプのノイズ解析モデルと、ノイズのすべての項を示します。このモデルにおいて、電圧ノイズと電流ノイズの単位は $\text{nV}/\sqrt{\text{Hz}}$ と $\text{pA}/\sqrt{\text{Hz}}$ です。

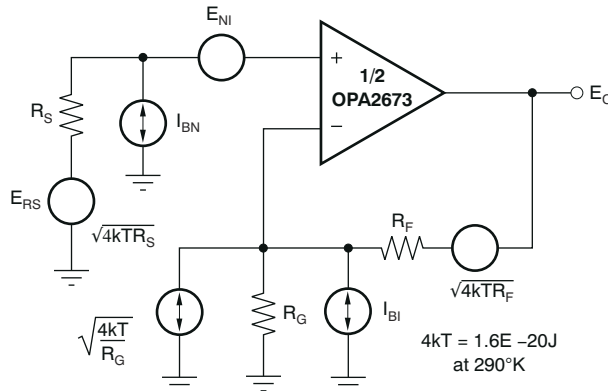


図 8-11. オペアンプのノイズ解析モデル

総合出力スポット・ノイズ電圧は、すべての出力ノイズ電圧の 2 乗和の平方根として計算できます。式 11 に、図 8-11 に示すノイズ項を使用した出力ノイズ電圧の一般式を示します。

$$E_o = \sqrt{\left[E_{NI}^2 + (I_{BN} R_S)^2 + 4kTR_S \right] \times NG + (I_{BI} R_F)^2 + 4kTR_F NG} \quad (11)$$

この式をノイズ・ゲイン $[NG = (1 + R_F / R_G)]$ で除算すると、非反転入力での等価入力換算スポット・ノイズ電圧が得られます (式 12 を参照)。

$$E_i = \sqrt{\frac{E_{NI}^2 + (I_{BN} \times R_S)^2 + 4kTR_S}{NG^2} + \frac{(I_{BI} \times R_F)^2 + 4kTR_F}{NG}} \quad (12)$$

図 8-1 に示す OPA2673 の回路と部品の値に対してこれらの 2 つの式の値を求めることで、 $15.6\text{nV}/\sqrt{\text{Hz}}$ の総合出力スポット・ノイズ電圧と $3.9\text{nV}/\sqrt{\text{Hz}}$ の総合等価入力スポット・ノイズ電圧が得られます。この総合入力換算スポット・ノイズ電圧は、オペアンプ単体の電圧ノイズの仕様 ($2.4\text{nV}/\sqrt{\text{Hz}}$) を超過しています。この結果は、反転電流ノイズと帰還抵抗 (この場合 402Ω) の積によって出力に追加されたノイズが原因です。高ゲイン構成で帰還抵抗を小さくすると (先に提案したように)、式 12 によって与えられる総合入力換算電圧ノイズは、オペアンプ単体の値 ($2.4\text{nV}/\sqrt{\text{Hz}}$) に近づきます。たとえば、 $R_F = 250\Omega$ を使用して $+8\text{V/V}$ のゲインにすると、 $2.9\text{nV}/\sqrt{\text{Hz}}$ の総合入力換算ノイズが得られます。

8.4 デバイスの機能モード

OPA2673 は、A0 および A1 ピンで設定される 4 つの機能モードを備えています。表 8-2 に、デバイス・モード・ピン設定の真理値表と、それに関連した各モードの説明を示します。

表 8-2. A0 と A1 の論理表

A0	A1	機能	説明
0	0	完全バイアス・モード (100%)	両方のアンプがオンであり、歪みが最小限です。
1	0	中バイアス・モード (75%)	両方のアンプがオンであり、節電効果があり、歪み性能が低下します。
0	1	低バイアス・モード (50%)	両方のアンプがオンであり、節電効果が強化され、全ての性能が低下します。
1	1	オフライン・モード	両方のアンプがオフであり、出力は高インピーダンスです。

OPA2673 は、A0 と A1 を互いに接続することで、1 つの制御ビットのみを使って完全バイアス・モードとオフライン・モードを切り替えることができます。中バイアス・モードまたは低バイアス・モードと、オフライン・モードとの切り替えがアプリケーションのために必要な場合、A0 ピンと A1 ピンのどちらかをグラウンドに接続し、他方を制御ピンに接続します。

オフライン・モードでは、OPA2673 の出力ピンは高出力インピーダンスになります。ただし、帰還抵抗 R_F (図 8-12 を参照) が存在するため、OPA2673 に接続された負荷から見たインピーダンスは高インピーダンス $\parallel R_F$ であり、実質的には R_F に等しくなります。オフライン・モード時に出力ピンと反転入力ピンに印加できる最大電圧については、「絶対最大定格」に記載しています。図 8-12 は、反転入力ピンに現れる電圧が、出力ピンの電圧を抵抗分割した値になることを示しています。出力ピンと反転入力ピンの上限値がどちらも確実に満たされるようにします。

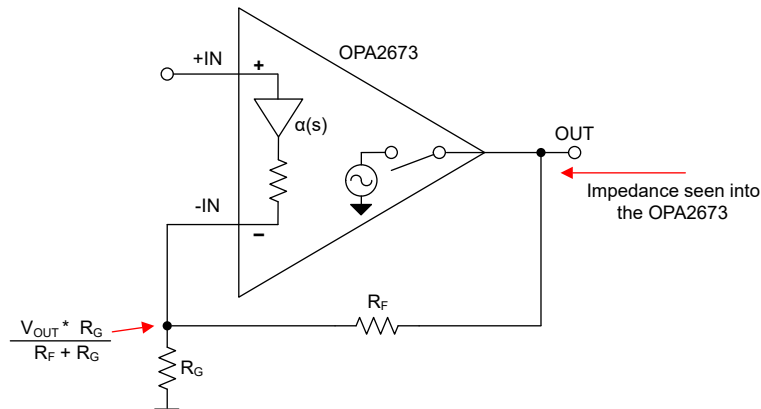


図 8-12. OPA2673 オフライン・モード

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

OPA2673 は、 $\pm 3.5V \sim \pm 6.5V$ の広い電源電圧範囲で動作する高速大電流出力の電流帰還型アンプ (CFA) です。このデバイスは、大きい駆動電流と広い帯域幅を必要とするアプリケーションのために設計されています。OPA2673 の 2 つのチャンネルは、2 つの独立したアンプとして使用することも、差動入力 / 差動出力構成に接続することもできます。

9.2 代表的なアプリケーション

9.2.1 高速アクティブ・フィルタ

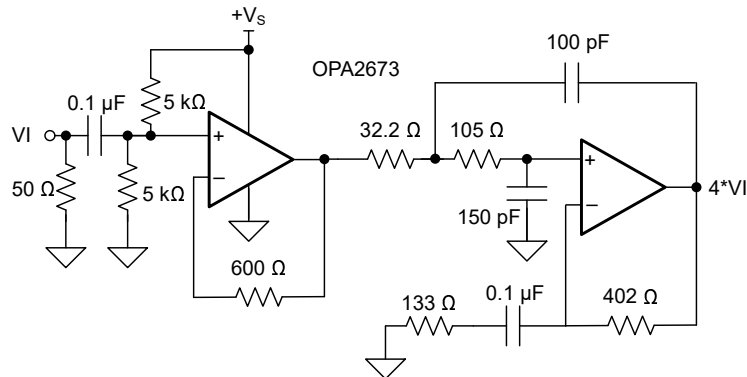


図 9-1. バッファ付き単一電源アクティブ・フィルタ

9.2.1.1 設計要件

広帯域の電流帰還型オペアンプは、受動 RC 回路網内の固定ゲイン・ブロックとしてアンプを使う高速アクティブ・フィルタを実装するための素子として理想的です。ゲインに対して帯域幅が比較的一定であるため、アンプのゲインを変化させても、実際のフィルタ極はそれほど変化しません。図 9-1 に、単一電源のバッファ付きフィルタ・アプリケーションの例を示します。この例では、OPA2673 のチャンネルの 1 つを使って DC 動作点を設定し、信号源と 2 段目のフィルタとの間のインピーダンス分離を行っています。この段は、20MHz の最大限に平坦なバターワース周波数応答と +4V/V の AC ゲインを持つように構成されています。

9.2.1.2 詳細な設計手順

この場合、 51Ω の入力整合抵抗は任意です。入力信号は、抵抗デバイダによって $+10V$ 電源から生成された $5V$ DC リファレンス電圧に AC 結合されています。この 1 段目は、ゲインが $+1V/V$ の信号用電圧バッファ (安定性のために 600Ω の帰還抵抗が必要) として機能します。この 1 段目は、このような高周波フィルタの入力に求められる低入力抵抗を簡単に駆動できます。2 段目は、 $+1V/V$ の DC ゲイン設定、出力ピンへの $5V$ 動作点の設定、 $+4V/V$ の AC ゲイン設定を行うように設計されています。帰還抵抗は、アンプ自体の帯域幅を最適化するように調整されています。図 9-1 と図 9-2 は、この構成の OPA2673 によって $400MHz$ を超える小信号帯域幅が得られることを示しています。できるだけ小さい容量値ではあるが、アンプの寄生入力容量を無視できる程度の容量値のコンデンサを選択します。抵抗値は、OPA2673 の各チャンネルの約 $1ns$ の伝搬遅延を考慮して、かつ目的のフィルタ周波数応答が得られるように、多少調整されています。

9.2.1.3 アプリケーション曲線

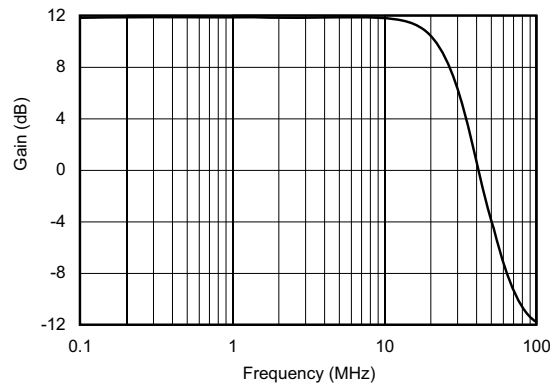


図 9-2. バッファ付き単一電源アクティブ・フィルタ：ゲインと周波数との関係

9.2.2 PLC ライン・ドライバ

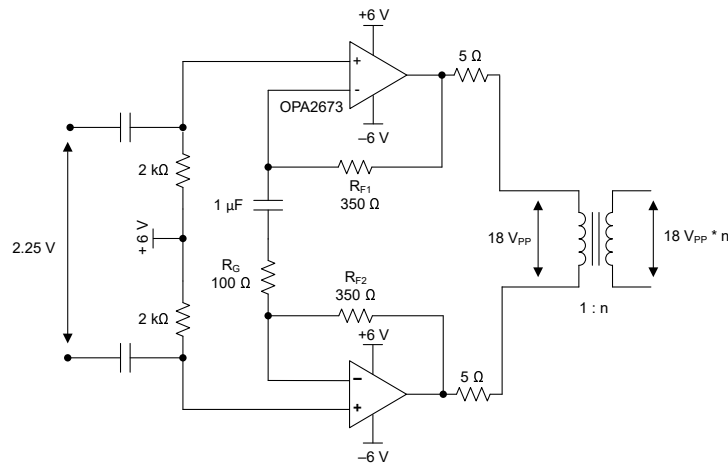


図 9-3. PLC アプリケーションの代表的な回路図

9.2.2.1 設計要件

AC 結合広帯域電流帰還動作の主な設計要件は、出力電圧要件を満たす電源と、安定性を維持しながら適切な帯域幅を確保できる帰還抵抗値の使用です。表 9-1 に示す要件を使用して、広帯域 PLC アプリケーション回路を設計します。

表 9-1. 設計要件

設計パラメータ	値
電源	12V、単一電源
差動ゲイン G_{DIFF}	8V/V
出力電圧	18V _{PP}
大信号帯域幅	220MHz

9.2.2.2 詳細な設計手順

差動ライン・ドライバ構成の閉ループ・ゲインの式は、 $G_{DIFF} = 1 + 2 \times (R_F / R_G)$ として与えられます。ここで、 $R_F = R_{F1} = R_{F2}$ です。OPA2673 は電流帰還型アンプであるため、閉ループ構成の帯域幅は R_F 抵抗の値によって設定されます。この電流帰還アーキテクチャの利点により、電圧帰還型アンプの場合と同様、 R_G 抵抗の値を選択することで、帯域幅を狭めることなく差動ゲインを柔軟に設定できます。OPA2673 は、 $R_{F1} = R_{F2} = 350\Omega$ で優れた帯域幅性能を実現するように設計されています。8V/V のゲインに本デバイスを構成するには、100Ω の R_G 抵抗を使います。

9.2.2.3 アプリケーション曲線

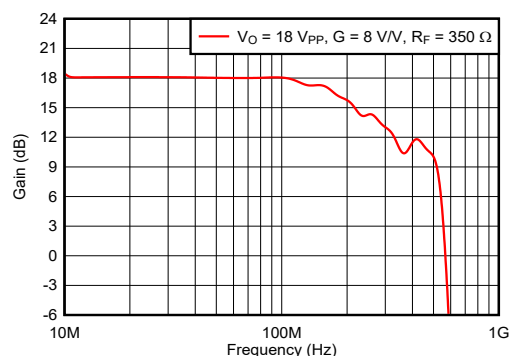


図 9-4. 大信号周波数応答

9.3 電源に関する推奨事項

9.3.1 熱解析

OPA2673 の大きな出力電力能力の結果として、極端な動作条件ではヒートシンクまたは強制空冷が必要となる場合があります。求められる最大接合部温度に応じて、許容される最大内部消費電力が決まります。最大接合部温度については、次の段落で説明します。最大接合部温度である 150°C を超過しないようにしてください。

動作時の接合部温度 (T_J) は次の式で与えられます。

$$T_J = T_A + P_D \times \theta_{JA} \quad (13)$$

総合内部消費電力 (P_D) は、静止電力 (P_{DQ}) と、負荷電力を供給するための出力段の追加の消費電力 (P_{DL}) との合計です。静止電力は、無負荷時消費電流の規定値に、部品に印加される総電源電圧を掛けた値です。 P_{DL} は、必要な出力信号および負荷に依存します。ただし、接地された抵抗性負荷の場合、どちらかの電源電圧の 1/2 (バイポーラ電源の場合) に出力が固定されたときに、 P_{DL} は最大値になります。この条件では、以下の式が成り立ちます。

$$P_{DL} = V_S^2 / (4 \times R_L) \quad (14)$$

ここで、 R_L には帰還ネットワーク負荷が含まれます。

式 14 は、OPA2673 の出力段で消費される電力です。この電力は内部消費電力を決定します。

ワーストケースの例として、図 8-1 の回路の OPA2673 (VQFN-16) を使用して T_J の最大値を計算します。その際本デバイスは、最大周囲温度の規定値 (85°C) において、接地された 20Ω 負荷を両方の出力が 2.5V まで駆動しながら動作しているものとします。

$$P_D = 12V \times 33mA + 2 \times [5^2 / (4 \times [20\Omega \parallel 535\Omega])] = 1.05W \quad (15)$$

$$T_J \text{ の最大値} = +85^\circ\text{C} + (1.05 \times 45^\circ\text{C/W}) = 132.2^\circ\text{C} \quad (16)$$

「出力電流および電圧」の出力 V-I のグラフには、これらの条件での内部消費電力の最大値 (2W) の境界線が描かれています。

9.3.2 入力および ESD 保護

OPA2673 は、高速相補型バイポーラ・プロセスを使って製造されています。「絶対最大定格」に、内部接合部ブレークダウン電圧を示します。すべてのデバイス・ピンは、電源との間に接続された内部ダイオードを使った限定的な ESD 保護を備えています (図 9-5 を参照)。

これらのダイオードは、電源電圧を上回る入力オーバードライブ電圧に対してもある程度の保護を提供します。これらの保護ダイオードは 10mA (標準値) の連続電流に耐えます。より大きな電流が流れる可能性がある場合 (たとえば、OPA2673 を駆動する ±15V 電源部品を含むシステムの場合)、2 つの入力に電流制限用直列抵抗を追加します。

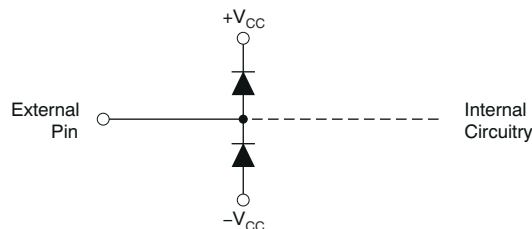


図 9-5. ESD ステアリング・ダイオード

9.4 レイアウト

9.4.1 レイアウトのガイドライン

OPA2673 などの高い周波数のアンプを使用して最適な性能を実現するには、基板レイアウトの寄生素子と外部部品の種類に細心の注意を払う必要があります。

a) すべての信号 I/O ピンの AC グランドに対する寄生容量を最小化します。出力ピンと反転入力ピンの寄生容量は不安定性の原因になることがあります。非反転入力では、寄生容量がソース・インピーダンスの影響を受けて、意図しない帯域制限を引き起こす可能性があります。不要な容量を減らすため、信号 I/O ピンの周囲のすべてのグランドおよび電源プレーンとの間を広げます。その他に、グランドおよび電源プレーンが基板上のその他の場所で決して途切れないようにします。

b) 電源ピンから高周波デカップリング・コンデンサ (0.1 μ F) までの距離を最小限 (0.25 インチ (6.35mm) 未満) にします。電源接続 (VQFN パッケージの場合、ピン 7 および 14) を常に低 ESR のコンデンサでデカップリングします。グランドおよび電源プレーンを信号 I/O ピンに近付けてレイアウトしないでください。ピンとデカップリング・コンデンサ間のインダクタンスを最小にするため、電源パターンおよびグランド・パターンは狭くならないようにします。2 つの電源間 (パイポラ動作の場合) にオプションの電源デカップリング・コンデンサを接続すると、第 2 次高調波歪み性能が向上します。

c) 外付け部品を慎重に選択および配置することで、OPA2673 の高周波性能が維持されます。リアクタンスが非常に小さい抵抗を使用します。表面実装抵抗、金属皮膜と炭素化合物を使ったアキシヤル・リード型抵抗を使うと、優れた高周波性能を実現できます。リード線と PCB パターンの長さをできるだけ短くします。出力ピンと反転入力ピンは寄生容量の影響を最も受けやすいですが、帰還抵抗と直列出力抵抗 (ある場合) は、出力ピンにできるだけ近付けて配置します。両面部品実装が可能な場合、出力ピンと反転入力ピンの間に接続する帰還抵抗を、基板の裏側でパッケージの直下に配置します。

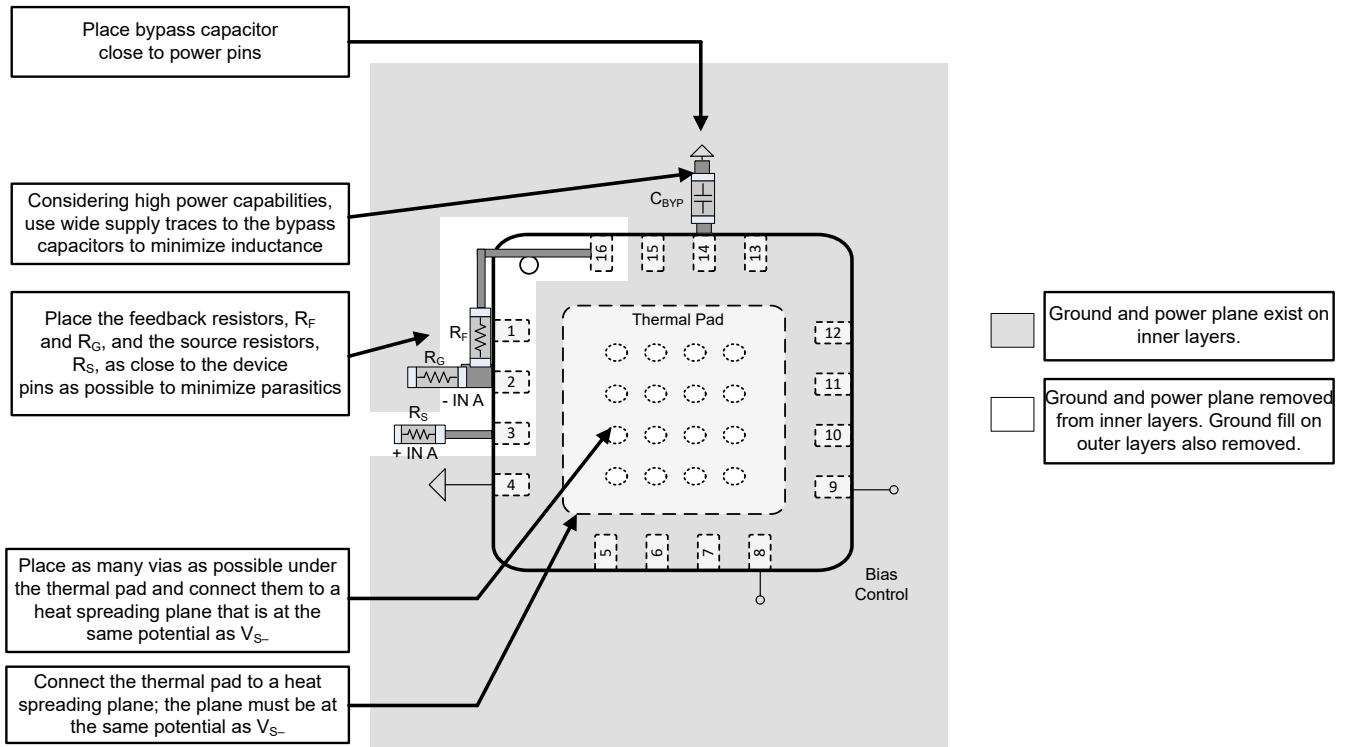
d) 周波数応答は、前述のように主に帰還抵抗値によって決定されます。帰還抵抗値を大きくすると帯域幅が狭くなり、小さくすると周波数応答のピークが大きくなります。「代表的特性」($\pm 6V$ 電源、 $+4V/V$ ゲイン) で使われている 402Ω の帰還抵抗は、設計の出発点として最適です。電流帰還型オペアンプには、ユニティ・ゲイン・フォロワ構成であっても、安定性を制御するために帰還抵抗が必要であることに注意します。ユニティ・ゲイン・フォロワ・アプリケーションの場合、直接短絡するのではなく、 511Ω の帰還抵抗を使います。

e) 基板上のその他の広帯域デバイスとは、短い直接配線を使って、またはオンボード伝送ラインを通して接続できます。短い接続の場合、パターンと隣のデバイスの入力を集中容量性負荷と見なします。比較的幅の広いパターン (50mil ~ 100mil (1.27mm ~ 2.54mm)) を使い、できればそれらの周囲のグランドおよび電源プレーンとの間を広げます。図 8-7 のグラフから、全体の容量性負荷を見積り、 R_{ISO} を設定します。OPA2673 は 2pF (公称値) の寄生負荷で動作するように補償されているため、寄生負荷容量 (5pF 未満) が小さい場合、 R_{ISO} が不要なこともあります。

長いパターンが必要であり、二重終端伝送ラインに固有の 6dB の信号損失が許容される場合、マイクロストリップまたはストリップライン手法を使って整合インピーダンス伝送ラインを実装します (マイクロストリップおよびストリップライン・レイアウト手法については、ECL 設計ハンドブックを参照)。

OPA2673 は高電圧大電流で負荷を駆動できるため、複数の送信先デバイスを、それぞれに個別の直列およびシャント終端を持つ別個の伝送ラインとして扱うことができます。二重終端伝送ラインの 6dB の減衰が許容できない場合、長いパターンをソース端でのみ直列終端することができます。

9.4.2 レイアウト例



「レイアウトに関する推奨事項」は、チャンネル A についてのみ示してあります。チャンネル B についても同様の推奨事項に従ってください。

図 9-6. 推奨レイアウト

10 デバイスおよびドキュメントのサポート

10.1 デバイスのサポート

10.1.1 開発サポート

10.1.1.1 TINA-TI™ シミュレーション・ソフトウェア (無償ダウンロード)

TINA-TI™ シミュレーション・ソフトウェアは、SPICE エンジンに基づいた単純かつ強力な、使いやすい回路シミュレーション・プログラムです。TINA-TI シミュレーション・ソフトウェアは、TINA™ ソフトウェアのすべての機能を持つ無償バージョンで、パッシブ・モデルとアクティブ・モデルに加えて、マクロモデルのライブラリがプリロードされています。TINA-TI シミュレーション・ソフトウェアには、SPICE の標準的な DC 解析、過渡解析、周波数ドメイン解析などの全機能に加え、追加の設計機能が搭載されています。

TINA-TI シミュレーション・ソフトウェアは設計ツールとシミュレーション Web ページから無料でダウンロードでき、ユーザーが結果をさまざまな方法でフォーマットできる、広範な後処理機能を備えています。仮想計測器により、入力波形を選択し、回路ノード、電圧、および波形をプローブして、動的なクイック・スタート・ツールを作成できます。

注

これらのファイルを使用するには、TINA ソフトウェアまたは TINA-TI ソフトウェアがインストールされている必要があります。TINA-TI™ ソフトウェア・フォルダから、無償の TINA-TI シミュレーション・ソフトウェアをダウンロードしてください。

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の使用条件を参照してください。

10.4 商標

TINA-TI™ and TI E2E™ are trademarks of Texas Instruments.

TINA™ is a trademark of DesignSoft, Inc.

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

テキサス・インスツルメンツ用語集 この用語集には、用語や略語の一覧および定義が記載されています。

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスについて利用可能な最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
OPA2673IRGVR	ACTIVE	VQFN	RGV	16	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA 2673	Samples
OPA2673IRGVT	ACTIVE	VQFN	RGV	16	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA 2673	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2673IRGVR	VQFN	RGV	16	2500	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
OPA2673IRGVT	VQFN	RGV	16	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2673IRGVR	VQFN	RGV	16	2500	367.0	367.0	35.0
OPA2673IRGVT	VQFN	RGV	16	250	210.0	185.0	35.0

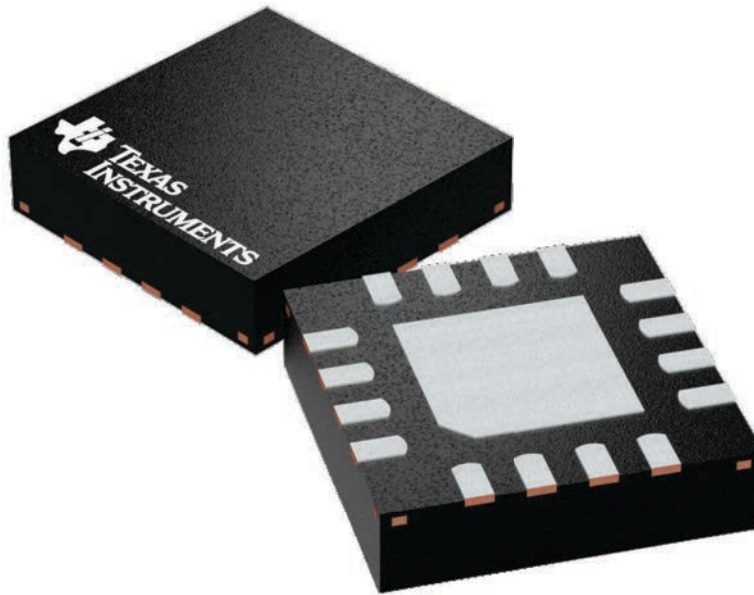
GENERIC PACKAGE VIEW

RGV 16

VQFN - 1 mm max height

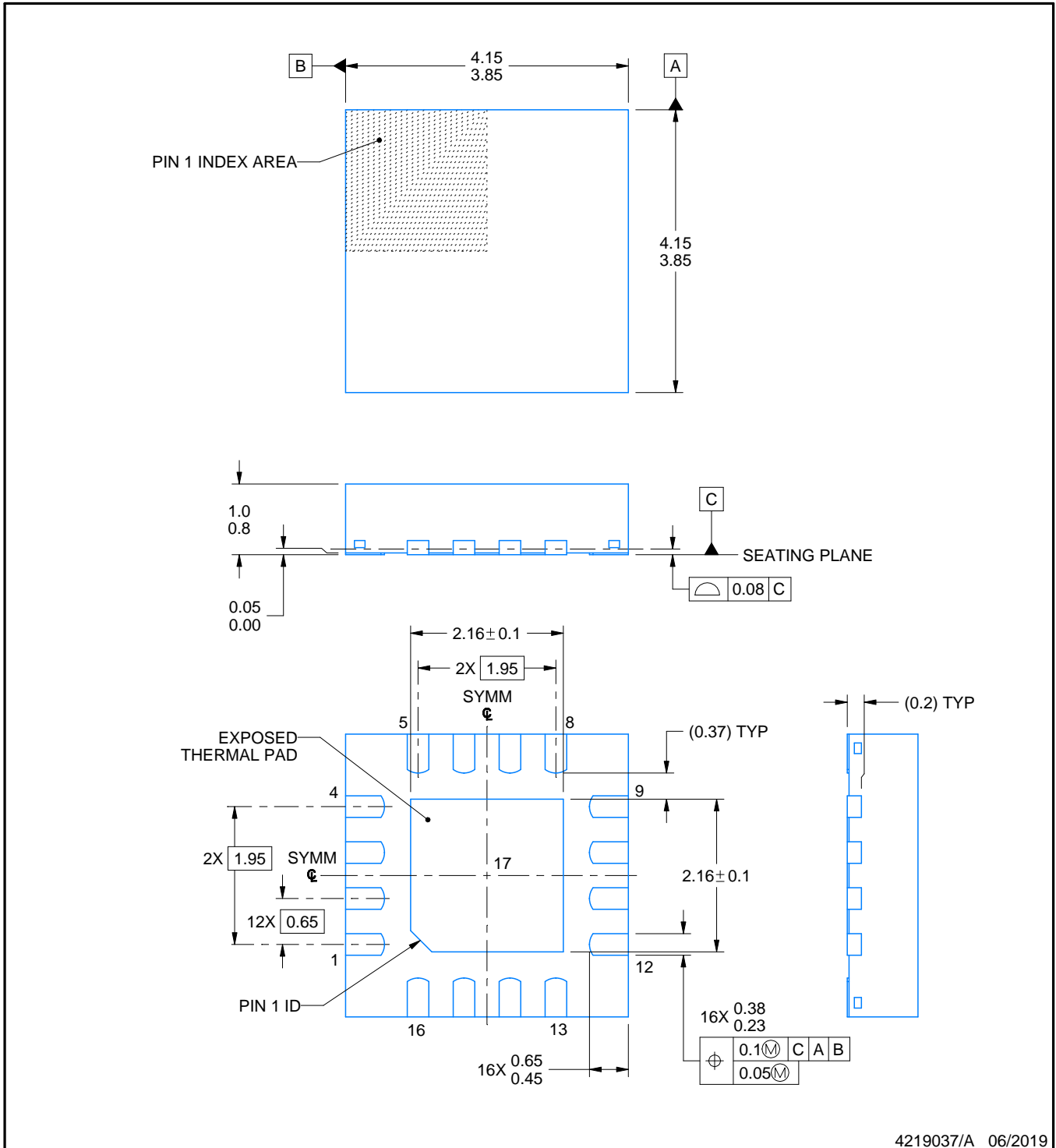
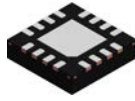
4 x 4, 0.65 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4224748/A



4219037/A 06/2019

NOTES:

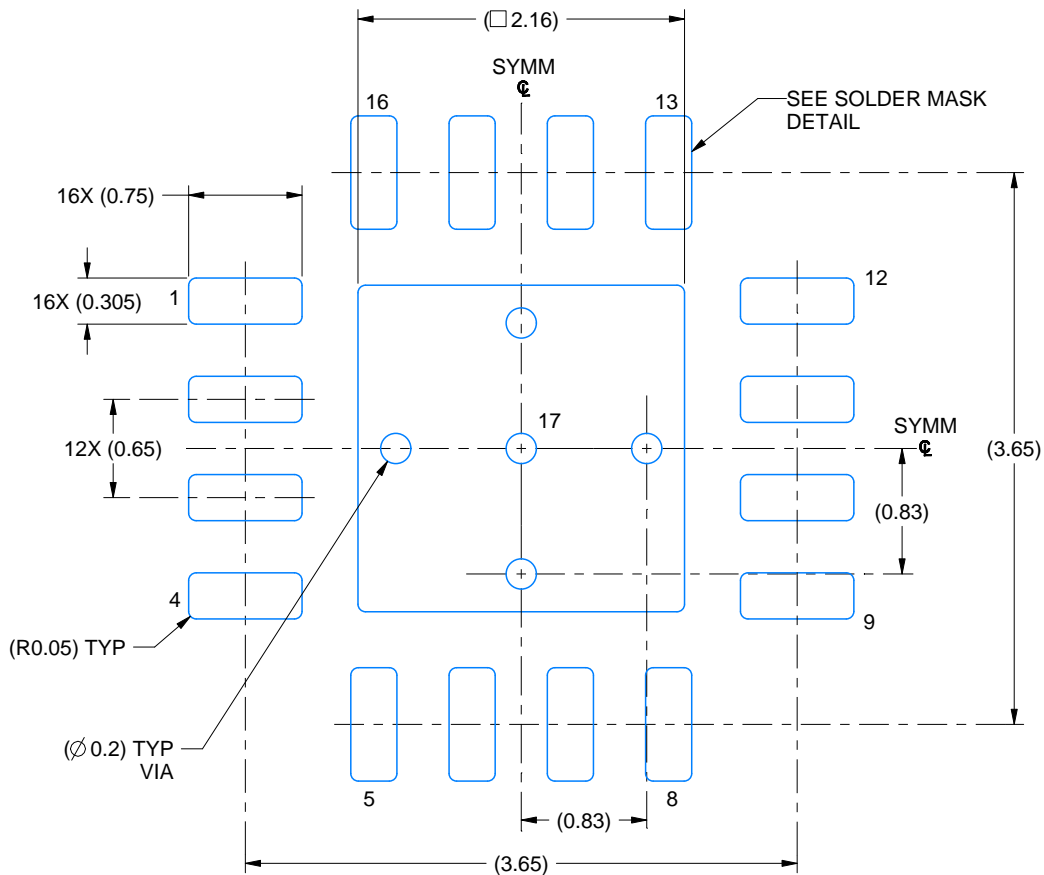
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

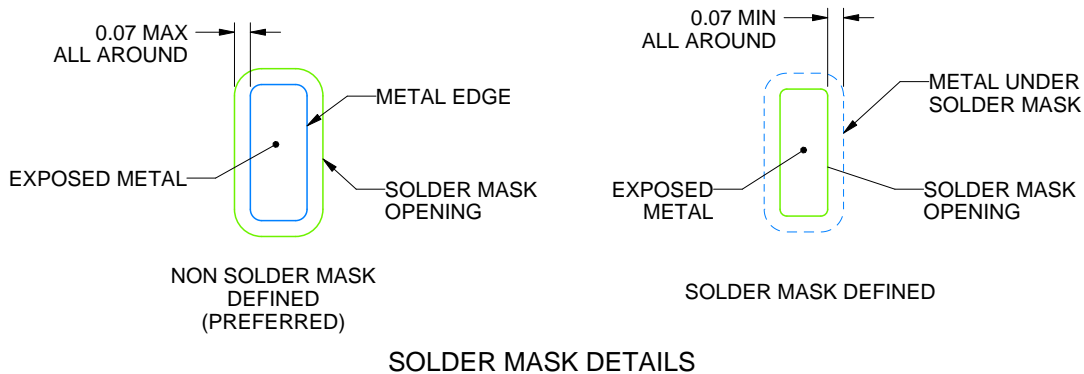
RGV0016A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



4219037/A 06/2019

NOTES: (continued)

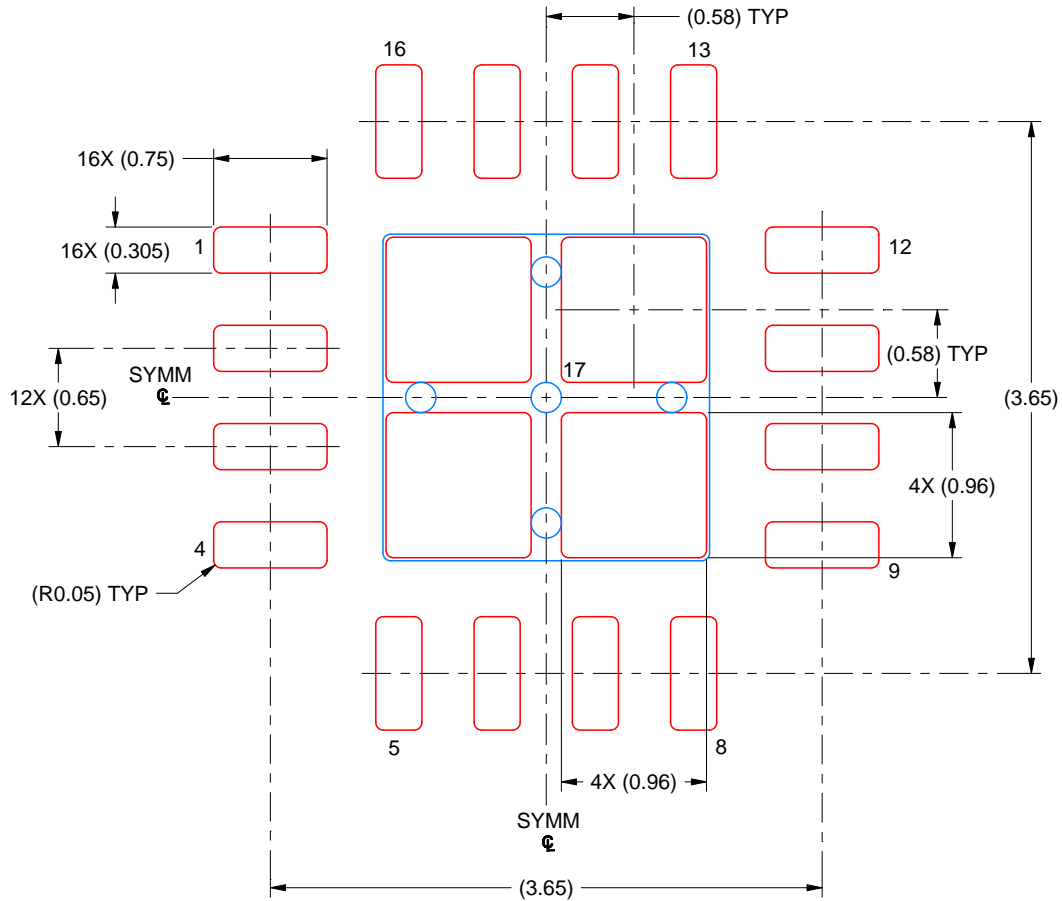
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGV0016A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 17
79% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4219037/A 06/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2023, Texas Instruments Incorporated