

REF50xx

低ノイズ、超低ドリフト、高精度の電圧リファレンス

1 特長

- 低い温度ドリフト:
 - 高グレード: 3ppm/°C (最大値)
 - 標準グレード: 8ppm/°C (最大値)
- 高精度:
 - 高グレード: 0.05% (最大値)
 - 標準グレード: 0.1% (最大値)
- 低いノイズ: 3μV_{pp}/V
- 優れた長期安定性:
 - 最初の 1000 時間後に 22ppm (SOIC-8)
 - 最初の 1000 時間後に 50ppm (VSSOP-8)
- 大きな出力電流: ±10mA
- 温度範囲: -40°C ~ 125°C

2 アプリケーション

- 高精度データ・アキュイジション・システム
- 半導体試験用機器
- 産業用プロセス制御
- 医療用計測機器
- 圧力および温度トランスミッタ
- 実験室およびフィールド計測

3 概要

REF50xx は、低ノイズ、低ドリフト、非常に高精度の電圧リファレンスのファミリーです。これらのリファレンス電圧は、シンク電流とソース電流の両方に対応でき、優れたラインおよび負荷レギュレーションを備えています。

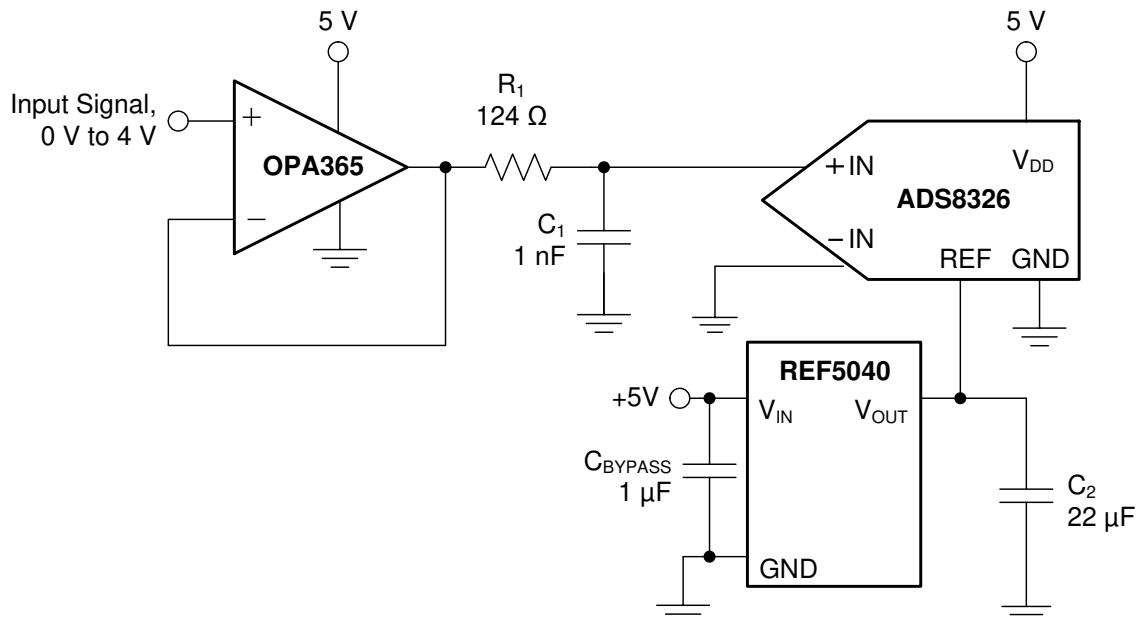
独自の設計手法により、優れた温度ドリフト (3ppm/°C) と高精度 (0.05%) を実現しています。これらの機能と超低ノイズの組み合わせにより、REF50xx ファミリーは高精度のデータ・アキュイジション・システムでの使用に最適です。

各リファレンス電圧は、高グレード (REF50xxIDGK および REF50xxID) と標準グレード (REF50xxAIDGK および REF50xxAID) の両方で供給されます。このリファレンス電圧は、8 ピンの VSSOP および SOIC パッケージで供給され、-40°C ~ 125°C で動作が規定されています。

製品情報

部品番号	パッケージ (1)	本体サイズ (公称)
REF50xx	SOIC (8)	4.90mm x 3.91mm
	VSSOP (8)	3.00mm x 3.00mm

(1) 利用可能なすべてのパッケージについては、このデータシートの末尾にある注文情報を参照してください。



Copyright © 2016, Texas Instruments Incorporated

概略回路図



目次

1 特長.....	1	9.3 機能説明.....	16
2 アプリケーション.....	1	9.4 デバイスの機能モード.....	19
3 概要.....	1	10 アプリケーションと実装	20
4 改訂履歴.....	2	10.1 アプリケーション情報.....	20
5 デバイス比較表.....	3	10.2 代表的なアプリケーション.....	20
6 ピン構成および機能.....	3	11 電源に関する推奨事項	21
7 仕様.....	4	12 レイアウト	22
7.1 絶対最大定格.....	4	12.1 レイアウトのガイドライン.....	22
7.2 ESD 定格.....	4	12.2 レイアウト例.....	22
7.3 推奨動作条件.....	4	12.3 消費電力.....	22
7.4 熱に関する情報.....	4	13 デバイスおよびドキュメントのサポート	23
7.5 電気的特性.....	5	13.1 ドキュメントのサポート.....	23
7.6 代表的特性.....	8	13.2 ドキュメントの更新通知を受け取る方法.....	23
8 パラメータ測定情報.....	13	13.3 サポート・リソース.....	23
9 詳細説明.....	15	13.4 商標.....	23
9.1 概要.....	15	13.5 用語集.....	23
9.2 機能ブロック図.....	15	14 メカニカル、パッケージ、および注文情報	23

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision J (July 2022) to Revision K (June 2023)	Page
• VSSOP 2000 時間 LTD 情報行を SOIC-8 1000 時間 LTD 情報に変更.....	1
• SOIC-8 パッケージの長期安定性のパラメータと仕様を変更.....	5
• 「電気的特性」の出力電圧ノイズを低周波数ノイズに変更.....	5
• 「電気的特性」に 10Hz~1kHz のノイズ情報を追加.....	5
• 「電気的特性」で SOIC-8 パッケージの長期安定性仕様を変更.....	5
• 図 7-28 を変更.....	8
• 図 7-29 を変更.....	8
• 図 7-30 を変更.....	8
• ノイズ密度プロットを追加 図 7-14	8
• フリッカー・ノイズ・プロットのタイトルを変更 図 7-13	8
• すべての負荷過渡プロットを変更 図 7-17 図 7-18 図 7-19 図 7-20	8
• プロットを変更 図 9-3	18

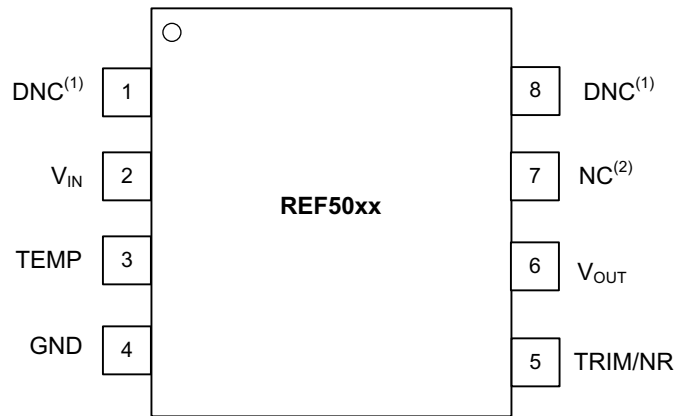
Changes from Revision I (February 2020) to Revision J (July 2022)	Page
• 文書全体にわたって表、図、相互参照の採番方法を更新.....	1

Changes from Revision H (June 2016) to Revision I (February 2020)	Page
• 表に REF5045 を追加.....	5
• 長期安定性のパラメータを変更.....	5
• VSSOP の長期安定性のグラフを変更.....	8
• 「長期安定性」のセクションを追加.....	17

5 デバイス比較表

モデル	出力電圧
REF5020	2.048V
REF5025	2.5V
REF5030	3V
REF5040	4.096V
REF5045	4.5V
REF5050	5V
REF5010	10V

6 ピン構成および機能



NOTES: (1) DNC = Do not connect.
 (2) NC = No internal connection.

**図 6-1. D、DGK パッケージ
 8 ピン SOIC、VSSOP
 上面図**

表 6-1. ピンの機能

ピン		説明
名称	番号	
DNC	1	無接続
VIN	2	入力電源電圧
TEMP	3	温度モニタ用ピン。温度に依存する出力電圧を示します
GND	4	グラウンド
TRIM/NR	5	出力調整およびノイズ低減ピン
VOUT	6	リファレンス電圧出力
NC	7	内部接続なし
DNC	8	無接続

7 仕様

7.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

	最小値	最大値	単位
入力電圧	-0.2	18	V
出力短絡	-30	30	mA
動作温度範囲	-55	125	°C
接合部温度 (T _J の最大値)		150	°C
保管温度、T _{stg}	-65	150	°C

(1) 絶対最大定格を超えるストレスは、デバイスに永久的な損傷を与えます。絶対最大定格の状態では長時間動作させると、デバイスの信頼性が低下します。これはストレスの定格のみについて示してあり、絶対最大定格において、または規定された値を越えるいかなる条件でも、本製品の機能的な動作を暗黙に示すものではありません。

7.2 ESD 定格

		値	単位
V _(ESD) 静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠 ⁽¹⁾	±3000	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 ⁽²⁾	±1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 制御プロセスで安全な製造が可能であると規定されています。

(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

7.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

	最小値	公称値	最大値	単位
V _{IN}	V _{OUT} + 0.2V ⁽¹⁾		18	V
I _{OUT}	-10		10	mA

(1) REF5020 の場合は V_{IN} (最小値) = 2.7V

7.4 熱に関する情報

熱評価基準 ⁽¹⁾	REF50xx		単位
	D (SOIC)	DGK (VSSOP)	
	8 ピン	8 ピン	
R _{θJA} 接合部から周囲への熱抵抗	115	160.9	°C/W
R _{θJC(top)} 接合部からケース (上面) への熱抵抗	63.4	53.9	°C/W
R _{θJB} 接合部から基板への熱抵抗	57.1	82.3	°C/W
ψ _{JT} 接合部から上面への熱特性パラメータ	15.4	5.1	°C/W
ψ _{JB} 接合部から基板への熱特性パラメータ	56.2	80.7	°C/W
R _{θJC(bot)} 接合部からケース (底面) までの熱抵抗	N/A	N/A	°C/W

(1) 従来および新しい熱特性の詳細については、アプリケーション・レポート『半導体および IC パッケージの熱評価基準』、[SPRA953](#) を参照してください。

7.5 電気的特性

特に記述のない限り、 $T_A = 25^\circ\text{C}$ 、 $I_{\text{LOAD}} = 0$ 、 $C_L = 1\mu\text{F}$ 、 $V_{\text{IN}} = (V_{\text{OUT}} + 0.2\text{V}) \sim 18\text{V}$

パラメータ	テスト条件	最小値	代表値	最大値	単位
出力電圧					
V_{OUT} 出力電圧	REF5020 ($V_{\text{OUT}} = 2.048\text{V}$) ⁽¹⁾ 、 $2.7\text{V} < V_{\text{IN}} < 18\text{V}$		2.048		V
	REF5025		2.5		
	REF5030		3.0		
	REF5040		4.096		
	REF5045		4.5		
	REF5050		5.0		
	REF5010		10.0		
初期精度: 高グレード	すべての電圧オプション ⁽¹⁾	-0.05%		0.05%	
初期精度: 標準グレード	すべての電圧オプション ⁽¹⁾	-0.1%		0.1%	
ノイズ					
e_{npp} 低い周波数ノイズ	$f = 0.1\text{Hz} \sim 10\text{Hz}$		3		$\mu\text{V}_{\text{pp}}/\text{V}$
e_{n} 出力電圧ノイズ	$f = 10\text{Hz} \sim 1\text{kHz}$		0.9		$\mu\text{V}_{\text{RMS}}/\text{V}$
出力電圧の温度ドリフト					
dV_{OUT}/dT 出力電圧の温度ドリフト					
高グレード			2.5	3	ppm/ $^\circ\text{C}$
標準グレード			3	8	ppm/ $^\circ\text{C}$
ラインレギュレーション					
$\Delta V_{\text{O}(\Delta\text{V})}$ ラインレギュレーション	$V_{\text{IN}} = (V_{\text{OUT}} + 0.2) \sim 18\text{V}$ ⁽⁴⁾		0.1	1	ppm/V
	$V_{\text{IN}} = V_{\text{OUT}} + 0.2\text{V}$ 、 $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$ ⁽⁴⁾		0.2	1	ppm/V
負荷レギュレーション					
$\Delta V_{\text{O}(\Delta\text{I})}$ 負荷レギュレーション	$-10\text{mA} < I_{\text{LOAD}} < 10\text{mA}$ 、 $V_{\text{IN}} = V_{\text{OUT}} + 0.75\text{V}$ ⁽⁵⁾		20	30	ppm/mA
	$-10\text{mA} < I_{\text{LOAD}} < 10\text{mA}$ 、 $V_{\text{IN}} = V_{\text{OUT}} + 0.75\text{V}$ 、 $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$ ⁽⁵⁾			50	ppm/mA
短絡電流					
I_{SC} 短絡電流	$V_{\text{OUT}} = 0$		25		mA
熱ヒステリシス^{(2) (3)}					
高グレード	VSSOP-8	サイクル 1	50		ppm
標準グレード	VSSOP-8	サイクル 1	70		ppm
高グレード	SOIC-8	サイクル 1	70		ppm
標準グレード	SOIC-8	サイクル 1	90		ppm
高グレード	VSSOP-8	サイクル 2	40		ppm
標準グレード	VSSOP-8	サイクル 2	40		ppm
高グレード	SOIC-8	サイクル 2	50		ppm
標準グレード	SOIC-8	サイクル 2	50		ppm
長期安定性⁽³⁾					
	VSSOP-8	0~1000 時間	50		ppm/1000 時間
	VSSOP-8	1000~2000 時間	25		ppm/1000 時間
	SOIC-8	0~1000 時間	22		ppm/1000 時間
	SOIC-8	1000~2000 時間	18		ppm/1000 時間
TEMP ピン					
電圧出力		$T_A = 25^\circ\text{C}$ 時	575		mV
温度感度		$T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$	2.64		mV/ $^\circ\text{C}$

7.5 電気的特性 (continued)

特に記述のない限り、 $T_A = 25^\circ\text{C}$ 、 $I_{\text{LOAD}} = 0$ 、 $C_L = 1\mu\text{F}$ 、 $V_{\text{IN}} = (V_{\text{OUT}} + 0.2\text{V}) \sim 18\text{V}$

パラメータ	テスト条件	最小値	代表値	最大値	単位
ターンオンのセトリング・タイム					
ターンオンのセトリング・タイム	$C_L = 1\mu\text{F}$ で 0.1% まで		200		μs

7.5 電気的特性 (continued)

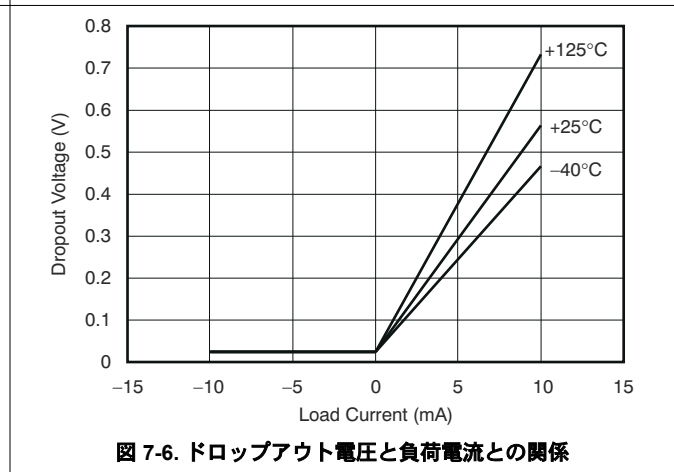
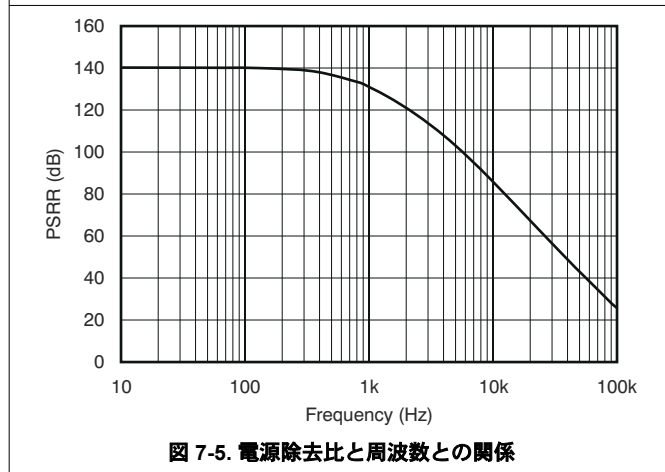
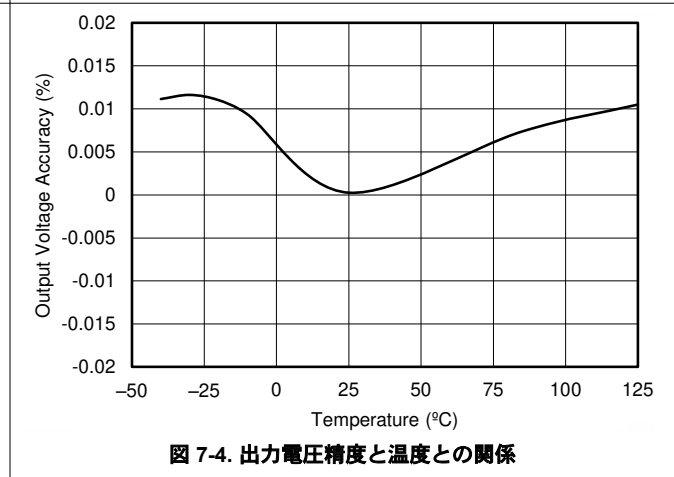
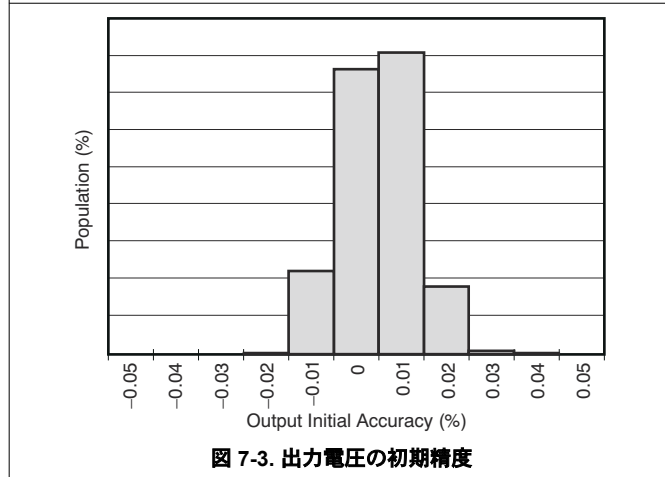
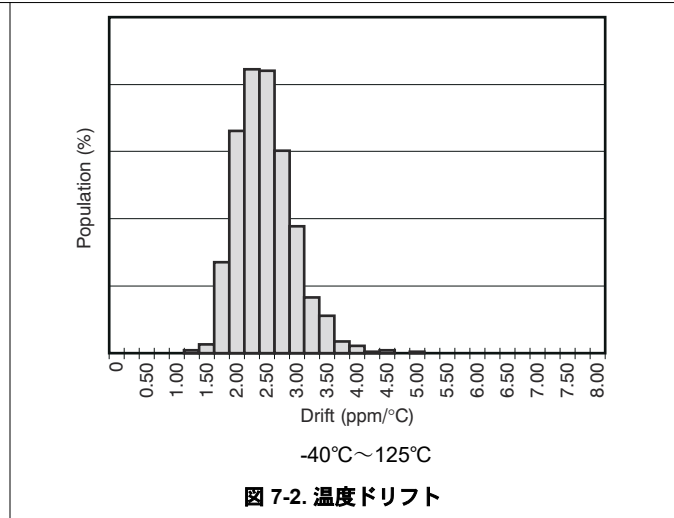
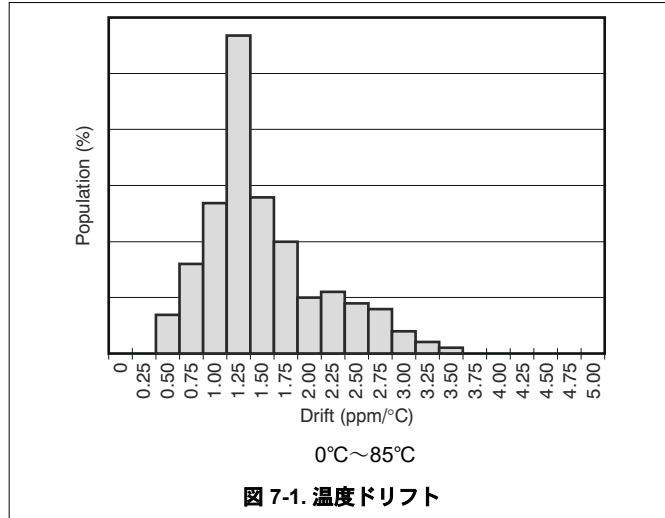
特に記述のない限り、 $T_A = 25^\circ\text{C}$ 、 $I_{\text{LOAD}} = 0$ 、 $C_L = 1\mu\text{F}$ 、 $V_{\text{IN}} = (V_{\text{OUT}} + 0.2\text{V}) \sim 18\text{V}$

パラメータ	テスト条件	最小値	代表値	最大値	単位
電源					
V_S 電源電圧	注を参照(1)	$V_{\text{OUT}} + 0.2^{(1)}$		18	V
静止電流			0.8	1	mA
	$T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$			1.2	mA
温度範囲					
仕様範囲		-40		125	$^\circ\text{C}$
動作範囲		-55		125	$^\circ\text{C}$

- (1) $V_{\text{OUT}} \leq 2.5\text{V}$ の場合、最小電源電圧は 2.7V です。
- (2) 熱ヒステリシスの手順については、[セクション 9.3.3](#) で詳細に説明されています。
- (3) テスト基板にハンダ付けされたデバイスを使用して収集したデータ。
- (4) REF5020 を除く。ここで、 $V_{\text{IN}} = 2.7\text{V} \sim 18\text{V}$
- (5) REF5020 を除く。ここで、 $V_{\text{IN}} = 3\text{V}$

7.6 代表的特性

特に記述のない限り、 $T_A = 25^\circ\text{C}$ 、 $I_{\text{LOAD}} = 0$ 、 $V_S = V_{\text{OUT}} + 0.2\text{V}$ 。 $V_{\text{OUT}} \leq 2.5\text{V}$ の場合、最小電源電圧は 2.7V です。



7.6 代表的特性 (continued)

特に記述のない限り、 $T_A = 25^\circ\text{C}$ 、 $I_{\text{LOAD}} = 0$ 、 $V_S = V_{\text{OUT}} + 0.2\text{V}$ 。 $V_{\text{OUT}} \leq 2.5\text{V}$ の場合、最小電源電圧は 2.7V です。

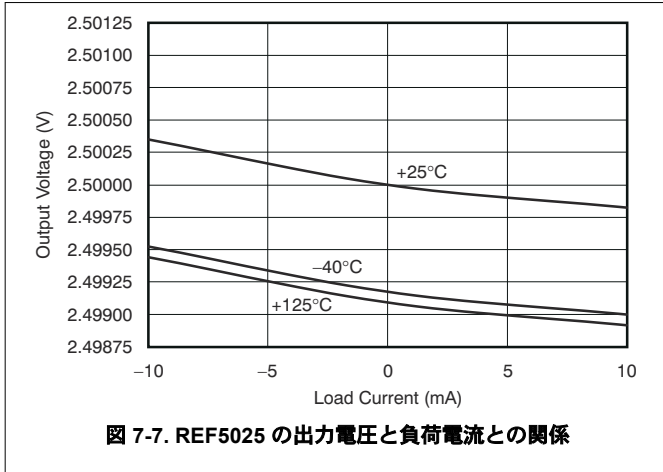


図 7-7. REF5025 の出力電圧と負荷電流との関係

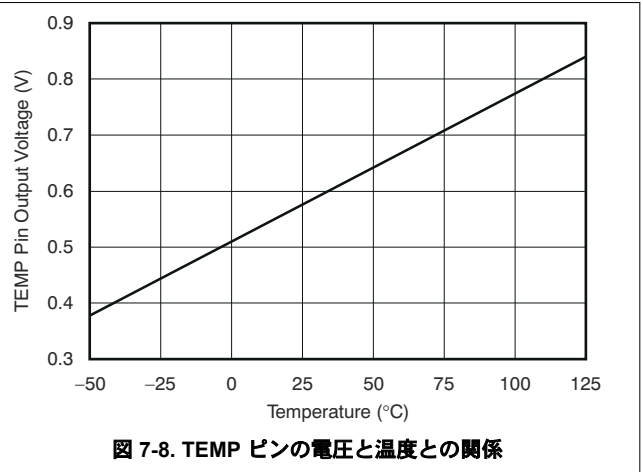


図 7-8. TEMP ピンの電圧と温度との関係

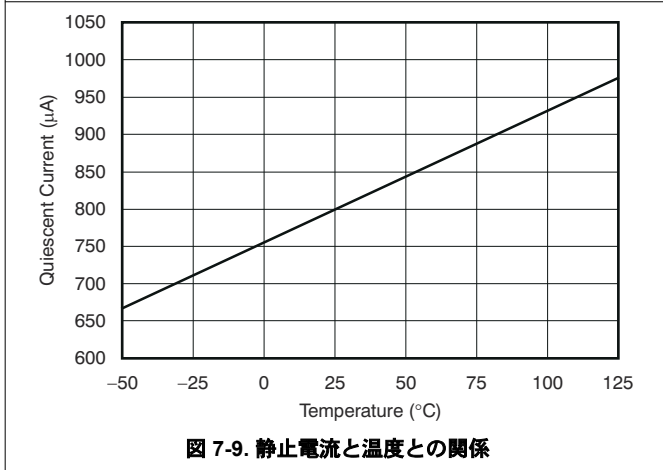


図 7-9. 静止電流と温度との関係

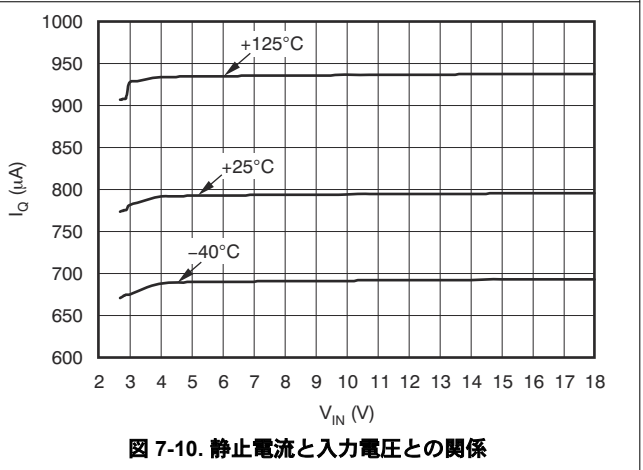


図 7-10. 静止電流と入力電圧との関係

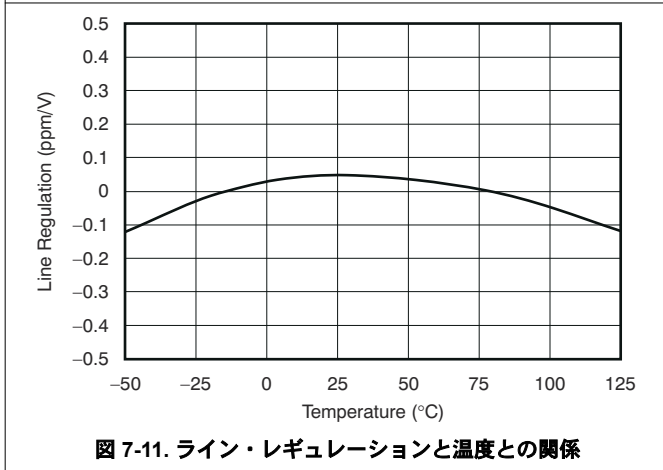


図 7-11. ライン・レギュレーションと温度との関係

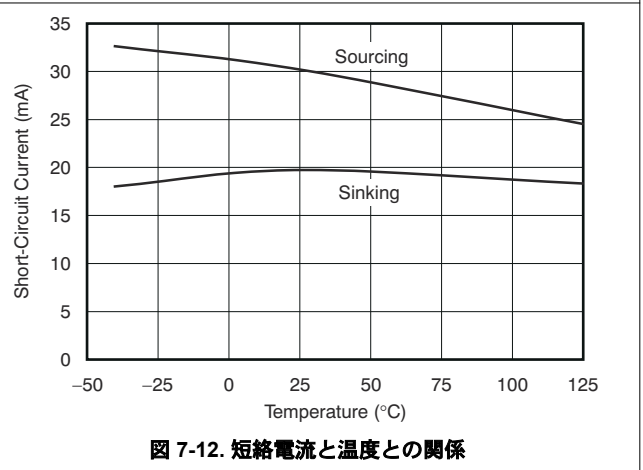


図 7-12. 短絡電流と温度との関係

7.6 代表的特性 (continued)

特に記述のない限り、 $T_A = 25^\circ\text{C}$ 、 $I_{\text{LOAD}} = 0$ 、 $V_S = V_{\text{OUT}} + 0.2\text{V}$ 。 $V_{\text{OUT}} \leq 2.5\text{V}$ の場合、最小電源電圧は 2.7V です。

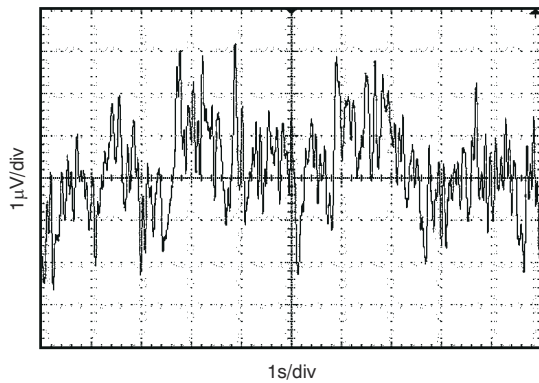


図 7-13. 0.1Hz~10Hz のノイズ

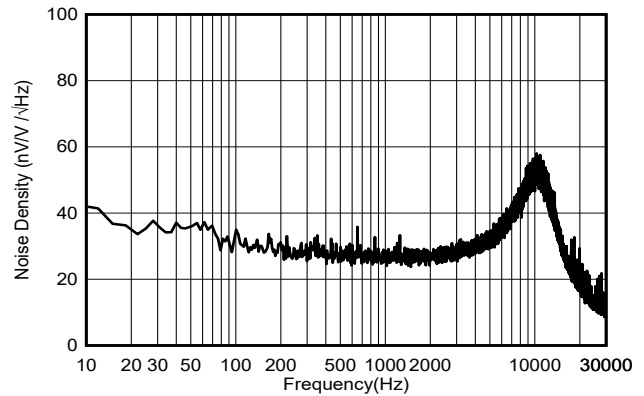
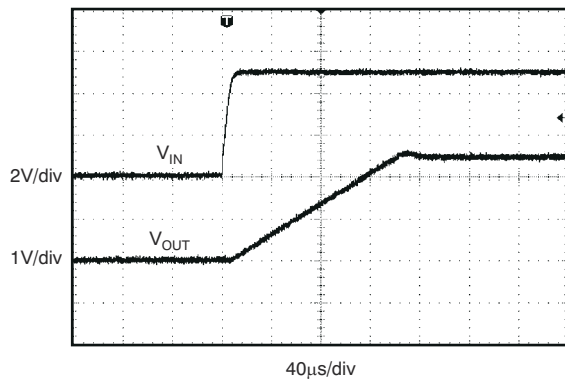
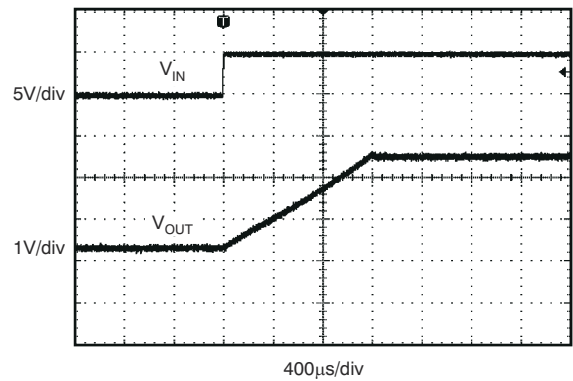


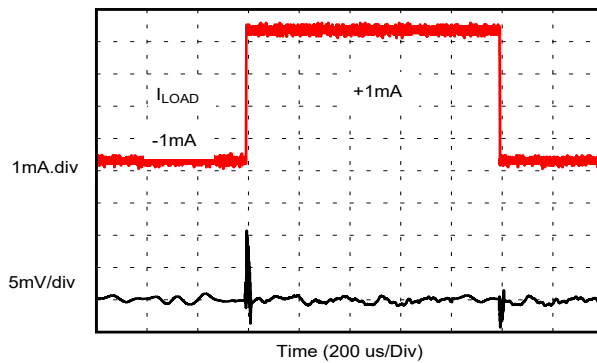
図 7-14. ノイズ・スペクトル密度



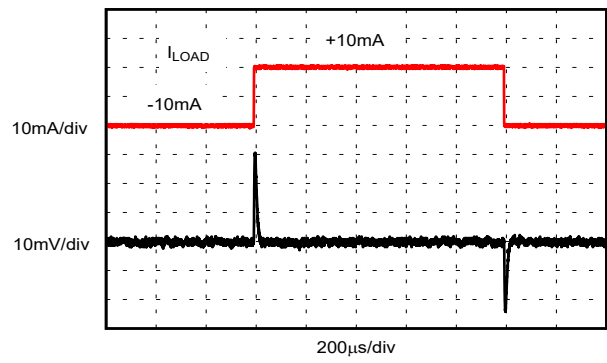
REF5025、 $C_L = 1\mu\text{F}$
 図 7-15. スタートアップ



REF5025、 $C_L = 10\mu\text{F}$
 図 7-16. スタートアップ



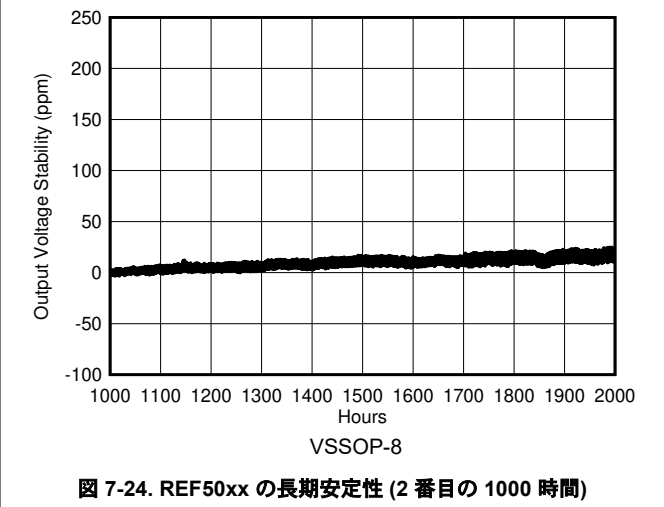
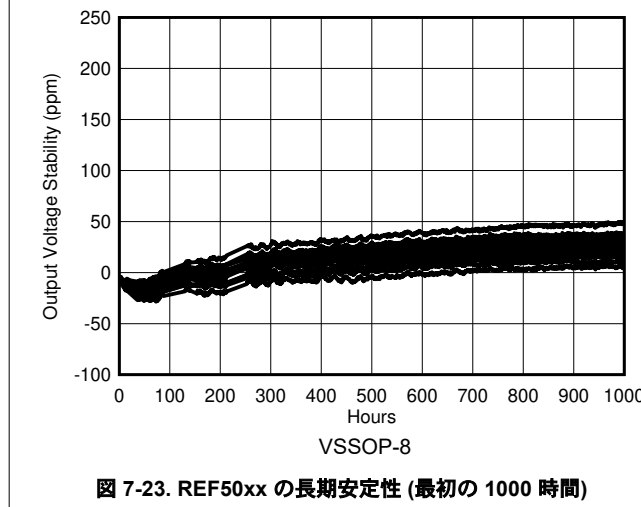
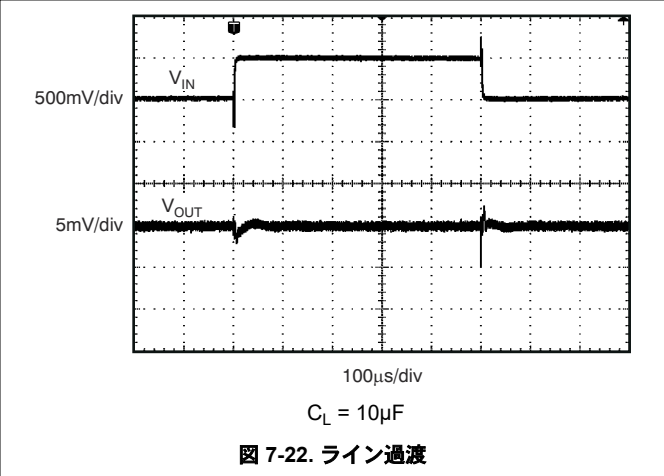
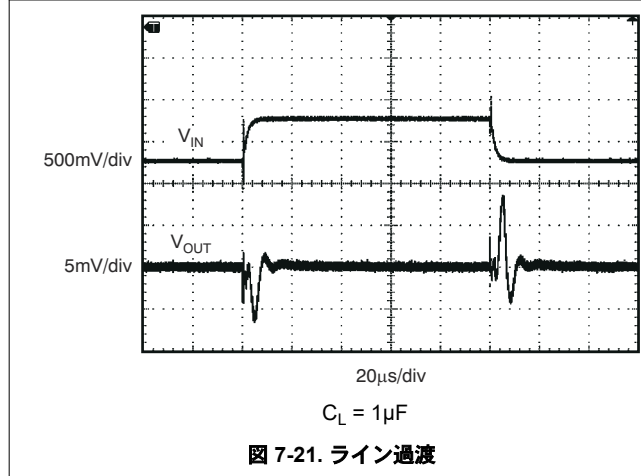
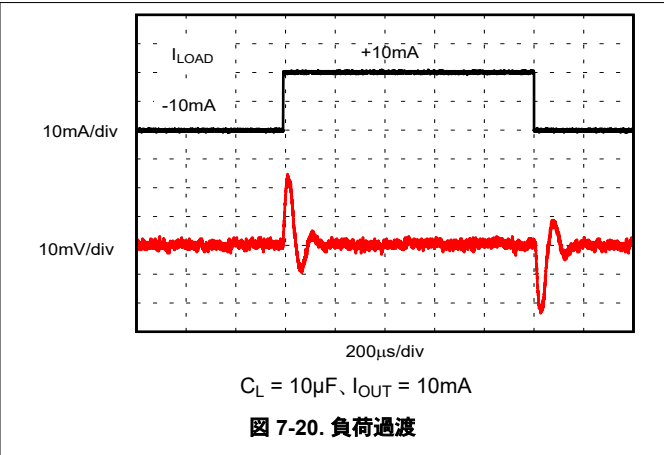
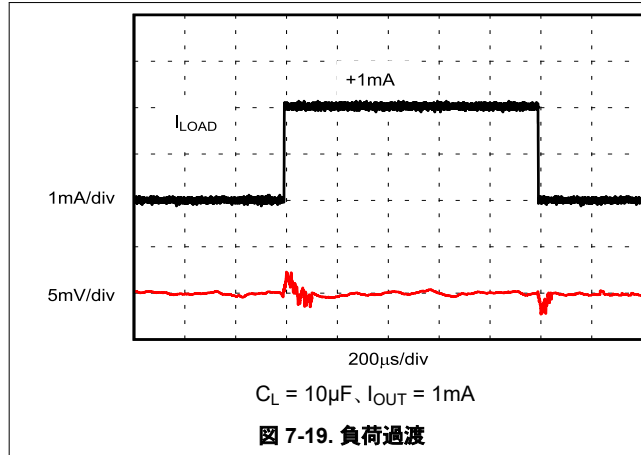
$C_L = 1\mu\text{F}$ 、 $I_{\text{OUT}} = 1\text{mA}$
 図 7-17. 負荷過渡



$C_L = 1\mu\text{F}$ 、 $I_{\text{OUT}} = 10\text{mA}$
 図 7-18. 負荷過渡

7.6 代表的特性 (continued)

特に記述のない限り、 $T_A = 25^\circ\text{C}$ 、 $I_{\text{LOAD}} = 0$ 、 $V_S = V_{\text{OUT}} + 0.2\text{V}$ 。 $V_{\text{OUT}} \leq 2.5\text{V}$ の場合、最小電源電圧は 2.7V です。



7.6 代表的特性 (continued)

特に記述のない限り、 $T_A = 25^\circ\text{C}$ 、 $I_{\text{LOAD}} = 0$ 、 $V_S = V_{\text{OUT}} + 0.2\text{V}$ 。 $V_{\text{OUT}} \leq 2.5\text{V}$ の場合、最小電源電圧は 2.7V です。

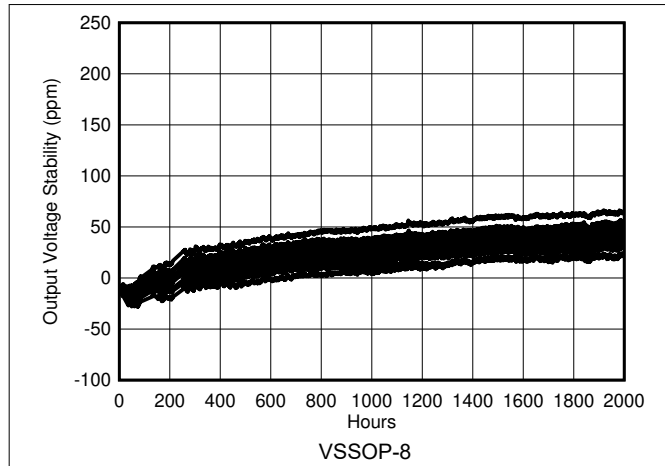


図 7-25. REF50xx の長期安定性 (最初の 2000 時間)

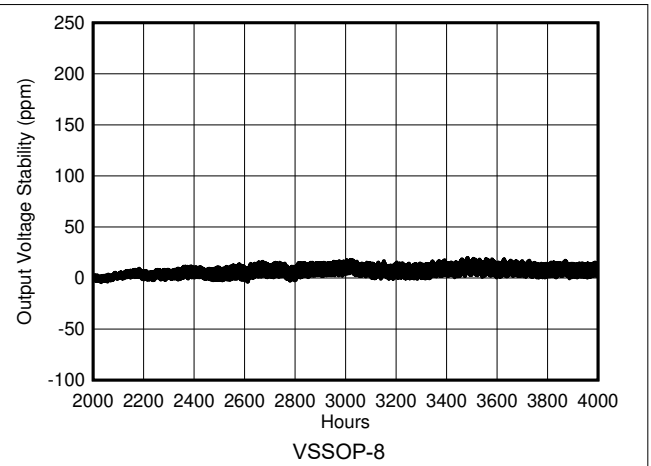


図 7-26. REF50xx の長期安定性 (2 番目の 2000 時間)

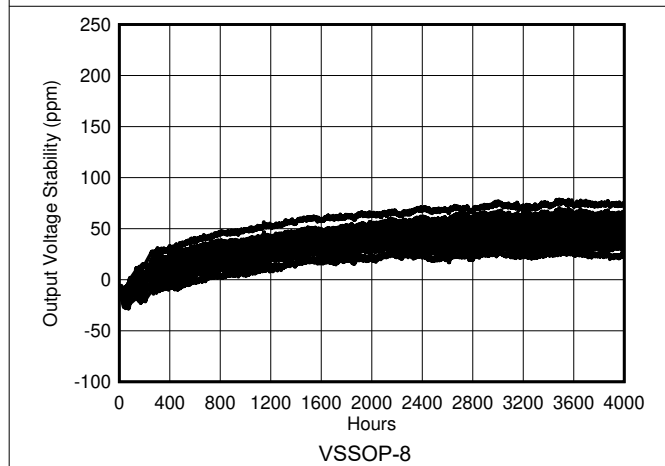


図 7-27. REF50xx の長期安定性 (4000 時間)

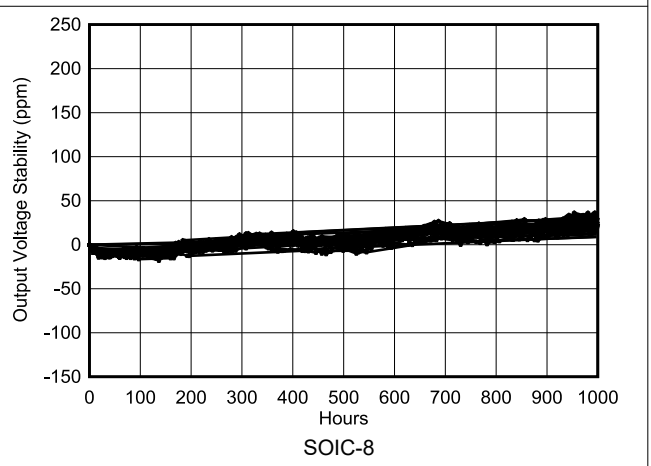


図 7-28. REF50xx の長期安定性 (最初の 1000 時間)

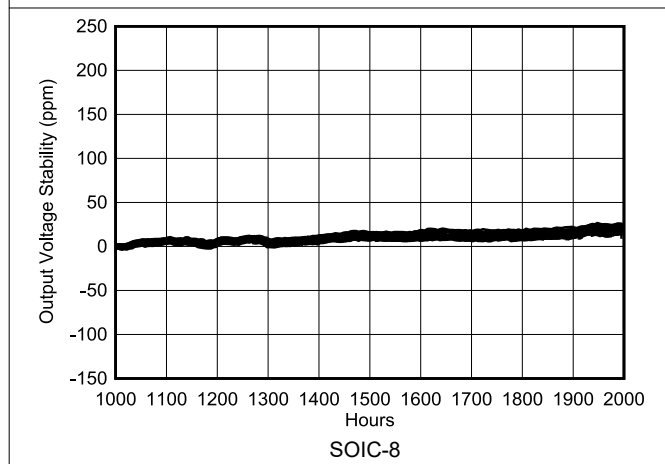


図 7-29. REF50xx の長期安定性 (2 番目の 1000 時間)

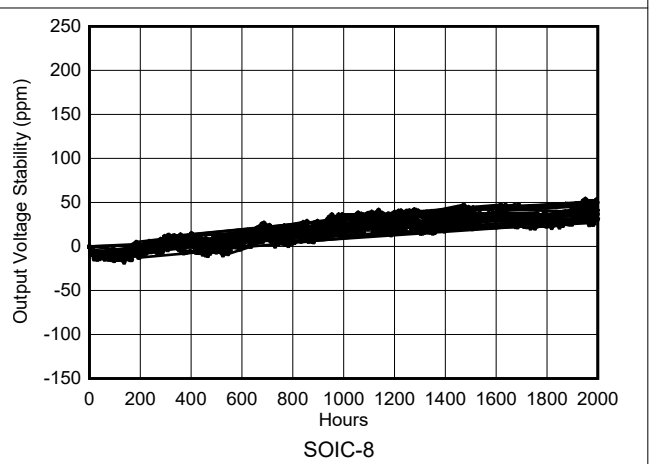


図 7-30. REF50xx の長期安定性 (2000 時間)

8 パラメータ測定情報

半田付けの熱による変動: REF50xx の製造に使用される材料はそれぞれ熱膨張係数が異なるため、部品が加熱されるとデバイスのダイにストレスが生じます。デバイスの機械的および熱的なストレスは、出力電圧のシフトを引き起こし、製品の初期精度やドリフト仕様を低下させる可能性があります。この誤差が発生する一般的な原因は、リフローの半田付けです。

この効果を示すため、合計 36 個のデバイスを鉛フリーの半田ペーストを使用してプリント基板に半田付けし、ペーストのメーカーが推奨するリフロー・プロファイルを使用しました。リフロー・プロファイルは、[図 8-1](#) に示すものです。プリント基板は FR4 材料で構成されています。基板の厚さは 0.8mm、面積は 13mm × 13mm です。

基準電圧はリフロー・プロセスの前と後で、温度範囲全体にわたって測定されます。精度とドリフトの標準的なシフトを、[図 8-2](#) から [図 8-9](#) までに示します。テストされるユニットすべてに、わずかなシフトが出現していますが、プリント基板のサイズ、厚さ、材質によってはさらに大きなシフトが起きる可能性もあります。注意すべき重要な点は、これらのヒストグラムに示されているのは単一のリフロー・プロファイルによる標準的なシフトだということです。プリント基板 (PCB) の両面に部品を表面実装する場合は、何回もリフローが行われるのが一般的で、このような場合は出力バイアス電圧がさらにシフトします。PCB にリフローが何回も行われる場合は、最後のパスでデバイスを半田付けすることにより、デバイスへの熱ストレスを最小限に抑えることができます。

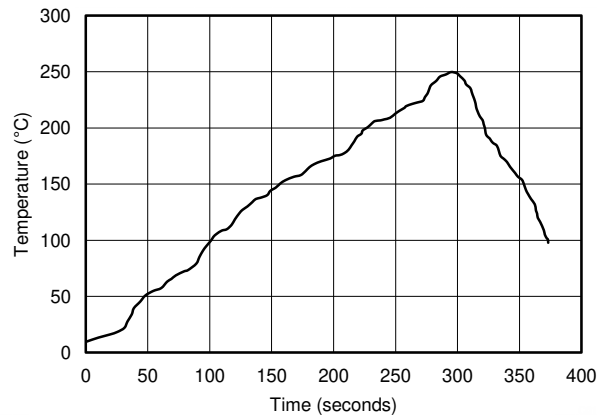


図 8-1. リフロー・プロファイル

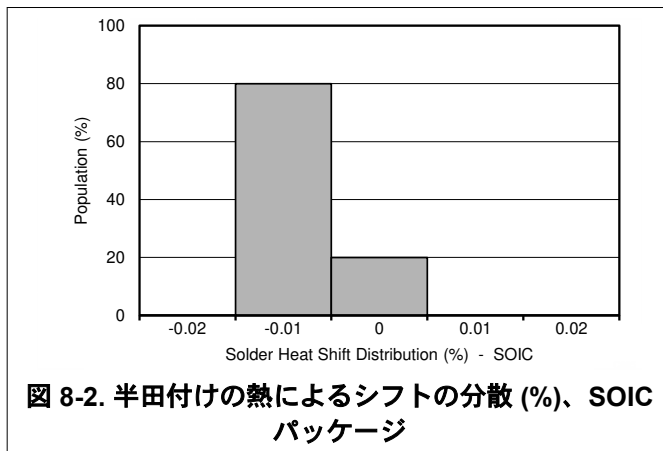


図 8-2. 半田付けの熱によるシフトの分散 (%), SOIC パッケージ

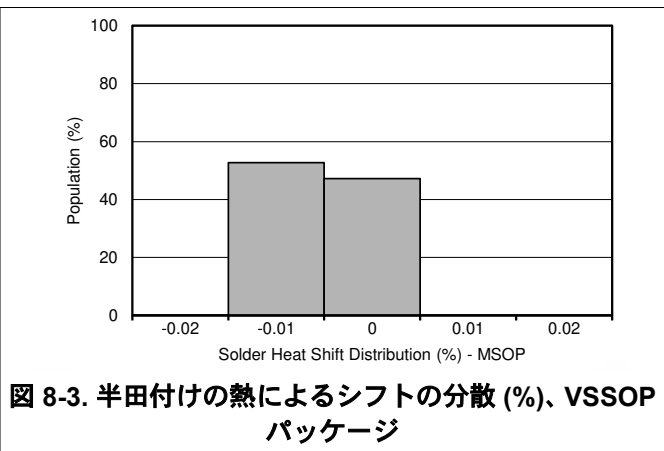


図 8-3. 半田付けの熱によるシフトの分散 (%), VSSOP パッケージ

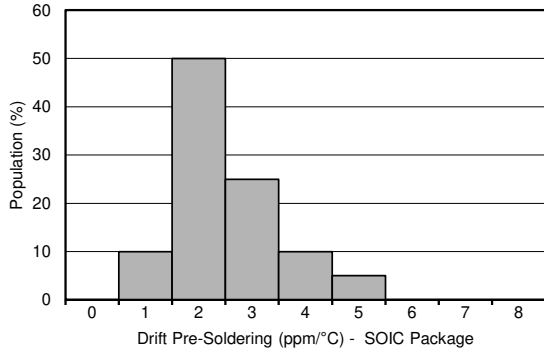


図 8-4. 半田付け前のドリフトの分散、SOIC パッケージ

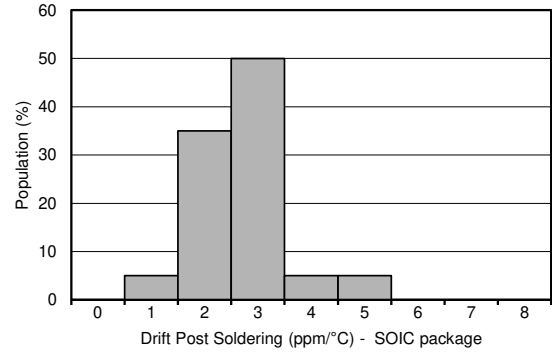


図 8-5. 半田付け後のドリフトの分散、SOIC パッケージ

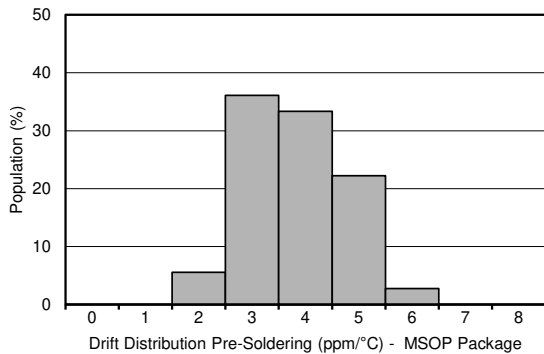


図 8-6. 半田付け前のドリフトの分散、VSSOP パッケージ

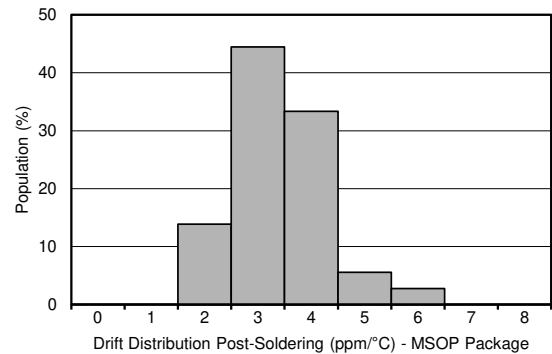


図 8-7. 半田付け後のドリフトの分散、VSSOP パッケージ

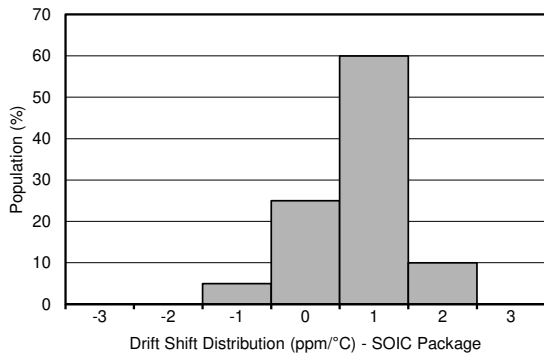


図 8-8. ドリフトのシフトの分散、SOIC パッケージ

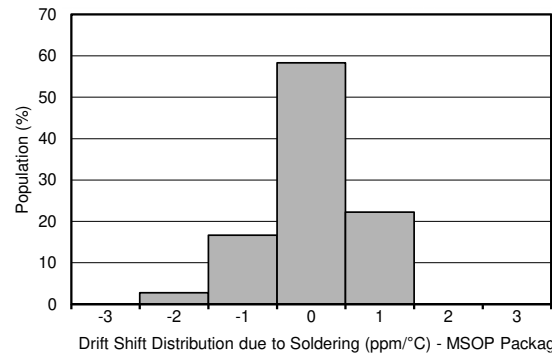


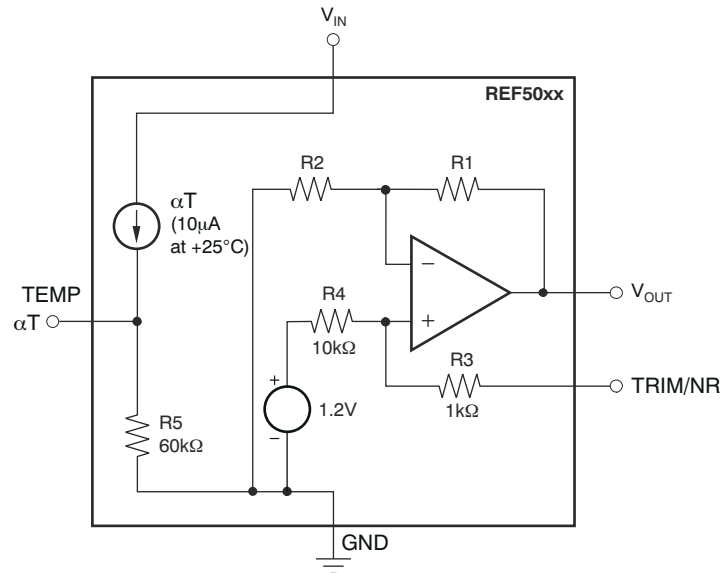
図 8-9. ドリフトのシフトの分散、VSSOP パッケージ

9 詳細説明

9.1 概要

REF50xx は、優れた初期電圧精度とドリフトを実現するように特別に設計された、低ノイズで高精度のバンドギャップ電圧リファレンスのファミリです。REF50xx の概略ブロック図については、[セクション 9.2](#) を参照してください。

9.2 機能ブロック図



9.3 機能説明

9.3.1 温度監視

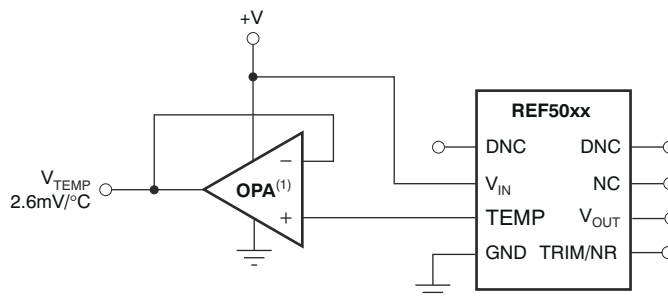
温度出力端子 (TEMP、ピン 3) は、約 60kΩ のソース・インピーダンスで温度に依存する電圧出力を供給します。図 7-8 に示すように、出力電圧は次のような公称の関係に従います。

$$V_{\text{TEMP PIN}} = 509\text{mV} + 2.64 \times T \text{ (}^\circ\text{C)} \quad (1)$$

このピンはチップの一般的な温度を示し、約 $\pm 15^\circ\text{C}$ の範囲で正確です。一般的には正確な温度測定に適していませんが、このピンを使用して温度変化を示すことや、アナログ回路の温度補償を行うことができます。30°C の温度変化は、TEMP ピンの電圧が約 79mV 変化することに対応します。

TEMP ピンは高出力インピーダンスです (セクション 9.2 を参照)。このピンに低インピーダンスの回路をロードすると測定誤差が生じますが、このピンは V_{OUT} の精度に影響を及ぼしません。

低インピーダンス負荷による誤差を避けるため、OPA333、OPA335、OPA376 などの温度ドリフトの小さいオペアンプを使用して、図 9-1 に示すように、TEMP ピンの出力をバッファリングします。



NOTE: (1) Low drift op amp, such as the OPA333, OPA335, or OPA376.

図 9-1. TEMP ピン出力のバッファリング

9.3.2 温度ドリフト

REF50xx はドリフト誤差が最小限になるように設計されています。ドリフト誤差は、温度に対する出力電圧の変化として定義されます。ドリフトは、式 2 に記載されているボックス方式を使用して計算されます。

$$\text{Drift} = \left(\frac{V_{\text{OUTMAX}} - V_{\text{OUTMIN}}}{V_{\text{OUT}} \times \text{Temp Range}} \right) \times 10^6 (\text{ppm}) \quad (2)$$

REF50xx の最大ドリフト係数は、高グレード・バージョンでは 3ppm/°C、標準グレードでは 8ppm/°C です。

9.3.3 熱ヒステリシス

REF50xx の熱ヒステリシスは、デバイスを 25°C で動作させ、指定された温度範囲内でデバイスのサイクルを実行してから 25°C に戻るときの、出力電圧の変化として定義されます。熱ヒステリシスは 式 3 のように表現できます。

$$V_{\text{HYST}} = \left(\frac{|V_{\text{PRE}} - V_{\text{POST}}|}{V_{\text{NOM}}} \right) \cdot 10^6 \text{ (ppm)} \quad (3)$$

ここで、

- V_{HYST} = 熱ヒステリシス (ppm 単位)
- V_{NOM} = 指定された出力電圧
- V_{PRE} = 25°C のプリ温度サイクルで測定された出力電圧
- V_{POST} = デバイスを 25°C から -40°C ~ 125°C の規定温度範囲でサイクルし、25°C に戻した後に測定された出力電圧

9.3.4 ノイズ特性

REF50xx ファミリの各製品の標準的な 0.1Hz ~ 10Hz の電圧ノイズを、[セクション 7.5](#) の表に示します。出力電圧と動作温度に応じて、ノイズ電圧が上昇します。出力ノイズ・レベルを低減するため、追加のフィルタリングを行うこともできますが、出力インピーダンスによって性能が低下しないよう注意してください。

データ・コンバータなどのミックスド・シグナル・アプリケーションでノイズを最小化し、性能を最大化する方法の詳細については、『[電圧リファレンスの ADC 性能への影響、第 1 部](#)』、『[電圧リファレンスの ADC 性能への影響、第 2 部](#)』、『[電圧リファレンスの ADC 性能への影響、第 3 部](#)』のアナログ・デザイン・ジャーナルを参照してください。

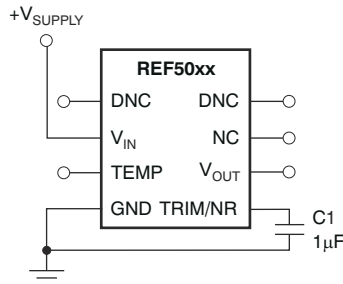


図 9-2. TRIM/NR ピンを使用したノイズ低減

9.3.5 長期安定性

あらゆる半導体デバイスは、経年劣化や環境の影響により、時間とともに半導体ダイとパッケージ材質の物理的な変化が発生します。これらの変化と、関連するパッケージからダイへの圧力により、高精度電圧リファレンスの出力電圧は時間の経過とともに変動します。このような変化の値は、データシートに長期安定性 (別名: 長期ドリフト (LTD)) と呼ばれるパラメータで規定されています。LTD の計算方法を、[式 4](#) に示します。LTD の値は、時間の経過に応じて出力電圧が高くドリフトする場合は正、時間の経過に応じて電圧が低下する場合は負になることに注意してください。REF50xx の最初の 4000 時間の動作における出力電圧のドリフトを、[図 7-23](#) から [図 7-30](#) までに示します。

$$\text{LTD}(\text{ppm})|_{t=n} = \frac{(V_{\text{OUT}}|_{t=0} - V_{\text{OUT}}|_{t=n})}{V_{\text{OUT}}|_{t=0}} \times 10^6 \quad (4)$$

ここで

- $\text{LTD}(\text{ppm})|_{t=n}$ = 長期安定性 (ppm 単位)
- $V_{\text{OUT}}|_{t=0}$ = 時間 = 0 時間での出力電圧
- $V_{\text{OUT}}|_{t=n}$ = 時間 = n 時間での出力電圧

9.3.6 TRIM/NR ピンを使用した出力調整

REF50xx の電圧出力は出荷時に調整されており、非常に正確です。しかし、 V_{OUT} はトリムおよびノイズ低減ピン (TRIM/NR、ピン 5) を使用して調整できます。 $\pm 15\text{mV}$ の出力調整が可能な標準的な回路を、[図 9-3](#) に示します。

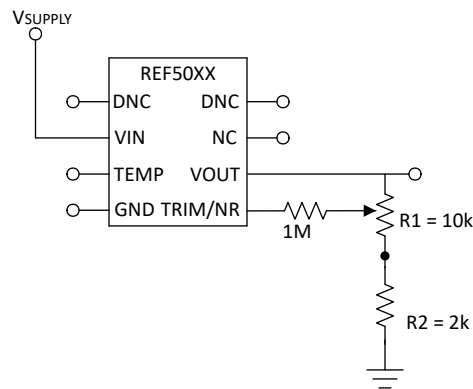


図 9-3. TRIM/NR ピンを使用した V_{OUT} の調整

REF50xx では、TRIM/NR ピンを経由してバンドギャップにアクセスできます。TRIM/NR ピンから GND にコンデンサを配置し ([図 9-2](#))、内部抵抗 R_3 および R_4 と組み合わせると、ローパス・フィルタを作成できます。 $1\mu\text{F}$ の容量を使用すると、 $10\text{Hz} \sim 20\text{Hz}$ のコーナー周波数を持つローパス・フィルタを作成できます。このようなフィルタにより、 V_{OUT} ピンで測定される全体的なノイズが半分に減少します。容量が大きいと、フィルタのカットオフ周波数が低くなり、出力ノイズがさらに減少します。このコンデンサを使用すると、スタートアップ時間が長くなります。

9.4 デバイスの機能モード

9.4.1 基本的な接続

REF50xx の一般的な接続を、[図 9-4](#) に示します。1 μ F～10 μ F の範囲の電源バイパス・コンデンサをお勧めします。1 μ F～50 μ F の出力コンデンサ (C_L) を、 V_{OUT} から GND に接続する必要があります。出力の安定性を確保するため、 C_L の等価直列抵抗 (ESR) 値は 1.5 Ω 以下にする必要があります。ノイズを最小限に抑えるため、 C_L の ESR は 1 Ω ～1.5 Ω を推奨します。

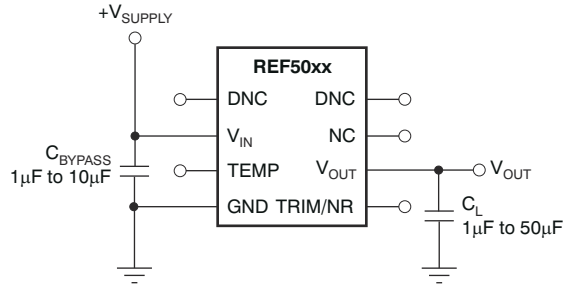


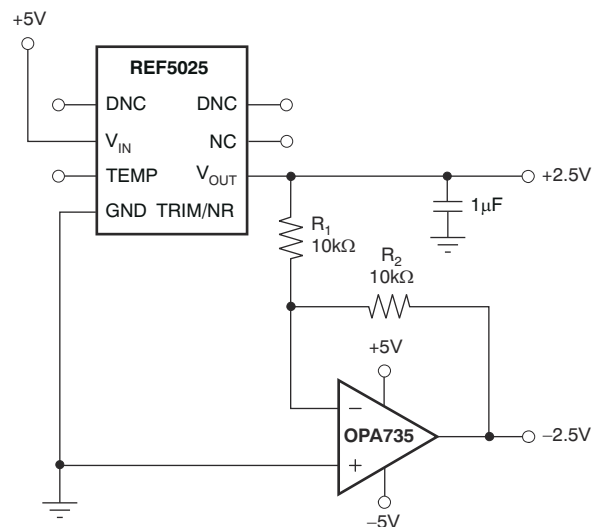
図 9-4. 基本的な接続

9.4.2 電源電圧

REF50xx ファミリの電圧リファレンスは、ドロップアウト電圧が非常に低いことが特長です。最小電源要件が 2.7V である REF5020 を除き、これらのリファレンス電圧は無負荷状態で出力電圧より 200mV 高い電圧で動作できます。負荷ありの条件については、標準的なドロップアウト電圧と負荷プロットを、[図 7-6](#) に示します。

9.4.3 負のリファレンス電圧

負および正のリファレンス電圧を必要とするアプリケーションでは、REF50xx および OPA735 を使用して、5V 電源からデュアル電源のリファレンス電圧を供給できます。REF5025 を使用して 2.5V の電源リファレンス電圧を供給する例を、[図 9-5](#) に示します。REF50xx の低ドリフト性能は、OPA735 の低オフセット電圧とゼロ・ドリフトを補完し、分割電源アプリケーション向けの高精度なソリューションとなります。 R_1 と R_2 の温度係数が一致するよう注意してください。



NOTE: Bypass capacitors not shown.

図 9-5. REF5025 と OPA735 による正および負のリファレンス電圧の生成

10 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

10.1 アプリケーション情報

データ・アキュイジション・システムには多くの場合、精度を維持するために安定した電圧リファレンスが必要です。REF50xx ファミリーは、低ノイズ、超低ドリフト、高い初期精度が特長で、高性能のデータ・コンバータに最適です。REF5040 を基本的なデータ・アキュイジション・システムで使用した例を、[図 10-1](#) に示します。

10.2 代表的なアプリケーション

10.2.1 16 ビット、250KSPS のデータ・アキュイジション・システム

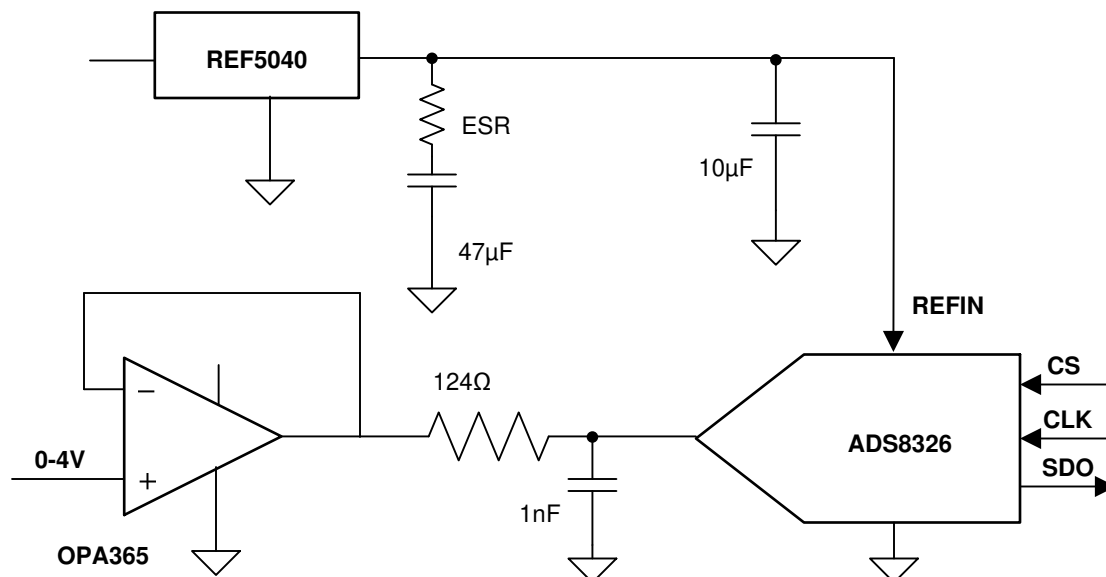


図 10-1. REF50xx を使用した完全なデータ・アキュイジション・システム

10.2.1.1 設計要件

この設計で REF50xx を使用する場合、ゲインのピークが発生してシステム全体のノイズが増加することを避けるよう、適切な出力コンデンサを選択します。同時に、システムに必要なフィルタ性能が得られるよう、コンデンサを選択する必要があります。また、最適な性能を実現するため、入力バイパス・コンデンサとノイズ低減コンデンサを追加する必要があります。データ・アキュイジション・システムの設計時には、アナログ入力信号とリファレンス電圧のバッファリングについても、同様の検討が必要です。データ・アキュイジション・システムが良好な性能を得るには、適切に設計された入力バッファと、それに関連する RC フィルタを使用する必要があります。

10.2.1.2 詳細な設計手順

OPA365 は、16 ビット A/D コンバータ (ADS8326) の駆動に使用されます。OPA365 の出力にある RC フィルタを使用して、ADC 内のサンプリング・スイッチの開閉によって発生するチャージ・キックバックを低減します。ADC のアキュイジション時間内にサンプリング・コンデンサの電圧が 16 ビット精度に安定するよう、RC フィルタを設計します。駆動アンプの帯域幅は、RC フィルタの帯域幅の少なくとも 4 倍は必要です。

REF5040 は、ADS8326 の REF ピンを駆動するため使用されます。この設計では、電圧リファレンス出力コンデンサを適切に選択することが非常に重要です。等価直列抵抗 (ESR) が非常に小さいと、ゲインのピークが生まれ、システム全

体の SNR が低下します。コンデンサの ESR が十分でない場合は、出力コンデンサと直列に抵抗を追加する必要があります。1 μ F の容量を NR ピンに接続すると、REF50xx のバンドギャップ・ノイズを低減できます。

OPA365 の出力で各種の RC フィルタを使用し、REF50xx に異なる値の出力コンデンサを使用し、TRIM/NR ピンに異なる値のコンデンサを使用して SNR を測定した結果を、表 10-1 に示します。

表 10-1. 各種の条件におけるデータ・アキュジション測定結果

	テスト条件 1	テスト条件 2
OPA365 RC フィルタ	124 Ω , 1nF	124 Ω , 1nF
REF5040 出力コンデンサ	10 μ F	10 μ F + 47 μ F
TRIM/NR ピンのコンデンサ	0 μ F	1 μ F
SNR	86.7dB	92.8dB

10.2.1.3 アプリケーション曲線

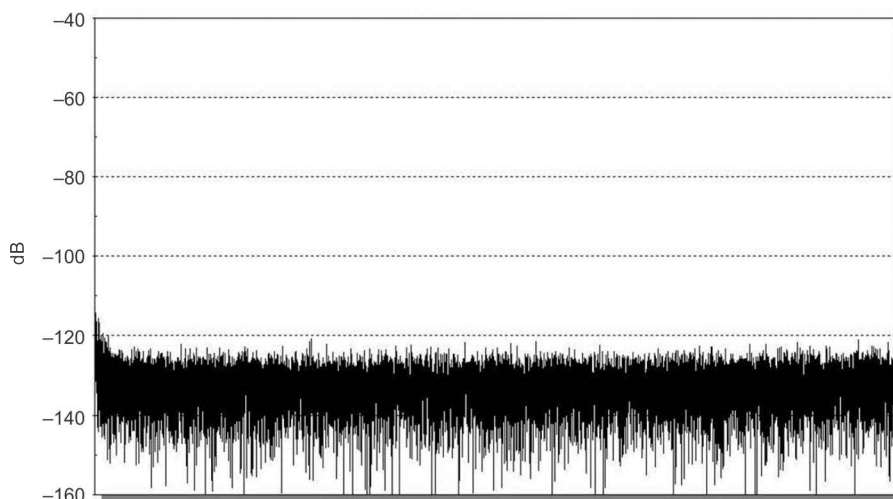


図 10-2. FFT プロット - データ・アキュジション・システムのノイズ・フロア

11 電源に関する推奨事項

REF50xx ファミリの電圧リファレンスは、ドロップアウト電圧が非常に低いことが特長です。最小電源要件が 2.7V である REF5020 を除き、これらのリファレンス電圧は無負荷状態で出力電圧より 200mV 高い電圧で動作できます。負荷ありの条件については、標準的なドロップアウト電圧と負荷プロットを、図 7-6 に示します。1 μ F ~ 50 μ F の範囲の電源バイパス・コンデンサをお勧めします。

12 レイアウト

12.1 レイアウトのガイドライン

- 電源バイパス・コンデンサは、電源およびグランド・ピンにできるだけ近づけて配置します。このバイパス・コンデンサの推奨値は $1\mu\text{F}$ ~ $10\mu\text{F}$ です。必要なら、ノイズの多いまたは高インピーダンスの電源を補償するため、デカップリング容量を追加できます。
- NR ピンとグランドとの間に、 $1\mu\text{F}$ のノイズ・フィルタリング・コンデンサを配置します。
- 出力は、 $1\mu\text{F}$ ~ $50\mu\text{F}$ のコンデンサでデカップリングする必要があります。出力コンデンサと直列の抵抗はオプションです。ノイズ性能を向上させるため、出力コンデンサの推奨 ESR は 1Ω ~ 1.5Ω です。
- 出力とグランドとの間に $1\mu\text{F}$ の高周波コンデンサを並列に追加することで、ノイズをフィルタリングでき、データ・コンバータとしてのスイッチング負荷が改善されます。

12.2 レイアウト例

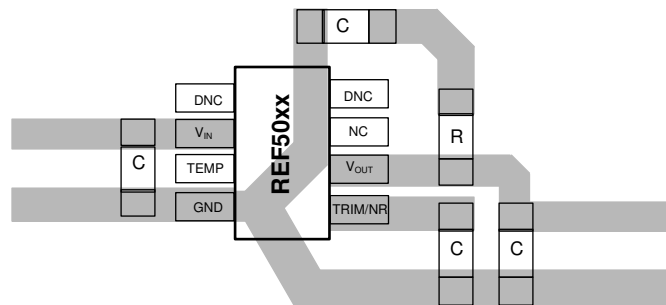


図 12-1. レイアウト例

12.3 消費電力

REF50xx ファミリーは、指定された入力電圧範囲にわたって $\pm 10\text{mA}$ の電流負荷を供給することが規定されています。デバイスの温度は、式 5 に従って上昇します。

$$T_J = T_A + P_D \times \theta_{JA} \quad (5)$$

ここで

- T_J = 接合部温度 ($^{\circ}\text{C}$)
- T_A = 周囲温度 ($^{\circ}\text{C}$)
- P_D = 消費電力 (W)
- θ_{JA} = 接合部から周囲への熱抵抗 ($^{\circ}\text{C}/\text{W}$)

REF50xx の接合部温度は、絶対最大定格の 150°C を超えないようにしてください。

13 デバイスおよびドキュメントのサポート

13.1 ドキュメントのサポート

13.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[0.05µV/°C \(最大値\)、単一電源の CMOS ゼロドリフト・シリーズ・オペアンプ](#)』データシート
- [REF5020 PSpice モデル](#)
- [REF5020 TINA-TI リファレンス・デザイン](#)
- [REF5020 TINA-TI Spice モデル](#)
- [INA270 PSpice モデル](#)
- [INA270 TINA-TI リファレンス・デザイン](#)
- [INA270 TINA-TI Spice モデル](#)

13.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[ti.com](#) のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

13.3 サポート・リソース

[TI E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

13.4 商標

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

13.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

14 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
PREF5025EIDR	ACTIVE	SOIC	D	8	3000	TBD	Call TI	Call TI	-40 to 125		Samples
REF5010AID	ACTIVE	SOIC	D	8	75	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5010 A	Samples
REF5010AIDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	R50G	Samples
REF5010AIDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	R50G	Samples
REF5010AIDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	REF 5010 A	Samples
REF5010ID	ACTIVE	SOIC	D	8	75	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5010	Samples
REF5010IDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	R50G	Samples
REF5010IDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	R50G	Samples
REF5020AID	ACTIVE	SOIC	D	8	75	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5020 A	Samples
REF5020AIDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	R50A	Samples
REF5020AIDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	R50A	Samples
REF5020AIDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	REF 5020 A	Samples
REF5020ID	ACTIVE	SOIC	D	8	75	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5020	Samples
REF5020IDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	R50A	Samples
REF5020IDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	R50A	Samples
REF5020IDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5020	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
REF5025AID	ACTIVE	SOIC	D	8	75	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5025 A	Samples
REF5025AIDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	Call TI NIPDAU	Level-2-260C-1 YEAR	-40 to 125	R50B	Samples
REF5025AIDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	Call TI NIPDAU	Level-2-260C-1 YEAR	-40 to 125	R50B	Samples
REF5025AIDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	REF 5025 A	Samples
REF5025EIDR	ACTIVE	SOIC	D	8	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	R5025E	Samples
REF5025ID	ACTIVE	SOIC	D	8	75	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5025	Samples
REF5025IDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	R50B	Samples
REF5025IDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	R50B	Samples
REF5025IDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5025	Samples
REF5030AID	ACTIVE	SOIC	D	8	75	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5030 A	Samples
REF5030AIDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	Call TI NIPDAU	Level-2-260C-1 YEAR	-40 to 125	R50C	Samples
REF5030AIDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	R50C	Samples
REF5030AIDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	REF 5030 A	Samples
REF5030ID	ACTIVE	SOIC	D	8	75	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5030	Samples
REF5030IDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	R50C	Samples
REF5030IDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	R50C	Samples
REF5030IDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5030	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
REF5040AID	ACTIVE	SOIC	D	8	75	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5040 A	Samples
REF5040AIDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	R50D	Samples
REF5040AIDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	R50D	Samples
REF5040AIDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	REF 5040 A	Samples
REF5040ID	ACTIVE	SOIC	D	8	75	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5040	Samples
REF5040IDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	R50D	Samples
REF5040IDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	R50D	Samples
REF5040IDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5040	Samples
REF5045AID	ACTIVE	SOIC	D	8	75	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5045 A	Samples
REF5045AIDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	R50E	Samples
REF5045AIDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	Call TI NIPDAU	Level-2-260C-1 YEAR	-40 to 125	R50E	Samples
REF5045AIDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	REF 5045 A	Samples
REF5045ID	ACTIVE	SOIC	D	8	75	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5045	Samples
REF5045IDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	R50E	Samples
REF5045IDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	R50E	Samples
REF5045IDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5045	Samples
REF5050AID	ACTIVE	SOIC	D	8	75	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5050 A	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
REF5050AIDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	Call TI NIPDAU	Level-2-260C-1 YEAR	-40 to 125	R50F	Samples
REF5050AIDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	R50F	Samples
REF5050AIDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	REF 5050 A	Samples
REF5050EIDR	ACTIVE	SOIC	D	8	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	R5050E	Samples
REF5050ID	ACTIVE	SOIC	D	8	75	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5050	Samples
REF5050IDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	R50F	Samples
REF5050IDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	R50F	Samples
REF5050IDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5050	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

⁽⁶⁾ Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF REF5020, REF5025, REF5040, REF5050 :

- Enhanced Product : [REF5020-EP](#), [REF5025-EP](#), [REF5040-EP](#), [REF5050-EP](#)

NOTE: Qualified Version Definitions:

- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
REF5010AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5010AIDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5010AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
REF5010IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5010IDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5020AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5020AIDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5020AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
REF5020IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5020IDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5020IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
REF5025AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5025AIDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5025AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
REF5025EIDR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
REF5025IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
REF5025IDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5025IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
REF5030AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5030AIDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5030AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
REF5030IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5030IDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5030IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
REF5040AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5040AIDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5040AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
REF5040IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5040IDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5040IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
REF5045AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5045AIDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5045AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
REF5045IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5045IDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5045IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
REF5050AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5050AIDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5050AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
REF5050EIDR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
REF5050IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5050IDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5050IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
REF5010AIDGKR	VSSOP	DGK	8	2500	367.0	367.0	35.0
REF5010AIDGKT	VSSOP	DGK	8	250	210.0	185.0	35.0
REF5010AIDR	SOIC	D	8	2500	367.0	367.0	35.0
REF5010IDGKR	VSSOP	DGK	8	2500	356.0	356.0	35.0
REF5010IDGKT	VSSOP	DGK	8	250	210.0	185.0	35.0
REF5020AIDGKR	VSSOP	DGK	8	2500	367.0	367.0	35.0
REF5020AIDGKT	VSSOP	DGK	8	250	210.0	185.0	35.0
REF5020AIDR	SOIC	D	8	2500	367.0	367.0	35.0
REF5020IDGKR	VSSOP	DGK	8	2500	367.0	367.0	35.0
REF5020IDGKT	VSSOP	DGK	8	250	210.0	185.0	35.0
REF5020IDR	SOIC	D	8	2500	367.0	367.0	35.0
REF5025AIDGKR	VSSOP	DGK	8	2500	367.0	367.0	35.0
REF5025AIDGKT	VSSOP	DGK	8	250	210.0	185.0	35.0
REF5025AIDR	SOIC	D	8	2500	367.0	367.0	35.0
REF5025EIDR	SOIC	D	8	3000	353.0	353.0	32.0
REF5025IDGKR	VSSOP	DGK	8	2500	367.0	367.0	35.0
REF5025IDGKT	VSSOP	DGK	8	250	210.0	185.0	35.0
REF5025IDR	SOIC	D	8	2500	367.0	367.0	35.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
REF5030AIDGKR	VSSOP	DGK	8	2500	367.0	367.0	35.0
REF5030AIDGKT	VSSOP	DGK	8	250	210.0	185.0	35.0
REF5030AIDR	SOIC	D	8	2500	367.0	367.0	35.0
REF5030IDGKR	VSSOP	DGK	8	2500	367.0	367.0	35.0
REF5030IDGKT	VSSOP	DGK	8	250	210.0	185.0	35.0
REF5030IDR	SOIC	D	8	2500	367.0	367.0	35.0
REF5040AIDGKR	VSSOP	DGK	8	2500	367.0	367.0	35.0
REF5040AIDGKT	VSSOP	DGK	8	250	210.0	185.0	35.0
REF5040AIDR	SOIC	D	8	2500	367.0	367.0	35.0
REF5040IDGKR	VSSOP	DGK	8	2500	367.0	367.0	35.0
REF5040IDGKT	VSSOP	DGK	8	250	210.0	185.0	35.0
REF5040IDR	SOIC	D	8	2500	367.0	367.0	35.0
REF5045AIDGKR	VSSOP	DGK	8	2500	367.0	367.0	35.0
REF5045AIDGKT	VSSOP	DGK	8	250	210.0	185.0	35.0
REF5045AIDR	SOIC	D	8	2500	367.0	367.0	35.0
REF5045IDGKR	VSSOP	DGK	8	2500	367.0	367.0	35.0
REF5045IDGKT	VSSOP	DGK	8	250	210.0	185.0	35.0
REF5045IDR	SOIC	D	8	2500	356.0	356.0	35.0
REF5050AIDGKR	VSSOP	DGK	8	2500	356.0	356.0	35.0
REF5050AIDGKT	VSSOP	DGK	8	250	210.0	185.0	35.0
REF5050AIDR	SOIC	D	8	2500	356.0	356.0	35.0
REF5050EIDR	SOIC	D	8	3000	353.0	353.0	32.0
REF5050IDGKR	VSSOP	DGK	8	2500	356.0	356.0	35.0
REF5050IDGKT	VSSOP	DGK	8	250	210.0	185.0	35.0
REF5050IDR	SOIC	D	8	2500	367.0	367.0	35.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
REF5010AID	D	SOIC	8	75	506.6	8	3940	4.32
REF5010ID	D	SOIC	8	75	506.6	8	3940	4.32
REF5020AID	D	SOIC	8	75	506.6	8	3940	4.32
REF5020ID	D	SOIC	8	75	506.6	8	3940	4.32
REF5025AID	D	SOIC	8	75	506.6	8	3940	4.32
REF5025ID	D	SOIC	8	75	506.6	8	3940	4.32
REF5030AID	D	SOIC	8	75	506.6	8	3940	4.32
REF5030ID	D	SOIC	8	75	506.6	8	3940	4.32
REF5040AID	D	SOIC	8	75	506.6	8	3940	4.32
REF5040ID	D	SOIC	8	75	506.6	8	3940	4.32
REF5045AID	D	SOIC	8	75	506.6	8	3940	4.32
REF5045ID	D	SOIC	8	75	506.6	8	3940	4.32
REF5050AID	D	SOIC	8	75	506.6	8	3940	4.32
REF5050ID	D	SOIC	8	75	506.6	8	3940	4.32



D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed $.006$ [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
 EXPOSED METAL SHOWN
 SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

DGK0008A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES:

PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated