

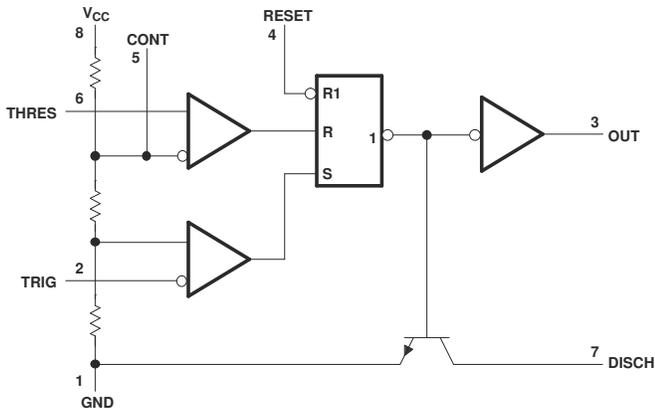
xx555 高精度タイマ

1 特長

- マイクロ秒単位から時間単位までのタイミング
- 非安定または単安定動作
- デューティサイクルを変更可能
- 最大 200mA のシンクまたはソースが可能な TTL 互換出力
- MIL-PRF-38535 準拠の製品については、特に記述のない限り、すべてのパラメータはテスト済みです。その他のすべての製品については、量産プロセスにすべてのパラメータのテストが含まれているとは限りません。

2 アプリケーション

- パルス整形回路
- ミッシング パルス検出器
- パルス幅変調器
- パルス位置変調器
- シーケンシャル タイマ
- パルス ジェネレータ
- 周波数分周器
- 産業用制御



概略回路図

3 説明

Nx555 および Sx555 デバイスは、正確な時間遅延の生成または発振が可能な高精度のタイミング回路です。時間遅延 (単安定) 動作モードでは、時間間隔は 1 つの外付け抵抗およびコンデンサの回路網によって制御されます。非安定動作モードでは、周波数とデューティサイクルは 2 つの外付け抵抗と 1 つの外付けコンデンサで独立して制御されます。

各タイマのトリガ レベルは電源電圧の約 1/3、スレッシュホールドレベルは電源電圧の約 2/3 です。これらの電圧レベルは、制御電圧ピン (CONT) を使用して変更できます。トリガ入力 (TRIG) がトリガ レベルより低くなると、フリップフロップがセットされ、出力は High になります。TRIG がトリガ レベルより高く、かつスレッシュホールド入力 (THRES) がスレッシュホールド レベルより高くなると、フリップフロップはリセットされ、出力は Low になります。リセット入力 (RESET) は他のいかなる入力よりも優先され、新しいタイミング サイクルの開始に使用されます。RESET を Low にすると、フリップフロップはリセットされ、出力は Low になります。出力が Low のときは常に、放電ピン (DISCH) とグラウンドピン (GND) との間に低インピーダンス経路が形成されます。誤トリガを防止するため、未使用の入力はすべて、適切なロジックレベルに接続します。

出力回路は、最大 200mA の電流をシンクまたはソースでできます。5V ~ 15V の電源電圧で動作が規定されています。5V 電源では、出力レベルは TTL 入力と互換性があります。

製品情報

部品番号	動作温度範囲	パッケージ (1)
NA555	$T_A = -40^{\circ}\text{C} \sim +105^{\circ}\text{C}$	D (SOIC, 8)
		P (PDIP, 8)
NE555	$T_A = 0^{\circ}\text{C} \sim 70^{\circ}\text{C}$	D (SOIC, 8)
		P (PDIP, 8)
		PS (SO, 8) PW (TSSOP, 8)
SA555	$T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$	D (SOIC, 8)
		P (PDIP, 8)
SE555	$T_A = -55^{\circ}\text{C} \sim +125^{\circ}\text{C}$	D (SOIC, 8)
		FK (LCCC, 20)
		JG (CDIP, 8)
		P (PDIP, 8)

(1) 詳細については、[セクション 10](#) を参照してください。

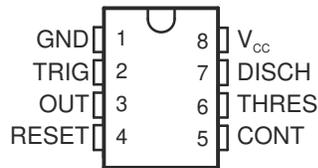


目次

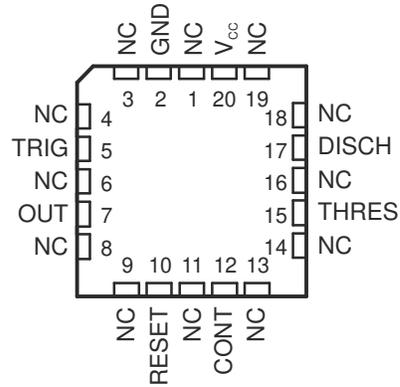
1 特長	1	6.3 機能説明.....	11
2 アプリケーション	1	6.4 デバイスの機能モード.....	13
3 説明	1	7 アプリケーションと実装	14
4 ピン構成および機能	3	7.1 使用上の注意.....	14
5 仕様	4	7.2 代表的なアプリケーション.....	14
5.1 絶対最大定格.....	4	7.3 電源に関する推奨事項.....	18
5.2 ESD 定格.....	4	8 デバイスおよびドキュメントのサポート	19
5.3 推奨動作条件.....	4	8.1 ドキュメントの更新通知を受け取る方法.....	19
5.4 熱に関する情報.....	5	8.2 サポート・リソース.....	19
5.5 電気的特性.....	5	8.3 商標.....	19
5.6 スイッチング特性.....	7	8.4 静電気放電に関する注意事項.....	19
5.7 代表的特性.....	8	8.5 用語集.....	19
6 詳細説明	10	9 改訂履歴	19
6.1 概要.....	10	10 メカニカル、パッケージ、および注文情報	20
6.2 機能ブロック図.....	10		

4 ピン構成および機能

NA555...D OR P PACKAGE
NE555...D, P, PS, OR PW PACKAGE
SA555...D OR P PACKAGE
SE555...D, JG, OR P PACKAGE
 (TOP VIEW)



SE555...FK PACKAGE
 (TOP VIEW)



NC – No internal connection

表 4-1. ピンの機能

名称	ピン 番号		タイプ	説明
	D (SOIC)、 P (PDIP)、 PS (SO)、 PW (TSSOP)、 JG (CDIP)	FK (LCCC)		
CONT	5	12	入力 / 出力	コンパレータのスレッシュホールドを制御すると、出力 $2/3 \times V_{CC}$ を制御し、バイパスコンデンサ接続が可能
DISCH	7	17	出力	オープン コレクタ出力から放電タイミグ コンデンサ
GND	1	2	—	グラウンド
NC	—	1、3、4、6、8、9、 11、13、14、16、 18、19	—	内部接続なし
OUT	3	7	出力	大電流タイマ出力信号
リセット	4	10	入力	アクティブ Low のリセット入力により、出力と放電を Low に強制。
THRES	6	15	入力	タイミグ入力の終了。THRES > CONT は出力と放電を Low に設定
TRIG	2	5	入力	タイミグ入力の開始。TRIG < $1/2$ CONT により出力が High に設定され、放電がオープン
V _{CC}	8	20	—	入力電源電圧、4.5V~16V。SE555 の最大値は 18V。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V _{CC}	電源電圧 ⁽²⁾		18	V
V _I	入力電圧	CONT、RESET、THRES、TRIG		V _{CC} V
I _O	出力電流		±225	mA
T _J	動作時の仮想接合部温度		150	°C
	60 秒間のケース温度	FK パッケージ	260	°C
	リード温度: ケースから 1.6mm (1/16 インチ) 離れた点	JG パッケージ、60 秒	300	°C
T _{stg}	保存温度	-65	150	°C

- (1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) すべての電圧値は、GND を基準としたものです。

5.2 ESD 定格

		値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±500
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	±1500

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
V _{CC}	電源電圧	NA555、NE555、SA555	4.5	16
		SE555	4.5	18
I _O	出力電流		±200	mA
T _A	外気温度での動作時	NA555	-40	105
		NE555	0	70
		SA555	-40	85
		SE555	-55	125

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		NA556、 NE556、 SA555、 SE555	SE555		NA555、 NE555	NE555		単位
		D (SOIC)	FK (LCCC)	JG (CDIP)	P (PDIP)	PS (SO)	PW (TSSOP)	
		8ピン	20ピン	8ピン	8ピン	8ピン	8ピン	
R _{θJA}	接合部から周囲への熱抵抗	125.4	92.2	125.0	98.5	124.5	164.2	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	64.9	67.6	73.3	77.8	61.2	70.5	°C/W
R _{θJB}	接合部から基板への熱抵抗	73.2	66.7	114.9	61.0	79.3	104.8	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	14.3	61.6	44.4	43.9	16.5	8.2	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	72.1	66.5	106.6	60.3	77.8	103.1	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	該当なし	14.2	29.3	該当なし	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

5.5 電気的特性

V_{CC} = 5V ~ 15V, T_A = 25°C (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位	
THRES 電圧レベル	V _{CC} = 15V	NA555, NE555, SA555	8.8	10	11.2	V
		SE555	9.4	10	10.6	
	V _{CC} = 5V	NA555, NE555, SA555	2.4	3.3	4.2	
		SE555	2.7	3.3	4	
THRES 電流 ⁽¹⁾			30	250	nA	
TRIG 電圧レベル	V _{CC} = 15V	NA555, NE555, SA555	4.5	5	5.6	V
		SE555	4.8	5	5.2	
	V _{CC} = 15V, T _A = -55°C ~ +125°C	SE555	3		6	
	V _{CC} = 5V	NA555, NE555, SA555	1.1	1.67	2.2	
		SE555	1.45	1.67	1.9	
V _{CC} = 5V, T _A = -55°C ~ +125°C	SE555			1.9		
TRIG 電流	0V での TRIG	NA555, NE555, SA555		0.5	2	μA
		SE555		0.5	0.9	
RESET 電圧レベル			0.3	0.7	1	V
	T _A = -55°C ~ +125°C	SE555			1.1	
RESET 電流	V _{CC} での RESET			0.1	0.4	mA
	0V にリセット	NA555, NE555, SA555		-0.4	-1.5	
		SE555		-0.4	-1	
DISCH スイッチ オフ状態電流			20	100	nA	
DISCH スイッチのオン状態電圧	V _{CC} = 5V, I _O = 8mA	NA555, NE555, SA555		0.15	0.4	V
CONT 電圧 (断線)	V _{CC} = 15V	NA555, NE555, SA555	9	10	11	V
		SE555	9.6	10	10.4	
	V _{CC} = 15V, T _A = -55°C ~ +125°C	SE555	9.6		10.4	
	V _{CC} = 5V	NA555, NE555, SA555	2.6	3.3	4	
		SE555	2.9	3.3	3.8	
V _{CC} = 5V, T _A = -55°C ~ +125°C	SE555	2.9		3.8		

5.5 電気的特性 (続き)

$V_{CC} = 5V \sim 15V$, $T_A = 25^\circ C$ (特に記述のない限り)

パラメータ	テスト条件		最小値	標準値	最大値	単位
Low レベル出力電圧	$V_{CC} = 15V, I_{OL} = 10mA$	NA555, NE555, SA555		0.1	0.25	V
		SE555		0.1	0.15	
	$V_{CC} = 15V, I_{OL} = 10mA, T_A = -55^\circ C \sim +125^\circ C$	SE555			0.2	
		$V_{CC} = 15V, I_{OL} = 50mA$	NA555, NE555, SA555		0.4	
	SE555			0.4	0.5	
	$V_{CC} = 15V, I_{OL} = 50mA, T_A = -55^\circ C \sim +125^\circ C$	SE555			1	
		$V_{CC} = 15V, I_{OL} = 100mA$	NA555, NE555, SA555		2	
	SE555			2	2.2	
	$V_{CC} = 15V, I_{OL} = 100mA, T_A = -55^\circ C \sim +125^\circ C$	SE555			2.7	
		$V_{CC} = 15V, I_{OL} = 200mA$			2.5	
	$V_{CC} = 5V, I_{OL} = 3.5mA, T_A = -55^\circ C \sim +125^\circ C$	SE555			0.35	
		$V_{CC} = 5V, I_{OL} = 5mA$	NA555, NE555, SA555		0.1	
	SE555			0.1	0.2	
	$V_{CC} = 5V, I_{OL} = 5mA, T_A = -55^\circ C \sim +125^\circ C$	SE555			0.8	
$V_{CC} = 5V, I_{OL} = 8mA$		NA555, NE555, SA555		0.15	0.4	
	SE555		0.15	0.25		
High レベル出力電圧	$V_{CC} = 15V, I_{OH} = -100mA$	NA555, NE555, SA555	12.75	13.3	V	
		SE555	13	13.3		
	$V_{CC} = 15V, I_{OH} = -100mA, T_A = -55^\circ C \sim +125^\circ C$	SE555	12			
		$V_{CC} = 15V, I_{OH} = -200mA$				12.5
	$V_{CC} = 5V, I_{OH} = -100mA$	NA555, NE555, SA555	2.75	3.3		
		SE555	3	3.3		
$V_{CC} = 5V, I_{OH} = -100mA, T_A = -55^\circ C \sim +125^\circ C$	SE555	2				
	電源電流	出力 Low, 無負荷, $V_{CC} = 15V$	NA555, NE555, SA555		10	15
SE555				10	12	
出力 Low, 無負荷, $V_{CC} = 5V$		NA555, NE555, SA555		3	6	
		SE555		3	5	
出力 High, 無負荷, $V_{CC} = 15V$		NA555, NE555, SA555		9	13	
		SE555		9	10	
出力 High, 無負荷, $V_{CC} = 5V$	NA555, NE555, SA555		2	5		
	SE555		2	4		

(1) このパラメータは、図 6-5 の回路のタイミング抵抗 R_A および R_B の最大値に影響します。たとえば、 $V_{CC} = 5V$ の場合、最大値は $R = R_A + R_B \cong 3.4M\Omega$ です。 $V_{CC} = 15V$ の場合、最大値は $R_A + R_B \cong 10M\Omega$ です。

5.6 スイッチング特性

$V_{CC} = 5V \sim 15V$ および $T_A = 25^\circ C$ (特に指定のない限り)。特性値は設計、特性評価、またはその両方に基づいて規定されており、量産試験では検査されていません

パラメータ		テスト条件 ⁽¹⁾		最小値	標準値	最大値	単位	
タイミング間隔の温度係数	各タイム、モノステーブル ⁽²⁾ 、 $T_A =$ 最小値 ~ 最大値	NA555, NE555, SA555		50			ppm/ $^\circ C$	
		SE555		30	100			
	各タイム、非安定 ⁽³⁾ 、 $T_A =$ 最小値 ~ 最大値	NA555, NE555, SA555		150				
		SE555		90				
タイミング間隔の電源電圧感度	各タイム、モノステーブル ⁽²⁾	NA555, NE555, SA555		0.1	0.5		%/ V	
		SE555		0.05	0.2			
	各タイム、非安定 ⁽³⁾	NA555, NE555, SA555		0.3				
		SE555		0.15				
t_r	出力パルスの立ち上がり時間	$C_L = 15pF$ 、 $T_A = 25^\circ C$ 、 20% ~ 80%	NA555, NE555, SA555		100	300	ns	
			SE555		100	200		
t_f	出力パルスの立ち下がり時間	$C_L = 15pF$ 、 $T_A = 25^\circ C$ 、 80% ~ 20%	NA555, NE555, SA555		100	300	ns	
			SE555		100	200		

- (1) 最小値または最大値として示されている条件については、「推奨動作条件」で指定されている適切な値を使用します。
- (2) 指定された値は、[図 6-2](#) と同様のモノステーブル回路のデバイスのものであり、次の成分値を使用します。 $R_A = 2k\Omega \sim 100k\Omega$ 、 $C = 0.1\mu F$ 。
- (3) 指定された値は、[図 6-5](#) と同様の非安定回路のデバイスのものであり、次の成分値を使用します。 $R_A = 1k\Omega \sim 100k\Omega$ 、 $C = 0.1\mu F$ 。

5.7 代表的特性

-40°C 未満および 105°C を超える温度のデータは、SE555 回路にのみ適用されます。

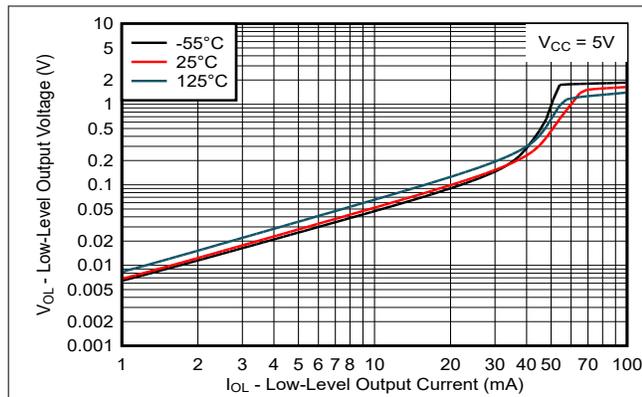


図 5-1. Low レベル出力電圧と Low レベル出力電流との関係

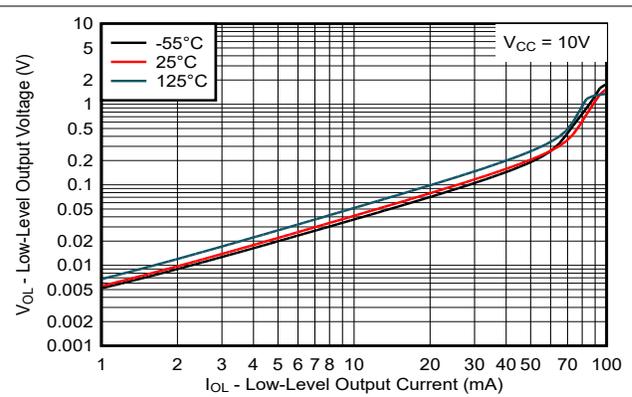


図 5-2. Low レベル出力電圧と Low レベル出力電流との関係

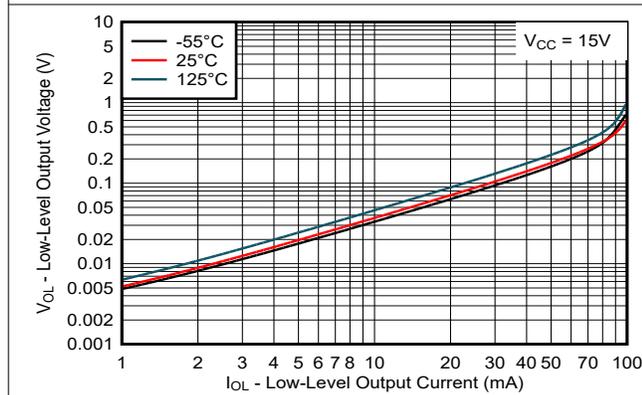


図 5-3. Low レベル出力電圧と Low レベル出力電流との関係

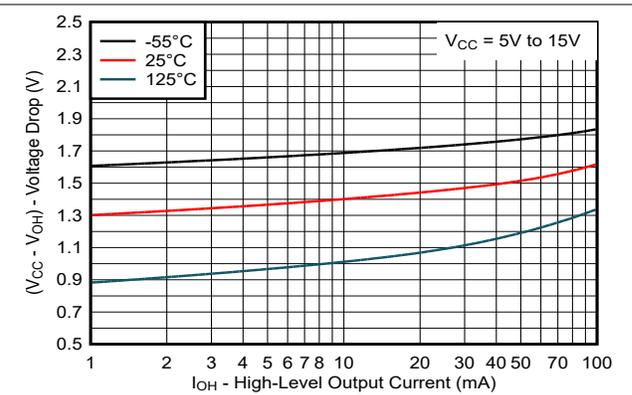


図 5-4. 電源電圧と出力間の電圧降下と High レベル出力電流との関係

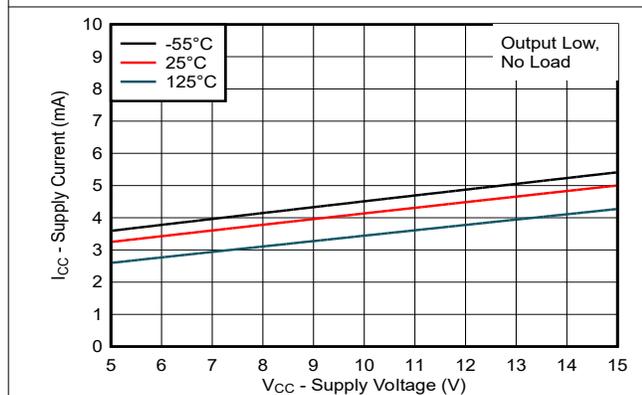


図 5-5. 電源電流と電源電圧との関係

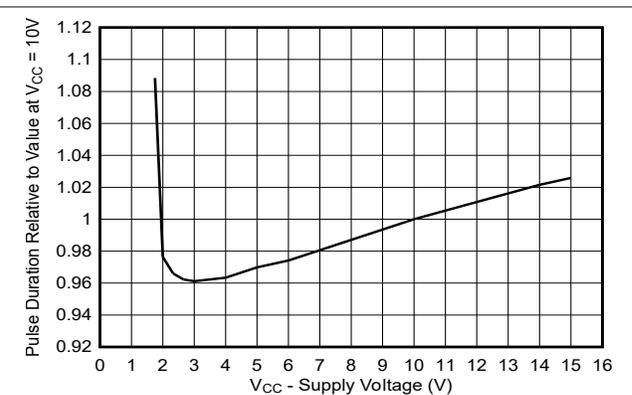


図 5-6. 正規化された出力パルス持続時間 (モノステーブル動作) と電源電圧の関係

5.7 代表的特性 (続き)

-40°C 未満および 105°C を超える温度のデータは、SE555 回路にのみ適用されます。

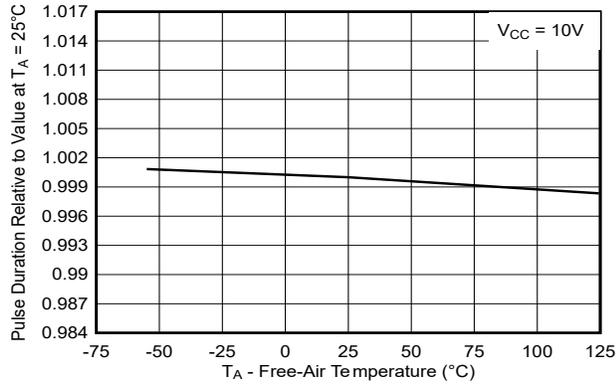


図 5-7. 正規化された出力パルス持続時間
 (モノステーブル動作)
 と
 自由空気温度の関係

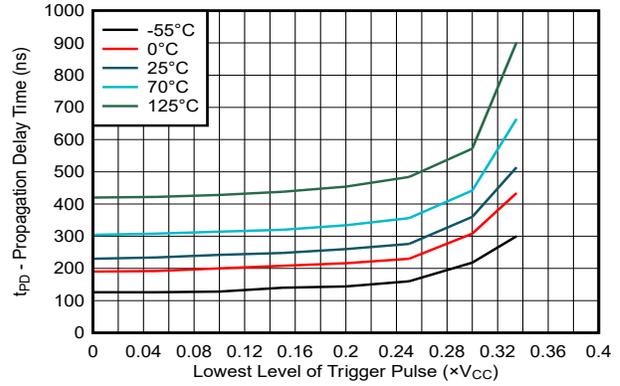
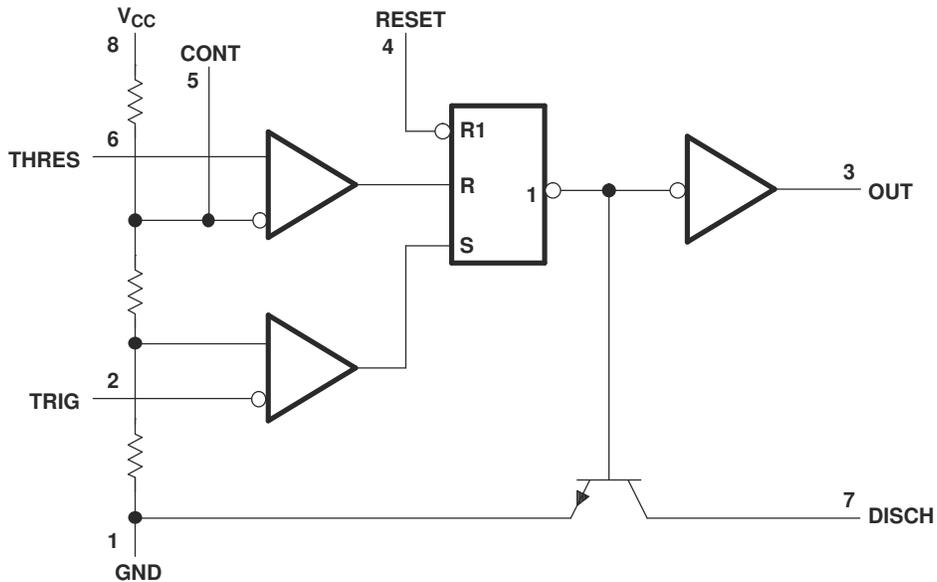


図 5-8. 伝搬遅延時間
 と
 トリガパルスの最小電圧レベルとの関係

6 詳細説明

6.1 概要

Nx555 または Sx555 は、10 μ s から数時間、または 1mHz 未満から 100kHz までの一般用途のタイミング アプリケーションに対応する高精度タイミング デバイスです。時間遅延 (モノステーブル) 動作モードでは、時間間隔は 1 つの外付け抵抗およびコンデンサの回路網によって制御されます。非安定動作モードでは、周波数とデューティ サイクルは 2 つの外付け抵抗と 1 つの外付けコンデンサで独立して制御できます。最大出力シンクおよび放電シンク電流は、 V_{CC} が高い場合には大きくなり、 V_{CC} が低い場合には小さくなります。

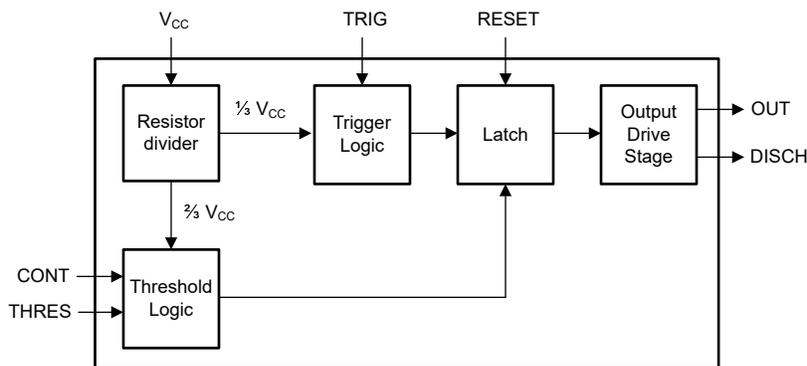


注:ここに示すピン番号は、D、JG、P、PS、PW パッケージ用です。

注:RESET は TRIG をオーバーライドすることができ、これが THRES をオーバーライドする場合もあります。

図 6-1. 概略回路図

6.2 機能ブロック図



6.3 機能説明

6.3.1 モノステーブル動作

モノステーブル動作に関して、図 6-2 にこれらのタイマのいずれかを接続する方法を示します。出力が Low の場合、トリガ (TRIG) に負方向のパルスを印加するとフリップフロップが設定され (Q が Low になる)、出力が High に駆動され、Q1 がオフになります。C コンデンサは、コンデンサの両端の電圧がスレッシュホールド (THRES) 入力のスレッシュホールド電圧に達するまで、R_A 経由で充電されます。TRIG が High レベルに戻ると、スレッシュホールドコンパレータの出力によってフリップフロップがリセットされ (Q が High になる)、出力が Low に駆動され、Q1 経由で C が放電します。

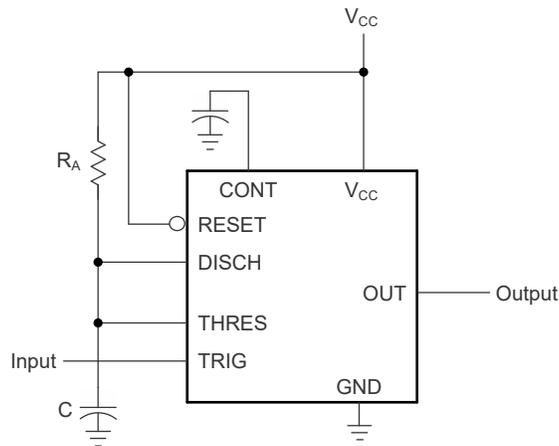


図 6-2. モノステーブル動作回路

TRIG 電圧がトリガスレッシュホールドを下回ると、モノステーブル動作が開始します。開始されると、タイミング間隔が終了する前に TRIG が少なくとも 10 μ s の間 High である場合のみ、このシーケンスは終了します。トリガがグラウンドに接続されたとき、コンパレータの保存時間は 10 μ s にまで延ばすことができ、これにより 10 μ s に対する最小モノステーブルパルス幅が制限されます。スレッシュホールドレベルと Q1 の飽和電圧の影響により、出力パルス幅は約 $t_w = 1.1 \times R_A C$ となります。図 6-4 は、R_A および C のさまざまな値に対する時定数のプロットです。スレッシュホールドレベルと充電レートは、いずれも電源電圧 (V_{CC}) に正比例します。そのため、時間間隔中に電源電圧が一定である限り、タイミング間隔は電源電圧に依存しません。

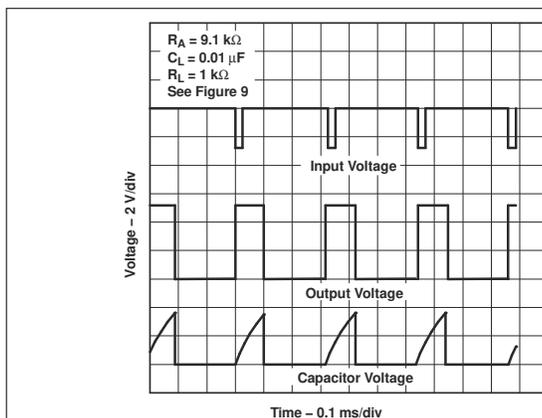


図 6-3. 代表的なモノステーブル波形

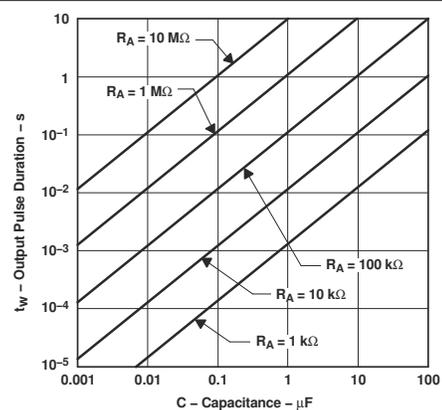
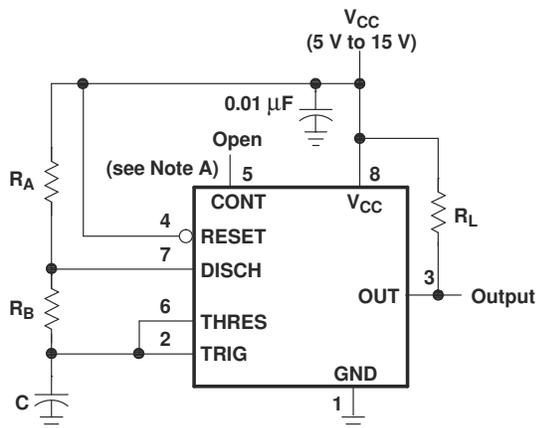


図 6-4. 出力パルス幅と容量との関係

タイミングインターバルの間に、RESET と TRIG に同時に負方向のトリガパルスを印加すると、C が放電し、サイクルが再開され、リセットパルスの正のエッジから始まります。リセットパルスが Low である間、出力は Low に保持されます。誤トリガを防ぐため、RESET を使用しない場合は、RESET を V_{CC} に接続します。

6.3.2 非安定動作

図 6-5 は、2 番目の抵抗 (R_B) を図 6-2 の回路に追加し、トリガ入力をスレッシュホールド入力に接続すると、タイマがセルフトリガしてマルチバイブレータとして動作することを示しています。コンデンサ C は R_A および R_B 経由で充電され、 R_B 経由でのみ放電されます。したがって、デューティサイクルは R_A と R_B の値によって制御されます。



Pin numbers shown are for the D, JG, P, PS, and PW packages.

NOTE A: Decoupling CONT voltage to ground with a capacitor can improve operation. This should be evaluated for individual applications.

図 6-5. 非安定動作回路

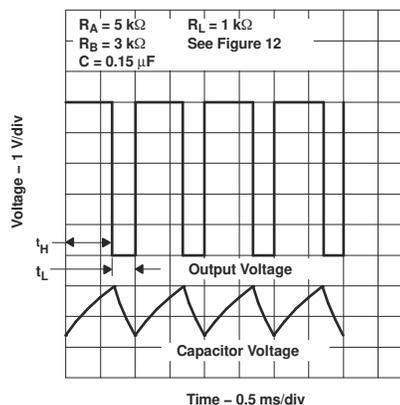


図 6-6. 代表的な非安定波形

この非安定接続により、 C コンデンサはスレッシュホールド電圧レベル ($\cong 0.67 \times V_{CC}$) とトリガ電圧レベル ($\cong 0.33 \times V_{CC}$) の間で充電および放電されます。モノステーブル回路と同様に、充電時間と放電時間 (すなわち、周波数とデューティサイクル) は電源電圧に依存しません。歪みを低減するには、最大周波数の 100kHz 以下で使用してください。より高い周波数での動作が必要な場合は、代わりに **TLC555 CMOS タイマ** の使用を検討してください。

図 6-6 に、非安定動作中に生成される代表的な波形を示します。出力 High レベル期間 t_H と Low レベル期間 t_L は、以下の式で算出できます。

$$t_H \cong 0.693 \times (R_A + R_B) \times C \quad (1)$$

$$t_L \cong 0.693 \times R_B \times C \quad (2)$$

周期、周波数、ドライバ基準および波形基準のデューティサイクルに関して、その他の有用な関係は、以下のように計算されます。

$$T = t_H + t_L \cong 0.693 \times (R_A + 2R_B) \times C \quad (3)$$

$$f = \frac{1}{T} \cong \frac{1.44}{(R_A + 2R_B) \times C} \quad (4)$$

$$\text{Output driver duty cycle} = \frac{t_L}{T} \cong \frac{R_B}{R_A + 2R_B} \quad (5)$$

$$\text{Output waveform duty cycle} = \frac{t_H}{T} \cong 1 - \frac{R_B}{R_A + 2R_B} = \frac{R_A + R_B}{R_A + 2R_B} \quad (6)$$

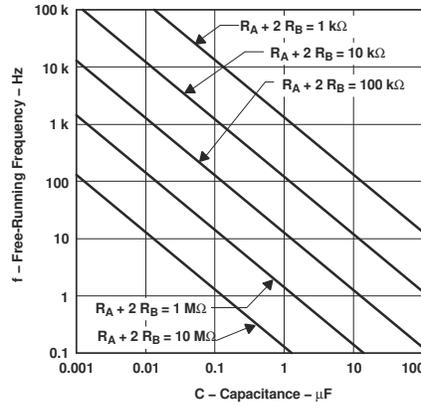
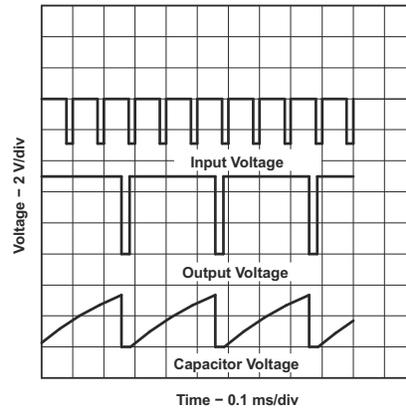


図 6-7. フリーランニング周波数

6.3.3 周波数分周器

タイミング サイクルの長さを調整することで、[図 6-2](#) に示す基本回路は周波数分周器として動作させることができます。[図 6-8](#) は、タイミング サイクル中は再トリガが発生しないという特性を利用した 3 分周回路を示しています。



$V_{CC} = 5V$

$R_A = 1250\Omega$

$C = 0.2\mu F$

[図 6-2](#) を参照

図 6-8. 3 分周回路波形

6.4 デバイスの機能モード

[表 6-1](#) はデバイスの真理値表を示します。有効なリセット電圧条件を得るには、外付けプルアップ抵抗を V_{CC} に接続するか (リセット機能を使用する場合)、リセットピンを直接 V_{CC} に短絡します (RESET 機能を使用しない場合)。

表 6-1. 機能表

リセット電圧 ⁽¹⁾	トリガ電圧 ⁽¹⁾	スレッシュホールド電圧 ⁽¹⁾	出力	放電スイッチ
Low	影響なし	影響なし	Low	オン
> 最大値	$< 1/3 \times V_{CC}$	影響なし ⁽²⁾	High	オフ
> 最大値	$> 1/3 \times V_{CC}$	$> 2/3 \times V_{CC}$	Low	オン
> 最大値	$> 1/3 \times V_{CC}$	$< 2/3 \times V_{CC}$	既に確かめたとおり	

(1) 表記の電圧レベルは公称値です。

(2) CONT ピンがオープンまたは $2/3 \times V_{CC}$ 。

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

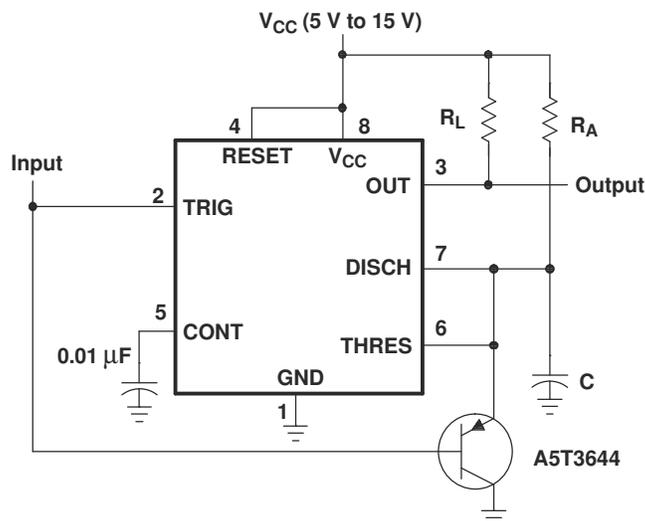
7.1 使用上の注意

Nx555 および Sx555 高精度タイマは、抵抗とコンデンサの充電遅延を使用して、時間遅延または動作周波数をプログラムできます。ここでは、設計手順について簡単に説明します。

7.2 代表的なアプリケーション

7.2.1 ミッシングパルス検出器

図 7-1 に示す回路は、パルス列において連続するパルス間の欠落、または異常に長いパルス間隔を検出するために使用できます。モノステーブル回路のタイミング間隔は、入力パルス列のパルス間隔がタイミング間隔より短い限り、連続的に再トリガされます。パルス間隔が長い、パルスの欠落、またはパルス列が終了すると、タイミング間隔を完了でき、その結果 図 7-2 に示すような出力パルスが生成されます。



Pin numbers shown are shown for the D, JG, P, PS, and PW packages.

図 7-1. ミッシングパルス検出器回路

7.2.1.1 設計要件

入力フォルト (パルス消失) は入力 High である必要があります。入力が Low レベルに張り付いた状態は、タイミングコンデンサ (C) が放電されたままとなるため、検出できません。

7.2.1.2 詳細な設計手順

$R_A \times C$ が [最大通常入力 High 時間] より大きくなるように、 R_A および C を選択します。 R_L は V_{OH} を改善しますが、TTL との互換性には必要ありません。

7.2.1.3 アプリケーション曲線

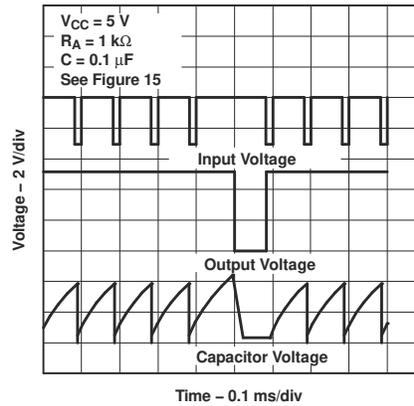
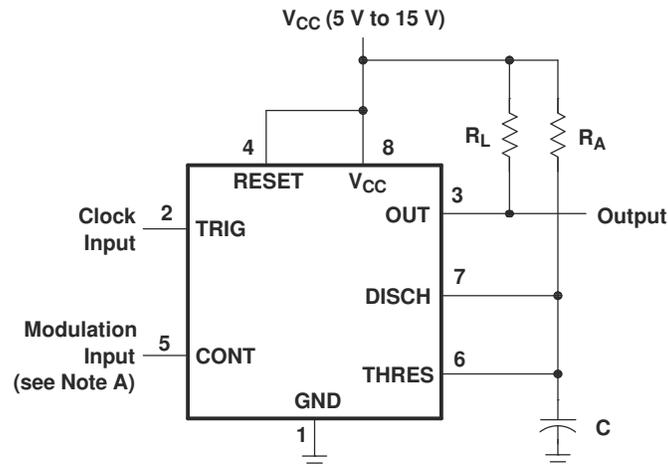


図 7-2. ミッシング パルス検出器の完了タイミング波形

7.2.2 パルス幅変調

タイマの動作は、内部のしきい値電圧およびトリガ電圧を変調することで変更できます。これは、CONT に外部電圧 (または電流) を印加することで実現されます。図 7-3 に、パルス幅変調の回路を示します。連続入力パルス列によってモノステーブル回路がトリガされ、制御信号によってスレッシュホールド電圧が変調されます。結果として生じる出力パルス幅変調を 図 7-4 に示します。正弦波変調信号が表示されていますが、任意の波形を使用できます。



Pin numbers shown are for the D, JG, P, PS, and PW packages.
NOTE A: The modulating signal can be direct or capacitively coupled to CONT. For direct coupling, the effects of modulation source voltage and impedance on the bias of the timer should be considered.

図 7-3. パルス幅変調回路

7.2.2.1 設計要件

クロック入力の V_{OL} および V_{OH} レベルは、それぞれ V_{CC} の $1/3$ よりも低く、あるいは高くする必要があります。変調入力 はグラウンドから V_{CC} まで変動する可能性があります。このアプリケーションは、非線形の伝達関数を許容する必要があります。コンデンサの電荷は、負の指数曲線の RC をベースとしているため、変調入力とパルス幅との関係は線形ではありません。

7.2.2.2 詳細な設計手順

$R_A \times C = 1/4$ [クロック入力周期] になるよう、 R_A および C を選択します。 R_L は V_{OH} を改善しますが、TTL との互換性には必要ありません。

7.2.2.3 アプリケーション曲線

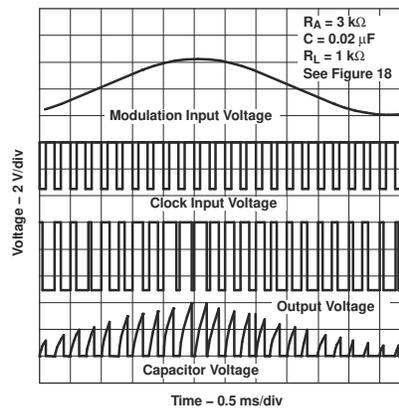
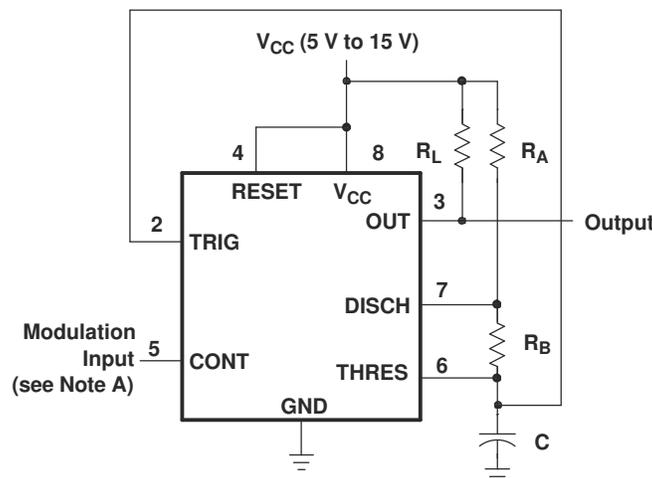


図 7-4. パルス幅変調波形

7.2.3 パルス位置変調

図 7-5 に示すように、これらのタイマはいずれもパルス位置変調器として使用できます。このアプリケーションでは、スレッショルド電圧を変調することで、フリーランニング発振器の時間遅延を変調します。図 7-6 に、このようなタイプの回路の三角波変調信号を示しますが、任意の波形を使用できます。



Pin numbers shown are for the D, JG, P, PS, and PW packages.

NOTE A: The modulating signal can be direct or capacitively coupled to CONT. For direct coupling, the effects of modulation source voltage and impedance on the bias of the timer should be considered.

図 7-5. パルス位置変調回路

7.2.3.1 設計要件

DC 結合変調入力と AC 結合変調入力のどちらも、タイミング コンデンサの電圧上限スレッショルドと電圧下限スレッショルドを変更します。周波数とデューティ サイクルはどちらも変調電圧によって変化します。

7.2.3.2 詳細な設計手順

公称出力周波数およびデューティ サイクルは、[セクション 6.3.2](#) の式を使用して決定できます。 R_L は V_{OH} を改善しますが、 R_L は TTL との互換性には必要ありません。

7.2.3.3 アプリケーション曲線

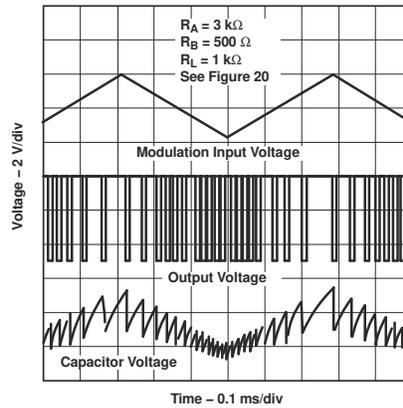
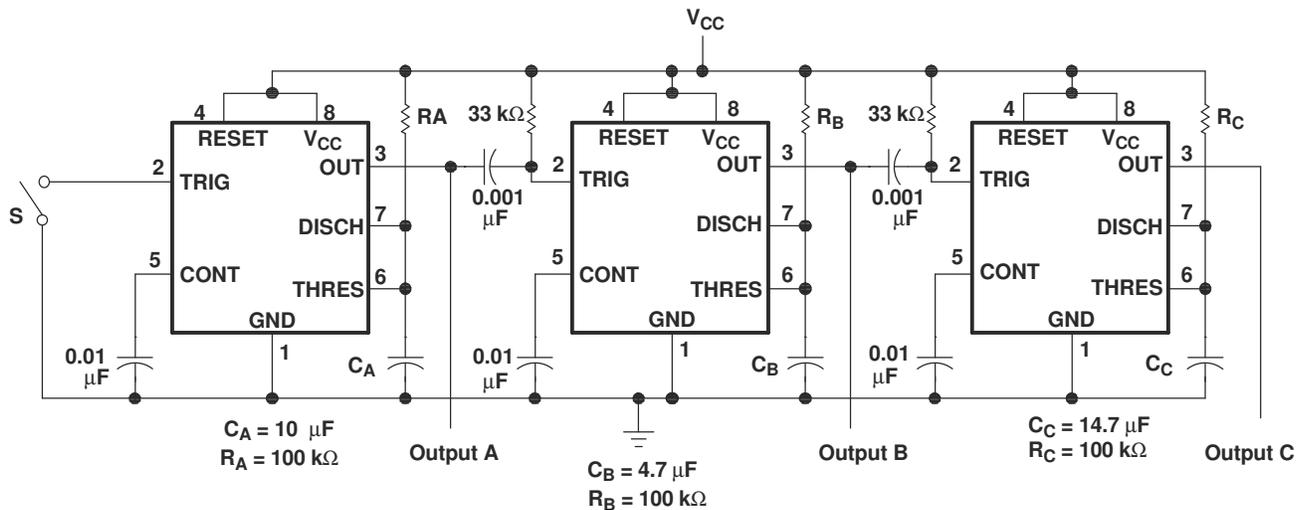


図 7-6. パルス位置変調波形

7.2.4 シーケンシャル タイマ

コンピュータなどの多くのアプリケーションでは、起動時に条件を初期化するための信号が必要です。試験装置などの他のアプリケーションでは、試験信号を順番に起動する必要があります。これらのタイミング回路は、このようなシーケンシャル制御を実現するために接続することができます。これらのタイマは、非安定回路または単安定回路接続のさまざまな組み合わせで使用でき、また変調ありまたは変調なしで使用できるため、非常に柔軟な波形制御が可能です。[図 7-7](#) に、多くのシステムで使用可能なアプリケーションを含むシーケンサ回路を示し、[図 7-8](#) に、その出力波形を示します。



Pin numbers shown are for the D, JG, P, PS, and PW packages.

NOTE A: S closes momentarily at $t = 0$.

図 7-7. シーケンシャル タイマ回路

7.2.4.1 設計要件

シーケンシャル タイマ アプリケーションは、複数の単一安定タイマをチェーン接続します。接続用の部品は、 $33\text{k}\Omega$ の抵抗および $0.001\mu\text{F}$ のコンデンサです。出力の High から Low へのエッジは、 $10\mu\text{s}$ スタート パルスを次の単安定出力に渡します。

7.2.4.2 詳細な設計手順

タイミング抵抗およびコンデンサは、式 $t_w = 1.1 \times R \times C$ を用いて選ぶことができます。

7.2.4.3 アプリケーション曲線

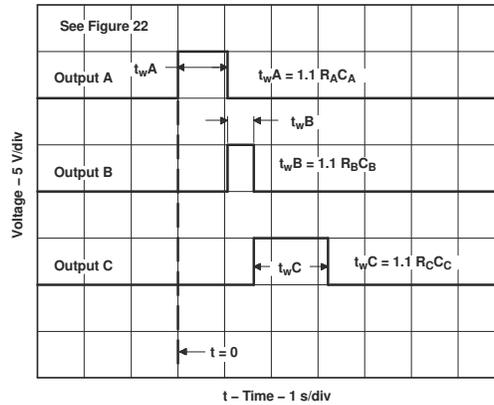


図 7-8. シーケンシャル タイマの波形

7.3 電源に関する推奨事項

Nx555 および Sx555 の高精度タイマは、4.5V～16V (SE555 は 18V) の入力電源電圧範囲で動作するように設計されています。V_{CC} からグラウンドピンへのバイパスコンデンサの使用を強く推奨します。セラミックの 0.1μF コンデンサで十分です。

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision J (February 2025) to Revision K (March 2026)	Page
「代表的特性」セクションのすべてのデバイス特性曲線を更新	8

Changes from Revision I (September 2014) to Revision J (February 2025)	Page
「アプリケーション」で最終製品の一覧を更新.....	1
「製品情報」表を更新	1
「絶対最大定格」からパッケージの熱インピーダンス仕様を削除し、更新されたパッケージ別の熱仕様を含む「熱に関する情報」表を追加	4
「散逸電力定格」を削除し、保存温度仕様を「絶対最大定格」に移動	4
「ESD 定格」表を追加	4
「推奨動作条件」の重複していた入力電圧仕様を削除	4
「動作特性」表のタイトルを「スイッチング特性」に変更し、値は設計または特性によって決定されるもので、製造試験によるものではないことを明確化.....	7
「スイッチング特性」のタイミング間隔仕様の初期誤差を削除し、出力の立ち上がり / 立ち下がり時間がそれぞれ 20% ~ 80%、80% ~ 20%であることを明確化.....	7
機能ブロック図を簡素化した回路図に変更し、「概要」に移動.....	10
機能ブロック図を更新.....	10

- 表 6-1「機能表」に CONT ピンの表の注を追加 13
-

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
JM38510/10901BPA	Active	Production	CDIP (JG) 8	50 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510 /10901BPA
JM38510/10901BPA.A	Active	Production	CDIP (JG) 8	50 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510 /10901BPA
NA555D	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 105	NA555
NA555DR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	NA555
NA555DR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	NA555
NA555P	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU SN	N/A for Pkg Type	-40 to 105	NA555P
NA555P.A	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 105	NA555P
NA555PE4	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 105	NA555P
NA555PE4.A	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 105	NA555P
NE555D	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	0 to 70	NE555
NE555DR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	0 to 70	NE555
NE555DR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	NE555
NE555DR1G4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	NE555
NE555DR1G4.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	NE555
NE555DRG4	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	0 to 70	NE555
NE555P	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU SN	N/A for Pkg Type	0 to 70	NE555P
NE555P.A	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	NE555P
NE555PE4	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	NE555P
NE555PE4.A	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	NE555P
NE555PS	Active	Production	SO (PS) 8	80 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-	N555
NE555PS.A	Active	Production	SO (PS) 8	80 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N555
NE555PSR	Active	Production	SO (PS) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N555
NE555PSR.A	Active	Production	SO (PS) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N555
NE555PW	Obsolete	Production	TSSOP (PW) 8	-	-	Call TI	Call TI	0 to 70	N555
NE555PWR	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N555
NE555PWR.A	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N555
SA555D	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 85	SA555
SA555DR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 85	SA555

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SA555DR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SA555
SA555DRG4	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 85	SA555
SA555P	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SA555P
SA555P.A	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SA555P
SE555D	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-55 to 125	SE555
SE555DG4	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-55 to 125	SE555
SE555DR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	SE555
SE555DR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	SE555
SE555DRG4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	SE555
SE555DRG4.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	SE555
SE555FKB	Active	Production	LCCC (FK) 20	55 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	SE555FKB
SE555FKB.A	Active	Production	LCCC (FK) 20	55 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	SE555FKB
SE555JG	Active	Production	CDIP (JG) 8	50 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	SE555JG
SE555JG.A	Active	Production	CDIP (JG) 8	50 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	SE555JG
SE555JGB	Active	Production	CDIP (JG) 8	50 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	SE555JGB
SE555JGB.A	Active	Production	CDIP (JG) 8	50 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	SE555JGB
SE555P	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	SE555P
SE555P.A	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	SE555P

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

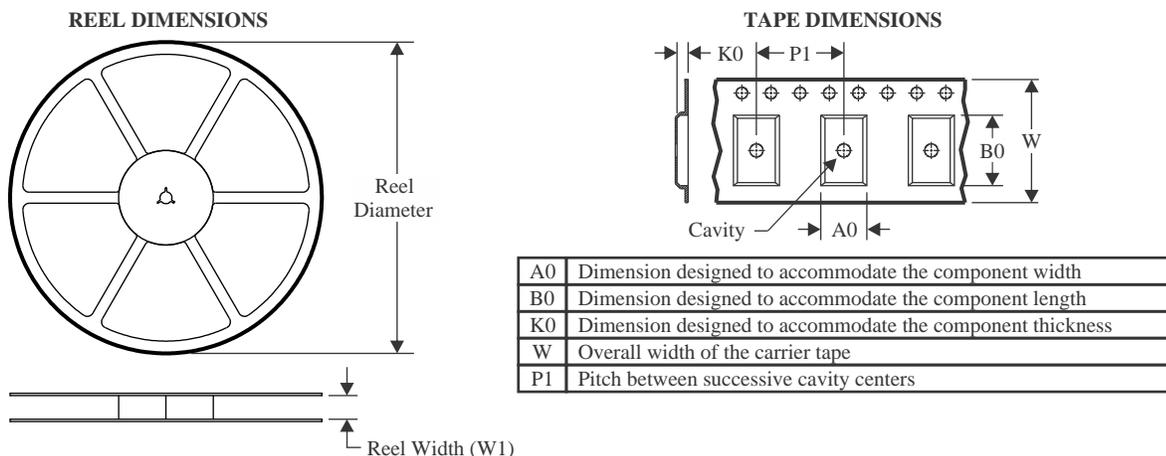
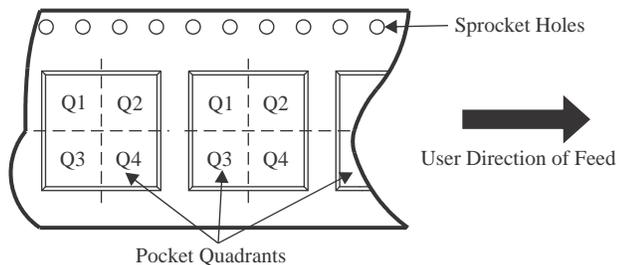
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SE555, SE555M :

- Catalog : [SE555](#)
- Military : [SE555M](#)
- Space : [SE555-SP](#), [SE555-SP](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications
- Space - Radiation tolerant, ceramic packaging and qualified for use in Space-based application

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


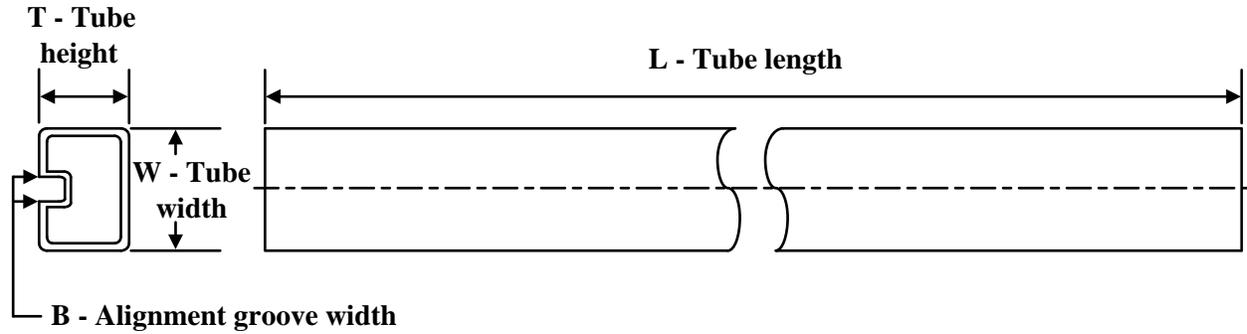
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
NA555DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
NE555DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
NE555DR1G4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
NE555PSR	SO	PS	8	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
NE555PWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
SA555DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SE555DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SE555DRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
NA555DR	SOIC	D	8	2500	353.0	353.0	32.0
NE555DR	SOIC	D	8	2500	353.0	353.0	32.0
NE555DR1G4	SOIC	D	8	2500	353.0	353.0	32.0
NE555PSR	SO	PS	8	2000	353.0	353.0	32.0
NE555PWR	TSSOP	PW	8	2000	353.0	353.0	32.0
SA555DR	SOIC	D	8	2500	353.0	353.0	32.0
SE555DR	SOIC	D	8	2500	350.0	350.0	43.0
SE555DRG4	SOIC	D	8	2500	350.0	350.0	43.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
NA555P	P	PDIP	8	50	506	13.97	11230	4.32
NA555P	P	PDIP	8	50	506.1	9	600	5.4
NA555P.A	P	PDIP	8	50	506	13.97	11230	4.32
NA555P.A	P	PDIP	8	50	506.1	9	600	5.4
NA555PE4	P	PDIP	8	50	506	13.97	11230	4.32
NA555PE4.A	P	PDIP	8	50	506	13.97	11230	4.32
NE555P	P	PDIP	8	50	506.1	9	600	5.4
NE555P	P	PDIP	8	50	506	13.97	11230	4.32
NE555P.A	P	PDIP	8	50	506.1	9	600	5.4
NE555P.A	P	PDIP	8	50	506	13.97	11230	4.32
NE555PE4	P	PDIP	8	50	506	13.97	11230	4.32
NE555PE4.A	P	PDIP	8	50	506	13.97	11230	4.32
NE555PS	PS	SOP	8	80	530	10.5	4000	4.1
NE555PS.A	PS	SOP	8	80	530	10.5	4000	4.1
SA555P	P	PDIP	8	50	506	13.97	11230	4.32
SA555P.A	P	PDIP	8	50	506	13.97	11230	4.32
SE555FKB	FK	LCCC	20	55	506.98	12.06	2030	NA
SE555FKB.A	FK	LCCC	20	55	506.98	12.06	2030	NA
SE555P	P	PDIP	8	50	506	13.97	11230	4.32
SE555P.A	P	PDIP	8	50	506	13.97	11230	4.32

GENERIC PACKAGE VIEW

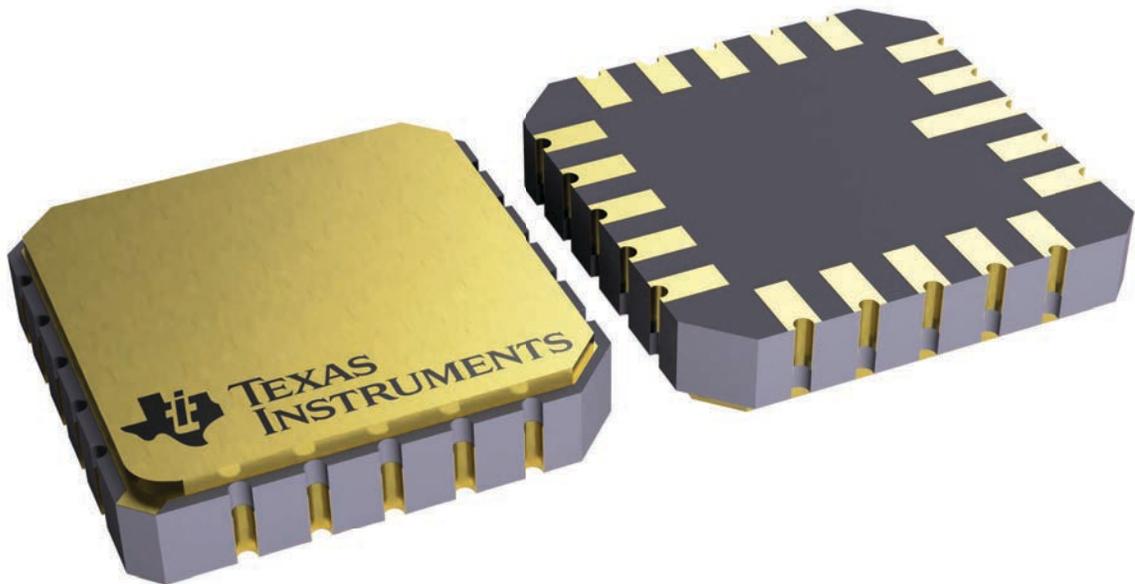
FK 20

LCCC - 2.03 mm max height

8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4229370VA\



D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

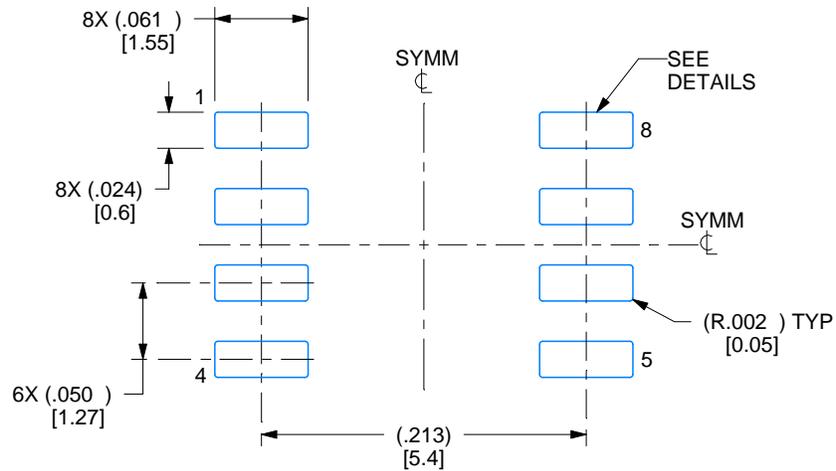
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed $.006$ [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

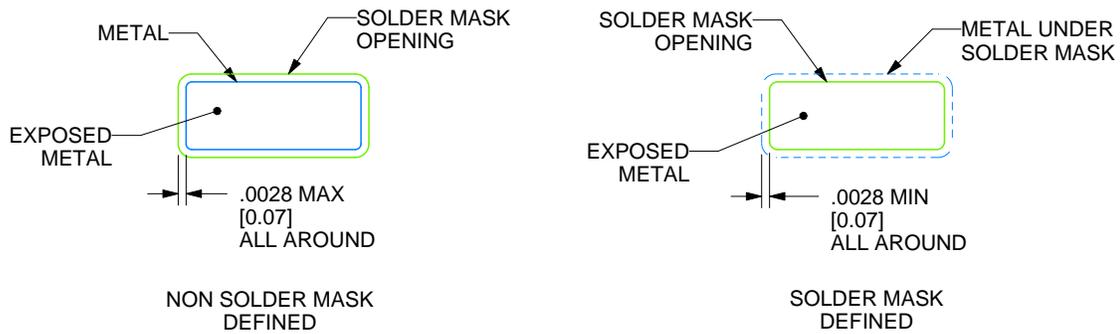
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

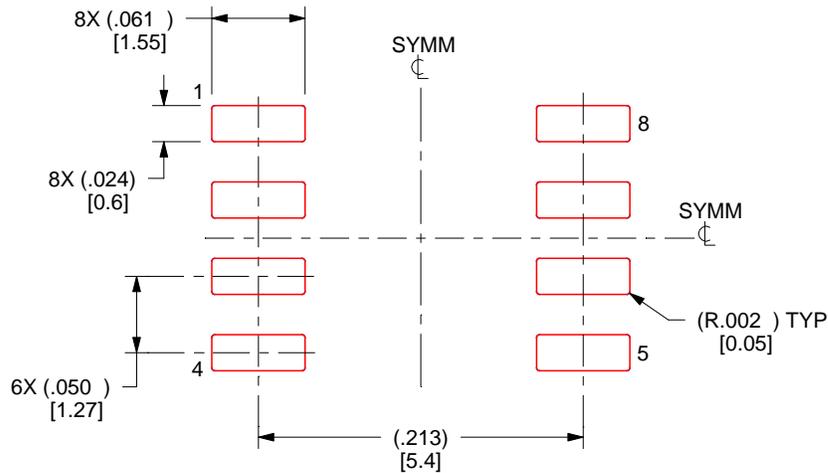
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

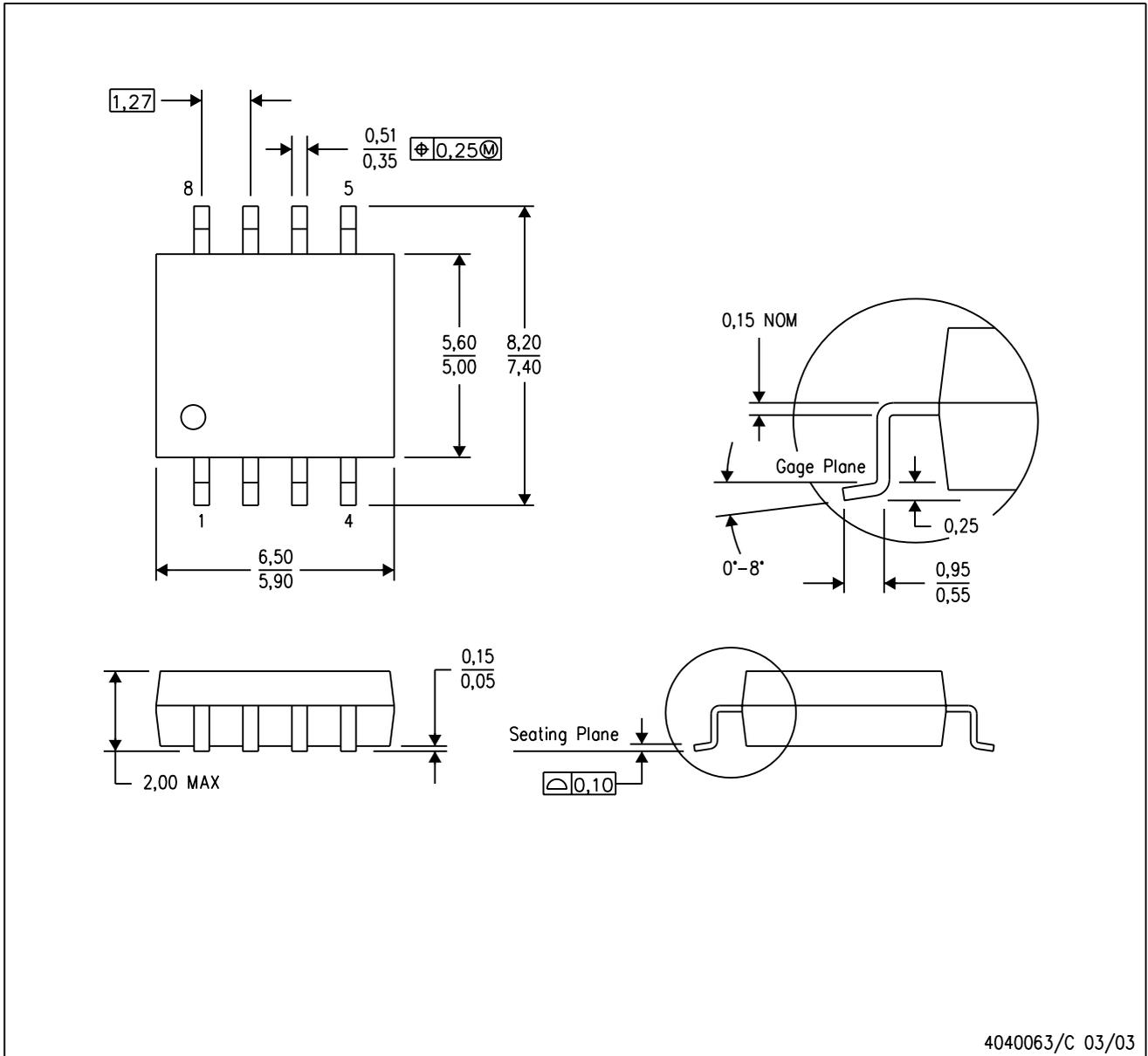
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

PS (R-PDSO-G8)

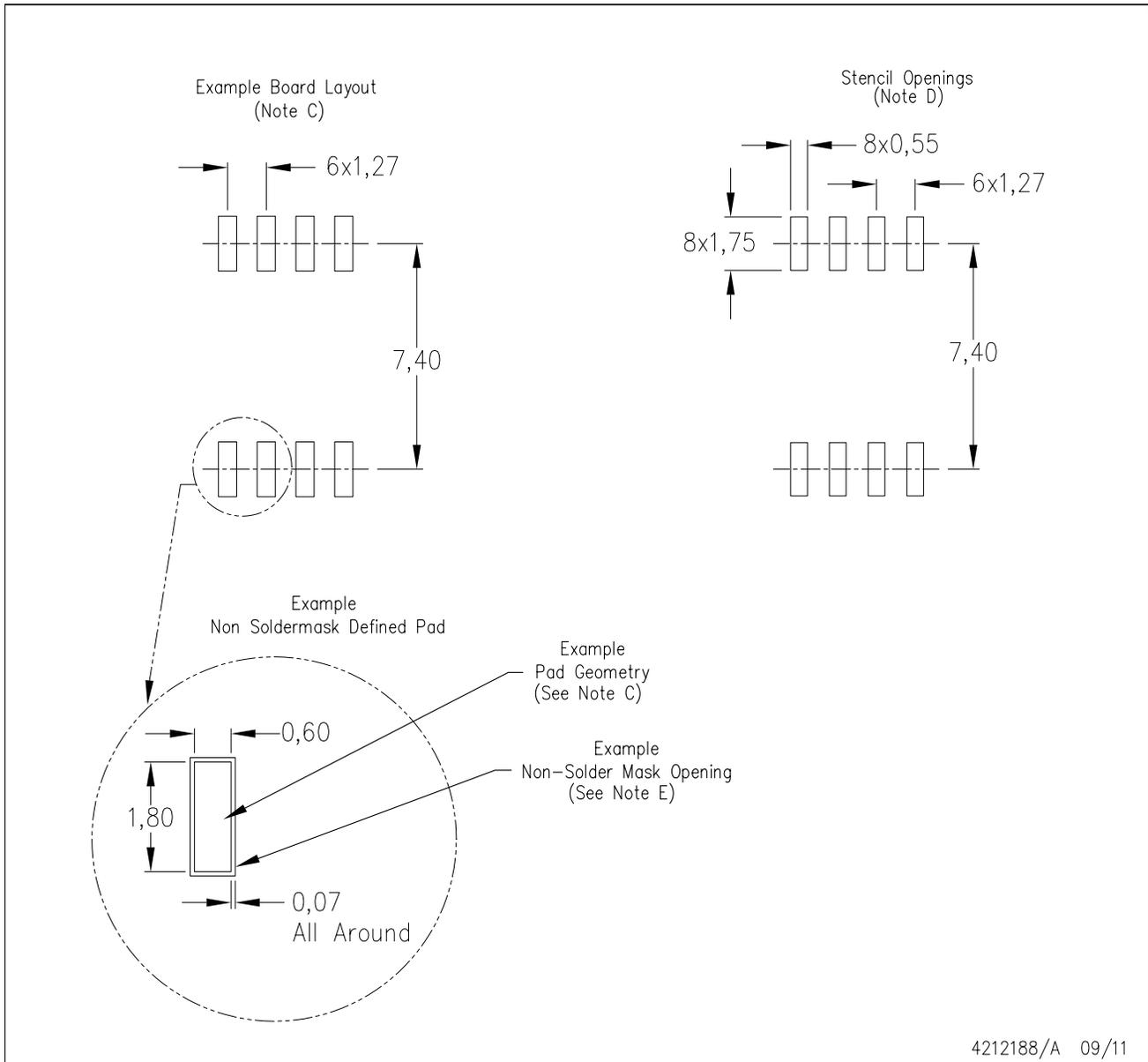
PLASTIC SMALL-OUTLINE PACKAGE



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

PS (R-PDSO-G8)

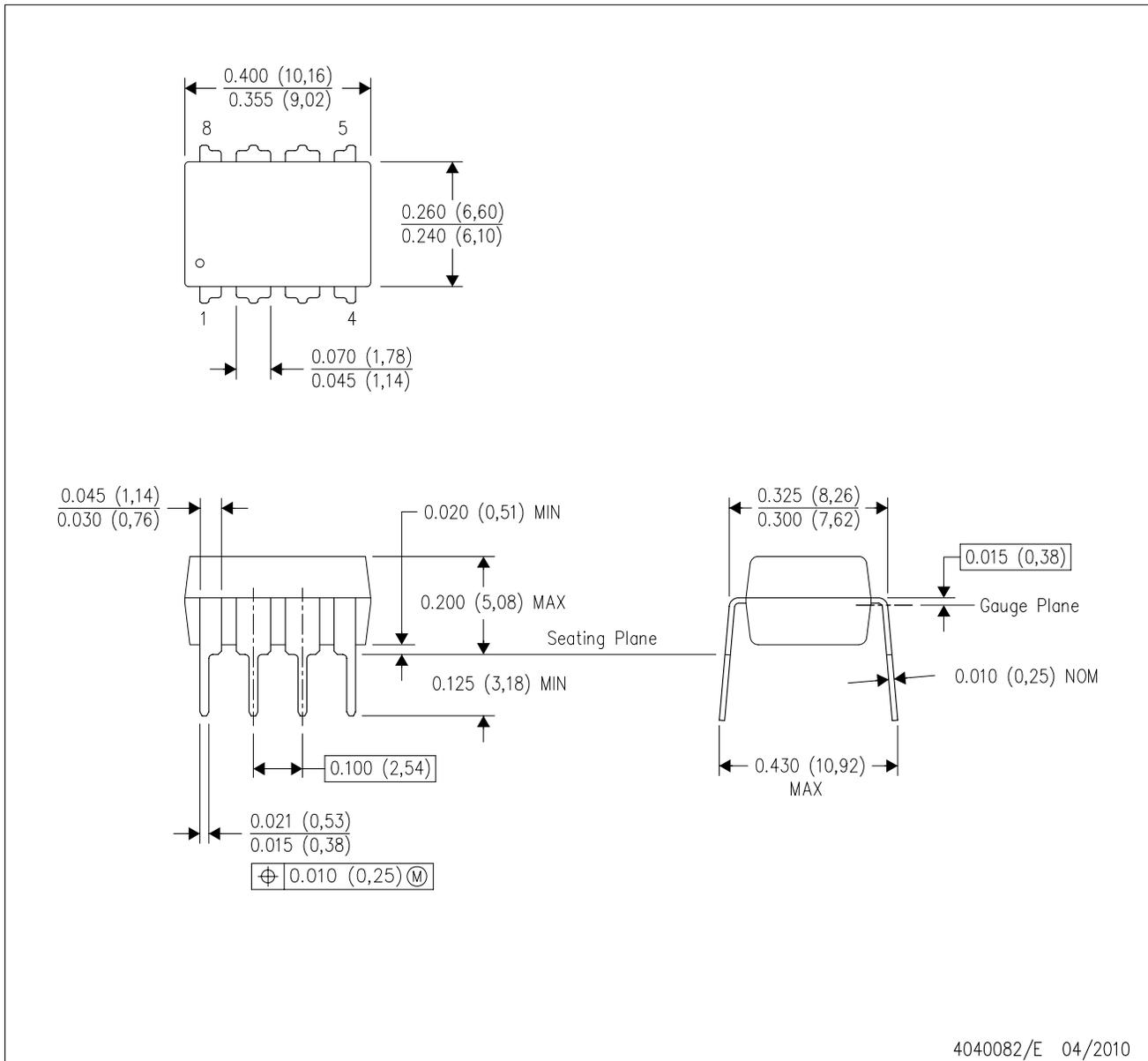
PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Publication IPC-7351 is recommended for alternate designs.
 - D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

P (R-PDIP-T8)

PLASTIC DUAL-IN-LINE PACKAGE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. Falls within JEDEC MS-001 variation BA.

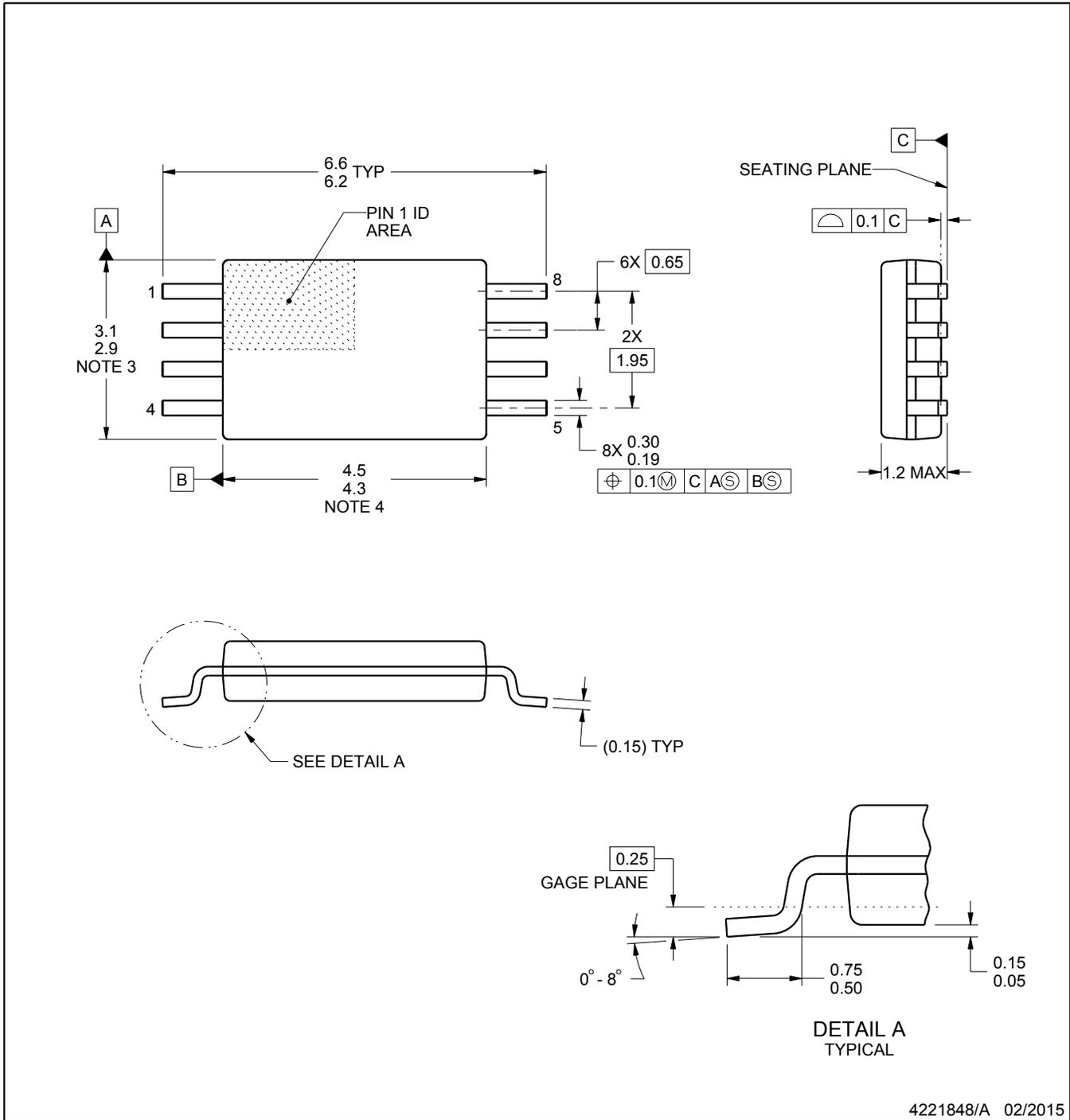
PW0008A



PACKAGE OUTLINE

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4221848/A 02/2015

NOTES:

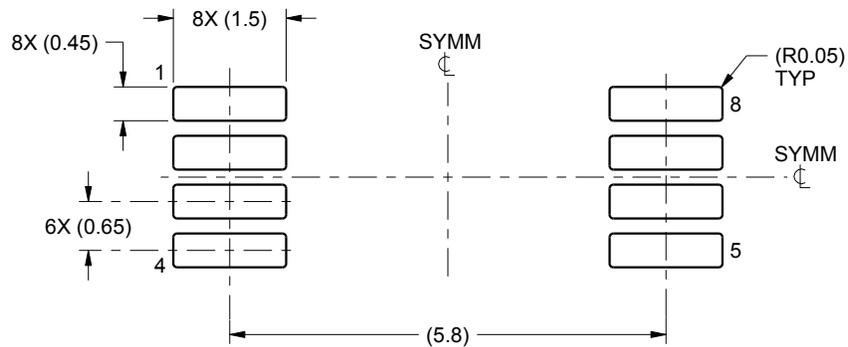
- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
- This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
- Reference JEDEC registration MO-153, variation AA.

EXAMPLE BOARD LAYOUT

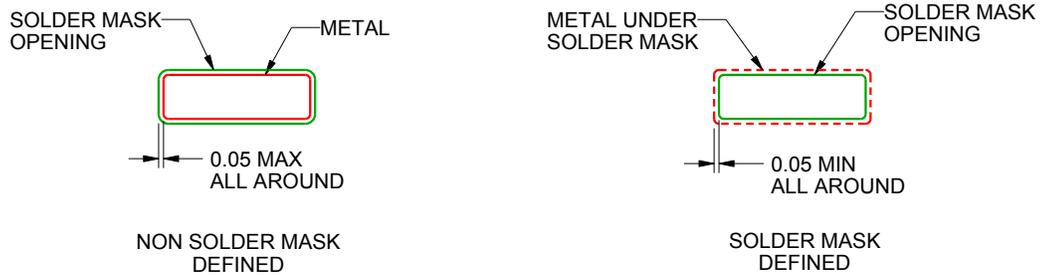
PW0008A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

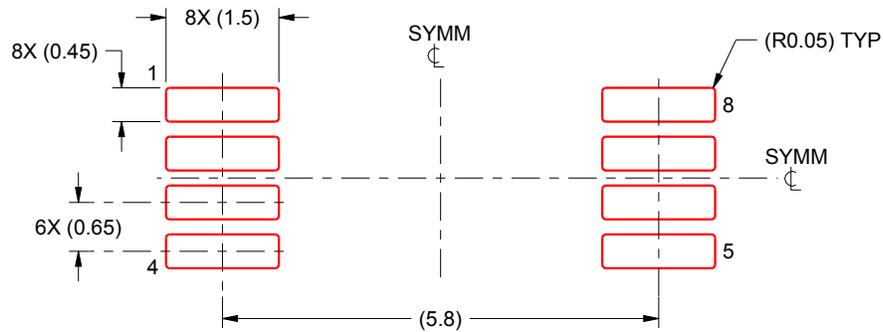
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0008A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

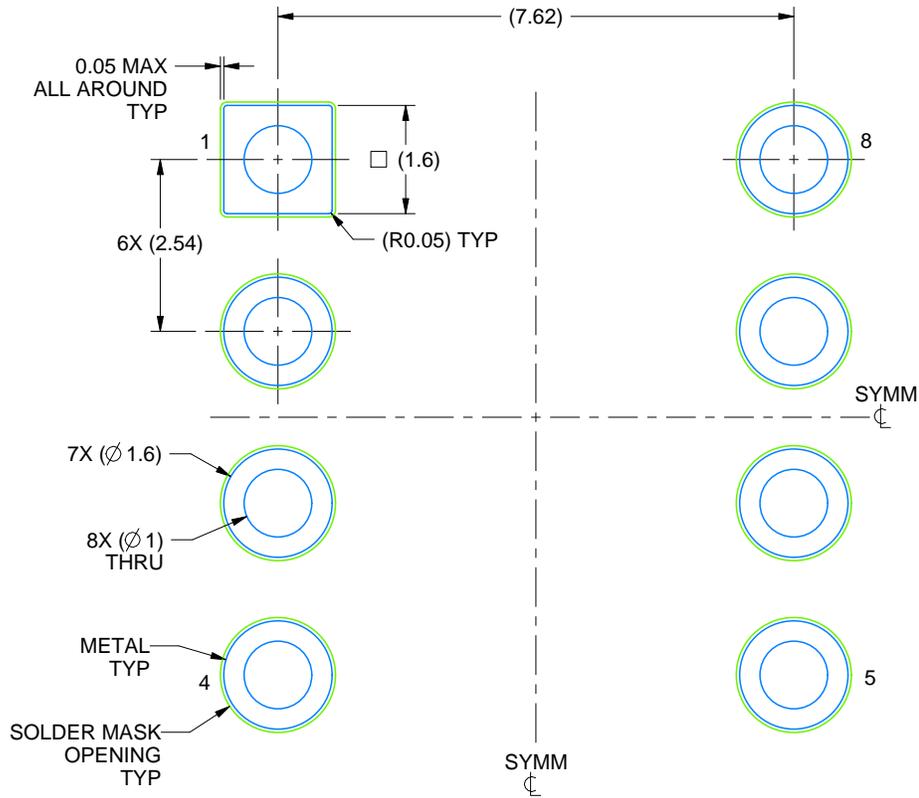
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

EXAMPLE BOARD LAYOUT

JG0008A

CDIP - 5.08 mm max height

CERAMIC DUAL IN-LINE PACKAGE



LAND PATTERN EXAMPLE
NON SOLDER MASK DEFINED
SCALE: 9X

4230036/A 09/2023

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月