

SNx4LVC02A クワッド、2 入力、正論理 NOR ゲート

1 特長

- 1.65V ~ 3.6V で動作
- 40°C ~ 85°C、
-40°C ~ 125°C、-55°C ~ 125°C で動作を規定
- 5.5V までの入力電圧に対応
- 最大 t_{pd} 4.4ns (3.3V 時)
- V_{OLP} 標準値 (出力グランド バウンス)
<0.8V ($V_{CC} = 3.3V$ 、 $T_A = 25^\circ C$)
- V_{OHV} 標準値 (出力 V_{OH} アンダーシュート)
>2V ($V_{CC} = 3.3V$ 、 $T_A = 25^\circ C$)
- JESD 17 準拠で 250mA 超のラッチアップ性能

2 概要

入力は 3.3V または 5V のデバイスから駆動できます。この機能により、3.3V と 5V が混在するシステム環境での変換装置としてこのデバイスを使用できます。

デバイスは、ブール関数 $Y = \overline{A + B}$ すなわち $Y = \overline{A} \cdot \overline{B}$ を正論理で実行します。

入力は 3.3V または 5V のデバイスから駆動できます。この機能により、3.3V と 5V が混在するシステム環境での変換装置としてこのデバイスを使用できます。

製品情報

部品番号	パッケージ サイズ ⁽¹⁾	パッケージ サイズ ⁽²⁾	本体サイズ ⁽³⁾
SNx4LVC02A	BQA (WQFN, 14)	3mm × 2.5mm	3mm × 2.5mm
	D (SOIC, 14)	8.65mm × 6mm	8.65mm × 3.9mm
	DB (SSOP, 14)	6.2mm × 7.8mm	6.2mm × 5.3mm
	NS (SOP, 14)	10.2mm × 7.8mm	10.3mm × 5.3mm
	PW (TSSOP, 14)	5mm × 6.4mm	5mm × 4.4mm
	RGY (VQFN, 14)	3.5mm × 3.5mm	3.5mm × 3.5mm
	FK (LCCC, 20)	8.9mm × 8.9mm	8.89mm × 8.89mm
	J (CDIP, 14)	19.55mm × 7.9mm	19.55mm × 6.7mm
W (CFP, 14)	9.21mm × 9mm	9.21mm × 6.28mm	

- (1) 詳細については、[セクション 10](#) を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
- (3) 本体サイズ (長さ × 幅) は公称値であり、ピンは含まれません。



各ゲートの論理図 (正論理)



Table of Contents

1 特長	1	6 Detailed Description	9
2 概要	1	6.1 Functional Block Diagram.....	9
3 Pin Configuration and Functions	3	6.2 Device Functional Modes.....	9
4 Specifications	4	7 Application and Implementation	10
4.1 Absolute Maximum Ratings	4	7.1 Power Supply Recommendations.....	10
4.2 ESD Ratings.....	4	7.2 Layout.....	10
4.3 Recommended Operating Conditions, SN54LVC02A.....	4	8 Device and Documentation Support	11
4.4 Recommended Operating Conditions, SN74LVC02A	4	8.1 Documentation Support.....	11
4.5 Thermal Information.....	5	8.2 ドキュメントの更新通知を受け取る方法.....	11
4.6 Electrical Characteristics, SN54LVC02A	5	8.3 サポート・リソース.....	11
4.7 Electrical Characteristics, SN74LVC02A	6	8.4 Trademarks.....	11
4.8 Switching Characteristics, SN54LVC02A	6	8.5 静電気放電に関する注意事項.....	11
4.9 Switching Characteristics, SN74LVC02A	6	8.6 用語集.....	11
4.10 Operating Characteristics.....	7	9 Revision History	11
5 Parameter Measurement Information	8	10 Mechanical, Packaging, and Orderable Information	12

3 Pin Configuration and Functions

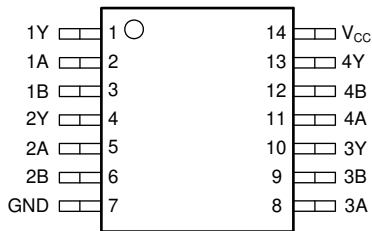


図 3-1. SN54LVC02A J or W Package, 14-Pin (Top View)

SN74LVC02A D, DB, NS, or PW Package, 14-Pin SOIC, SSOP, SOP or TSSOP (Top View)

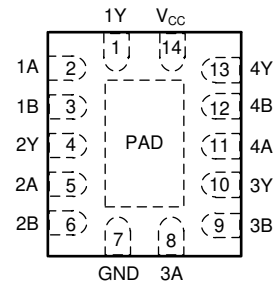


図 3-2. SN74LVC02A RGY or BQA Package, 14-Pin VQFN or WQFN (Top View)

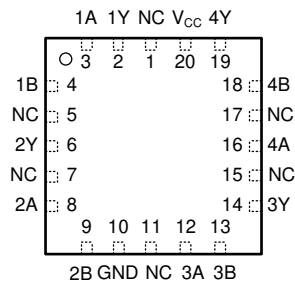


図 3-3. SN54LVC02A FK Package, 20-Pin (Top View)

表 3-1. Pin Functions

NAME	PIN		TYPE ⁽¹⁾	DESCRIPTION
	SN74LVC02A D, DB, NS, PW, RGY, BQA	SN54LVC02A J, W FK		
1Y	1	1 2	O	1Y Output
1A	2	2 3	I	1A Input
1B	3	3 4	I	1B Input
2Y	4	4 6	O	2Y Output
2A	5	5 8	I	2A Input
2B	6	6 9	I	2B Input
GND	7	7 10	—	Ground Pin
3A	8	8 12	I	3A Input
3B	9	9 13	I	3B Input
3Y	10	20 14	O	3Y Output
4A	11	11 16	I	4A Input
4B	12	12 18	I	4B Input
4Y	13	13 19	O	4Y Output
V _{CC}	14	14 20	—	Power Pin
NC	—	— 1, 5, 7, 11, 15, 17	—	No Connection

(1) I = input, O = output

4 Specifications

4.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)

		MIN	MAX	UNIT
V _{CC}	Supply voltage range	-0.5	6.5	V
V _I	Input voltage range ⁽¹⁾	-0.5	6.5	V
V _O	Output voltage range ^{(1) (2)}	-0.5	V _{CC} + 0.5	V
I _{IK}	Input clamp current	V _I < 0	-50	mA
I _{OK}	Output clamp current	V _O < 0	-50	mA
I _O	Continuous output current		±50	mA
	Continuous current through V _{CC} or GND		±100	mA
T _{stg}	Storage temperature range	-65	150	°C
P _{tot}	Power dissipation	T _A = -40°C to 125°C ^{(3) (4)}	500	mW

(1) The input and output negative-voltage ratings may be exceeded if the input and output current ratings are observed.

(2) The value of V_{CC} is provided in the recommended operating conditions table.

(3) For the D package: above 70°C, the value of P_{tot} derates linearly with 8 mW/K.

(4) For the DB, NS, and PW packages: above 60°C, the value of P_{tot} derates linearly with 5.5 mW/K.

4.2 ESD Ratings

		VALUE	UNIT
V _(ESD)	Electrostatic discharge	Human-body model (HBM), per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±2000
		Charged device model (CDM), per ANSI/ESDA/JEDEC JS-002 ⁽²⁾	±1000

(1) JEDEC document JEP155 states that 500-V HBM allows safe manufacturing with a standard ESD control process.

(2) JEDEC document JEP157 states that 250-V CDM allows safe manufacturing with a standard ESD control process.

4.3 Recommended Operating Conditions, SN54LVC02A

		SN54LVC02A		UNIT
		-55°C to 125°C		
		MIN	MAX	
V _{CC}	Supply voltage	Operating	2	3.6
		Data retention only	1.5	
V _{IH}	High-level input voltage	V _{CC} = 2.7V to 3.6V		V
V _{IL}	Low-level input voltage	V _{CC} = 2.7V to 3.6V		V
V _I	Input voltage	0	5.5	V
V _O	Output voltage	0	V _{CC}	V
I _{OH}	High-level output current	V _{CC} = 2.7V	-12	mA
		V _{CC} = 3V	-24	
I _{OL}	Low-level output current	V _{CC} = 2.7V	12	mA
		V _{CC} = 3V	24	

4.4 Recommended Operating Conditions, SN74LVC02A

		SN74LVC02A						UNIT
		T _A = 25°C		-40°C to 85°C		-40°C to 125°C		
		MIN	MAX	MIN	MAX	MIN	MAX	
V _{CC}	Supply voltage	Operating	1.65	3.6	1.65	3.6	1.65	3.6
		Data retention only	1.5		1.5		1.5	

			SN74LVC02A						UNIT
			T _A = 25°C		–40°C to 85°C		–40°C to 125°C		
			MIN	MAX	MIN	MAX	MIN	MAX	
V _{IH}	High-level input voltage	V _{CC} = 1.65V to 1.95V	0.65 × V _{CC}		0.65 × V _{CC}		0.65 × V _{CC}		V
		V _{CC} = 2.3V to 2.7V	1.7		1.7		1.7		
		V _{CC} = 2.7V to 3.6V	2		2		2		
V _{IL}	Low-level input voltage	V _{CC} = 1.65V to 1.95V	0.35 × V _{CC}		0.35 × V _{CC}		0.35 × V _{CC}		V
		V _{CC} = 2.3V to 2.7 V	0.7		0.7		0.7		
		V _{CC} = 2.7V to 3.6 V	0.8		0.8		0.8		
V _I	Input voltage	0	5.5	0	5.5	0	5.5	V	
V _O	Output voltage	0	V _{CC}	0	V _{CC}	0	V _{CC}	V	
I _{OH}	High-level output current	V _{CC} = 1.65V	–4		–4		–4		mA
		V _{CC} = 2.3V	–8		–8		–8		
		V _{CC} = 2.7V	–12		–12		–12		
		V _{CC} = 3V	–24		–24		–24		
I _{OL}	Low-level output current	V _{CC} = 1.65V	4		4		4		mA
		V _{CC} = 2.3V	8		8		8		
		V _{CC} = 2.7V	12		12		12		
		V _{CC} = 3V	24		24		24		

4.5 Thermal Information

THERMAL METRIC ⁽¹⁾		SN74LVC02A						UNIT
		BQA (WQFN)	D (SOIC)	DB (SSOP)	NS (SOP)	PW (TSSOP)	RGY (VQFN)	
		14 PINS	14 PINS	14 PINS	14 PINS	14 PINS	14 PINS	
R _{θJA}	Junction-to-ambient thermal resistance	102.3	127.8	140.4	123.8	150.8	92.1	°C/W

(1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC package thermal metrics](#) application report.

4.6 Electrical Characteristics, SN54LVC02A

over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS	V _{CC}	SN54LVC02A			UNIT
			–55°C to 125°C			
			MIN	TYP	MAX	
V _{OH}	I _{OH} = –100µA	2.7V to 3.6V	V _{CC} – 0.2			V
	I _{OH} = –12mA	2.7V	2.2			
		3V	2.4			
V _{OL}	I _{OH} = –24mA	3V	2.2			V
	I _{OL} = 100µA	2.7V to 3.6V	0.2			
		2.7V	0.4			
I _I	V _I = 5.5V or GND	3.6V	±5			µA
		I _{CC}	V _I = V _{CC} or GND, I _O = 0	3.6V	10	
ΔI _{CC}	One input at V _{CC} – 0.6V, Other inputs at V _{CC} or GND	2.7V to 3.6V	500			µA
C _i	V _I = V _{CC} or GND	3.3V	5 ⁽¹⁾			pF

(1) T_A = 25°C

4.7 Electrical Characteristics, SN74LVC02A

over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS	V _{CC}	SN74LVC02A						UNIT		
			T _A = 25°C			–40°C to 85°C		–40°C to 125°C			
			MIN	TYP	MAX	MIN	MAX	MIN		MAX	
V _{OH}	I _{OH} = –100μA	1.65V to 3.6V	V _{CC} – 0.2			V _{CC} – 0.2		V _{CC} – 0.3		V	
	I _{OH} = –4mA	1.65V	1.29			1.2		1.05			
	I _{OH} = –8mA	2.3V	1.9			1.7		1.55			
	I _{OH} = –12mA	2.7V	2.2			2.2		2.05			
		3V	2.4			2.4		2.25			
I _{OH} = –24mA	3V	2.3			2.2		2				
V _{OL}	I _{OL} = 100μA	1.65V to 3.6V				0.1		0.2		V	
	I _{OL} = 4mA	1.65V				0.24		0.45			
	I _{OL} = 8mA	2.3V				0.3		0.7			
	I _{OL} = 12mA	2.7V				0.4		0.4			
	I _{OL} = 24mA	3V				0.55		0.55			
I _I	V _I = 5.5V or GND	3.6V				±1		±5		μA	
I _{CC}	V _I = V _{CC} or GND, I _O = 0	3.6V				1		10		μA	
ΔI _{CC}	One input at V _{CC} – 0.6 V, Other inputs at V _{CC} or GND	2.7V to 3.6V				500		500		5000	μA
C _i	V _I = V _{CC} or GND	3.3 V				5				pF	

4.8 Switching Characteristics, SN54LVC02A

over recommended operating free-air temperature range (unless otherwise noted) (see [Load Circuit and Voltage Waveforms](#))

PARAMETER	FROM (INPUT)	TO (OUTPUT)	V _{CC}	SN54LVC02A		UNIT
				–55°C to 125°C		
				MIN	MAX	
t _{pd}	A or B	Y	2.7V	5.4		ns
			3.3V ± 0.3V	1	4.4	

4.9 Switching Characteristics, SN74LVC02A

over recommended operating free-air temperature range (unless otherwise noted) (see [Load Circuit and Voltage Waveforms](#))

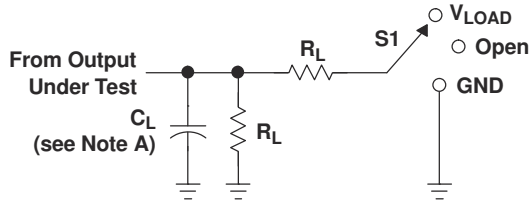
PARAMETER	FROM (INPUT)	TO (OUTPUT)	V _{CC}	SN74LVC02A						UNIT	
				T _A = 25°C			–40°C to 85°C		–40°C to 125°C		
				MIN	TYP	MAX	MIN	MAX	MIN		MAX
t _{pd}	A or B	Y	1.8V ± 0.15V	1	3.8	8.4	1	8.9	1	10.4	ns
			2.5V ± 0.2V	1	2.9	6.9	1	7.4	1	9.5	
			2.7V	1	3	5.2	1	5.4	1	7	
			3.3V ± 0.3V	1	3.6	4.2	1	4.4	1	5.5	
t _{sk(o)}			3.3V ± 0.3V				1		1.5		ns

4.10 Operating Characteristics

T_A = 25°C

PARAMETER		TEST CONDITIONS	V _{CC}	TYP	UNIT
C _{pd}	Power dissipation capacitance per gate	f = 10MHz	1.8V	7.5	pF
			2.5V	8.5	
			3.3V	9.5	

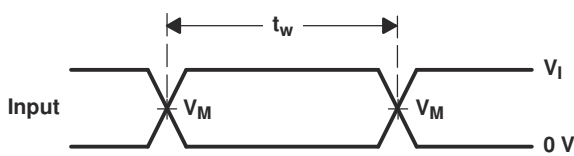
5 Parameter Measurement Information



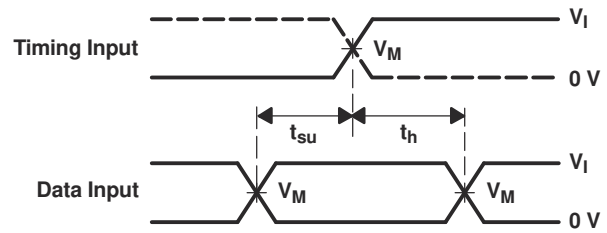
LOAD CIRCUIT

TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{LOAD}
t_{PHZ}/t_{PZH}	GND

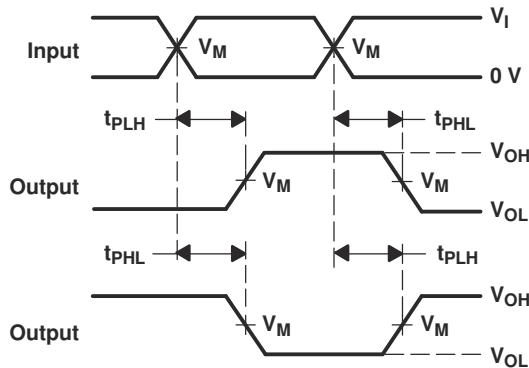
V_{CC}	INPUTS		V_M	V_{LOAD}	C_L	R_L	V_{Δ}
	V_I	t_r/t_f					
$1.8\text{ V} \pm 0.15\text{ V}$	V_{CC}	$\leq 2\text{ ns}$	$V_{CC}/2$	$2 \times V_{CC}$	30 pF	1 k Ω	0.15 V
$2.5\text{ V} \pm 0.2\text{ V}$	V_{CC}	$\leq 2\text{ ns}$	$V_{CC}/2$	$2 \times V_{CC}$	30 pF	500 Ω	0.15 V
2.7 V	2.7 V	$\leq 2.5\text{ ns}$	1.5 V	6 V	50 pF	500 Ω	0.3 V
$3.3\text{ V} \pm 0.3\text{ V}$	2.7 V	$\leq 2.5\text{ ns}$	1.5 V	6 V	50 pF	500 Ω	0.3 V



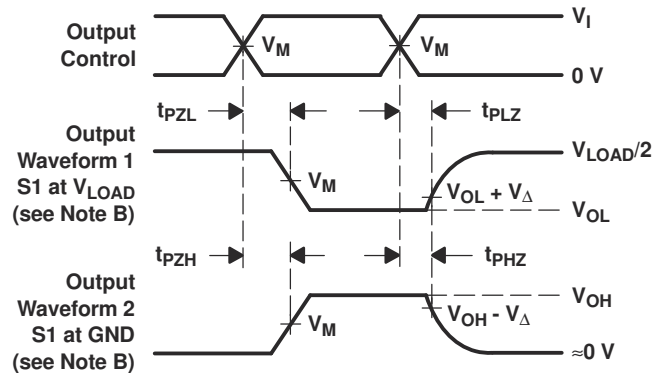
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

- NOTES:
- A. C_L includes probe and jig capacitance.
 - B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
 - C. All input pulses are supplied by generators having the following characteristics: PRR $\leq 10\text{ MHz}$, $Z_O = 50\ \Omega$.
 - D. The outputs are measured one at a time, with one transition per measurement.
 - E. t_{PLZ} and t_{PHZ} are the same as t_{dis} .
 - F. t_{PZL} and t_{PZH} are the same as t_{en} .
 - G. t_{PLH} and t_{PHL} are the same as t_{pd} .
 - H. All parameters and waveforms are not applicable to all devices.

图 5-1. Load Circuit and Voltage Waveforms

6 Detailed Description

6.1 Functional Block Diagram



図 6-1. Logic Diagram, Each Gate (Positive Logic)

6.2 Device Functional Modes

**Function Table
(Each Gate)**

INPUTS		OUTPUT
A	B	Y
H	X	L
X	H	L
L	L	H

7 Application and Implementation

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 Power Supply Recommendations

The power supply can be any voltage between the minimum and maximum supply voltage rating located in the *Recommended Operating Conditions*. Each V_{CC} terminal should have a good bypass capacitor to prevent power disturbance. A 0.1- μF capacitor is recommended for this device. It is acceptable to parallel multiple bypass caps to reject different frequencies of noise. The 0.1- μF and 1- μF capacitors are commonly used in parallel. The bypass capacitor should be installed as close to the power terminal as possible for best results, as shown in given example layout image.

7.2 Layout

7.2.1 Layout Guidelines

When using multiple-input and multiple-channel logic devices inputs must not ever be left floating. In many cases, functions or parts of functions of digital logic devices are unused; for example, when only two inputs of a triple-input AND gate are used or only 3 of the 4 buffer gates are used. Such unused input pins must not be left unconnected because the undefined voltages at the outside connections result in undefined operational states. All unused inputs of digital logic devices must be connected to a logic high or logic low voltage, as defined by the input voltage specifications, to prevent them from floating. The logic level that must be applied to any particular unused input depends on the function of the device. Generally, the inputs are tied to GND or V_{CC} , whichever makes more sense for the logic function or is more convenient.

7.2.2 Layout Example

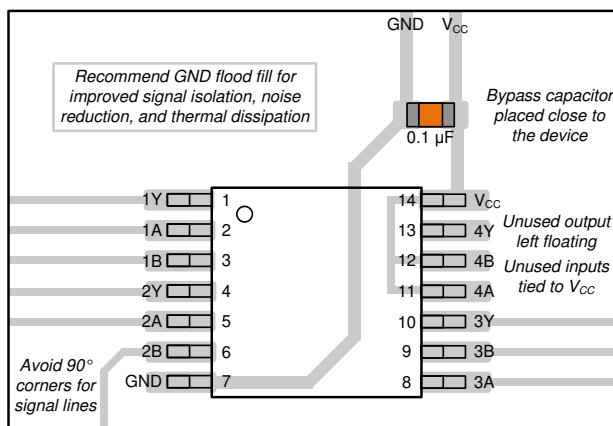


図 7-1. Example Layout for the SNx4LVC02A

8 Device and Documentation Support

8.1 Documentation Support

8.1.1 Related Documentation

The table below lists quick access links. Categories include technical documents, support and community resources, tools and software, and quick access to sample or buy.

表 8-1. Related Links

PARTS	PRODUCT FOLDER	SAMPLE & BUY	TECHNICAL DOCUMENTS	TOOLS & SOFTWARE	SUPPORT & COMMUNITY
SN54LVC02A	Click here	Click here	Click here	Click here	Click here
SN74LVC02A	Click here	Click here	Click here	Click here	Click here

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#) は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision S (May 2024) to Revision T (December 2024) Page

- Updated RθJA values: D = 86 to 127.8, all values in °C/W.....5

Changes from Revision R (March 2024) to Revision S (May 2024) Page

- Updated RθJA values: DB = 96 to 140.4, NS = 76 to 123.8, PW = 113 to 150.8, RGY = 47 to 92.1; Updated DB, NS, PW, and RGY packages for RθJC(top), RθJB, ΨJT, ΨJB, and RθJC(bot), all values in °C/W.....5

10 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated