

SN65LBC173、SN75LBC173 クワッド、低消費電力差動ライン レシーバ

1 特長

- ANSI 規格 EIA/TIA-422-B、EIA/TIA-423-B、RS-485 と ITU 勧告 V.10 および V.11 の要件を満たす、または超える
- 最小 20ns のパルス持続時間で動作するように設計
- ノイズの多い環境の、長いバス・ラインでのマルチポイント・バス伝送用に設計
- 入力感度: $\pm 200\text{mV}$
- 低い消費電力: 20mA 以下
- 開路フェイルセーフ設計
- SN75173 および AM26LS32 とピン互換

2 アプリケーション

- ファクトリ・オートメーション
- ATM / キャッシュ・カウンタ
- スマートグリッド
- AC / サーボ モータドライブ

3 概要

SN65LBC173 および SN75LBC173 は、3 ステート出力を搭載したモノリシック クワッド差動ライン レシーバです。どちらも、ANSI 規格 EIA/TIA-422-B、EIA/TIA-423-B、RS-485 と ITU 勧告 V.10 および V.11 の要件を満たすように設計されています。これらのデバイスは、最大で毎秒 10 メガビット、さらにそれ以上のデータ転送速度でのバランスのとれたマルチポイント バス伝送用に最適化されています。4 つのレシーバは 2 つの論理和イネーブル入力を

共有しています。1 つは High のとき、もう 1 つは Low のときアクティブです。

各レシーバは、高い入力インピーダンス、ノイズ耐性を高める入力ヒステリシス、12V ~ -7V の同相入力電圧範囲にわたって $\pm 200\text{mV}$ の入力感度を特長としています。フェイルセーフ設計により、入力が開路の場合、出力は常に High になります。どちらのデバイスも、低消費電力、高速スイッチング、堅牢性を実現するテキサス・インスツルメンツ独自の LinBiCMOS™ テクノロジーを使用して設計されています。

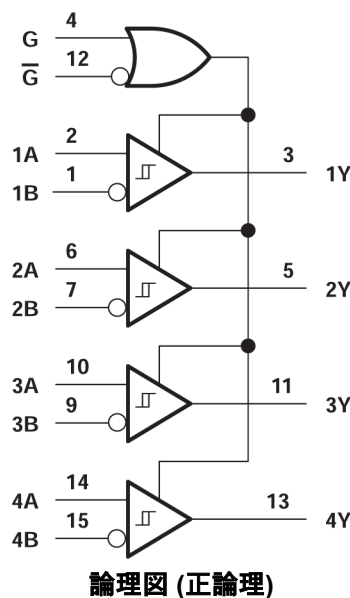
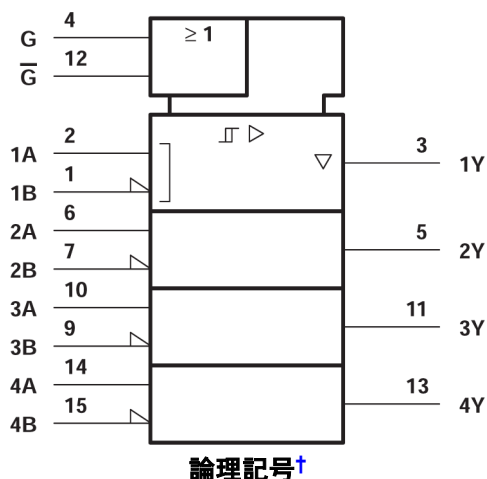
これらのデバイスは、SN75LBC172 または SN75LBC174 クワッド ライン ドライバとともに使用したとき、最高のパフォーマンスを発揮します。SN65LBC173 および SN75LBC173 は、16 ピンの DIP (N) および SOIC (D) パッケージで供給されます。

SN65LBC173 は -40°C ~ 85°C の産業用温度範囲で動作が規定されています。SN75LBC173 は 0°C ~ 70°C の商業用温度範囲で動作が規定されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ・サイズ (2)
SN65LBC173	D (SOIC, 16)	9.9mm × 6mm
SN75LBC173	N (PDIP, 16)	19.3mm × 9.4mm

- 詳細については、[セクション 10](#) を参照してください。
- パッケージ・サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。



† この記号は ANSI/IEEE 規格 91-1984 と IEC Publication 617-12 に準拠しています。



Table of Contents

1 特長	1	6 Parameter Measurement Information	8
2 アプリケーション	1	7 Detailed Description	10
3 概要	1	7.1 Device Functional Modes.....	10
4 Pin Configuration and Functions	3	8 Device and Documentation Support	11
5 Specifications	4	8.1 ドキュメントの更新通知を受け取る方法.....	11
5.1 Absolute Maximum Ratings.....	4	8.2 サポート・リソース.....	11
5.2 Dissipation Ratings.....	4	8.3 Trademarks.....	11
5.3 Thermal Information.....	4	8.4 静電気放電に関する注意事項.....	11
5.4 Recommended Operating Conditions.....	5	8.5 用語集.....	11
5.5 Electrical Characteristics.....	6	9 Revision History	11
5.6 Switching Characteristics.....	6	10 Mechanical, Packaging, and Orderable	
5.7 Typical Characteristics.....	7	Information	11

4 Pin Configuration and Functions

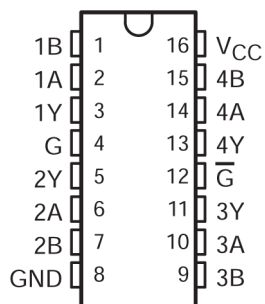


図 4-1. D or N Package
(Top View)

表 4-1. Pin Functions

PIN		TYPE ⁽¹⁾	DESCRIPTION
NAME	NO.		
1B	1	I	Channel 1 Inverting Differential Input
1A	2	I	Channel 1 Non-Inverting Differential Input
1Y	3	O	Channel 1 Output
G	4	I	Active High Receiver Enable
2Y	5	O	Channel 2 Output
2A	6	I	Channel 2 Non-Inverting Differential Input
2B	7	I	Channel 2 Inverting Differential Input
GND	8	GND	Device Ground
3B	9	I	Channel 3 Inverting Differential Input
3A	10	I	Channel 3 Non-Inverting Differential Input
3Y	11	O	Channel 3 Output
$\overline{G}$	12	I	Active Low Receiver Enable
4Y	13	O	Channel 4 Output
4A	14	I	Channel 4 Non-Inverting Differential Input
4B	15	I	Channel 4 Inverting Differential Input
V _{CC}	16	POW	Device Supply

(1) Signal Types: I = Input, O = Output, I/O = Input or Output.

5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

			MIN	MAX	UNIT
V _{CC} ⁽²⁾	Supply voltage range		−0.3	7	V
V _I	Input voltage (A or B inputs)			±25	V
V _{ID} ⁽³⁾	Differential input voltage			±25	V
	Voltage range at Y, G, $\overline{G}$		−0.3	V _{CC} + 0.5	V
	Continuous total dissipation		See Dissipation Rating Table		
T _A	Operating free-air temperature range:	SN65LBC173	−40	85	°C
		SN75LBC173	0	70	°C
T _{stg}	Storage temperature range		−65	150	°C
	Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds			260	°C

- (1) Stresses beyond those listed under “absolute maximum ratings” may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under “recommended operating conditions” is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) All voltage values are with respect to GND.
- (3) Differential input voltage is measured at the noninverting input with respect to the corresponding inverting input.

5.2 Dissipation Ratings

PACKAGE	$T_A \leq 25^\circ\text{C}$ POWER RATING	DERATING FACTOR ABOVE $T_A = 25^\circ\text{C}$	$T_A = 70^\circ\text{C}$ POWER RATING	$T_A = 85^\circ\text{C}$ POWER RATING
D	1100 mW	8.7 mW/°C	708 mW	578 mW
N	1150 mW	9.2 mW/°C	736 mW	598 mW

5.3 Thermal Information

THERMAL METRIC ⁽¹⁾		SOIC (D)	PDIP (N)	UNIT
		16 Pins	16 Pins	
$R_{\theta JA}$	Junction-to-ambient thermal resistance	84.6	60.6	°C/W
$R_{\theta JC(top)}$	Junction-to-case (top) thermal resistance	43.5	48.1	°C/W
$R_{\theta JB}$	Junction-to-board thermal resistance	43.1	40.6	°C/W
Ψ_{JT}	Junction-to-top characterization parameter	10.4	27.5	°C/W
Ψ_{JB}	Junction-to-board characterization parameter	42.8	40.3	°C/W
$R_{\theta JC(bot)}$	Junction-to-case (bottom) thermal resistance	N/A	N/A	°C/W

- (1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC package thermal metrics](#) application report.

5.4 Recommended Operating Conditions

		MIN	NOM	MAX	UNIT
Supply voltage, V _{CC}		4.75	5	5.25	V
Common-mode input voltage, V _{IC}		−7		12	V
Differential input voltage, V _{ID}				±6	V
High-level input voltage, V _{IH}	G inputs	2			V
Low-level input voltage, V _{IL}				0.8	V
High-level output current, I _{OH}				−8	mA
Low-level output current, I _{OL}				8	mA
Operating free-air temperature, T _A	SN65LBC173	−40		85	°C
	SN75LBC173	0		70	

5.5 Electrical Characteristics

over recommended ranges of supply voltage and operating free-air temperature (unless otherwise noted)

PARAMETER		TEST CONDITIONS	MIN	TYP ⁽¹⁾	MAX	UNIT
V_{IT+}	Positive-going input threshold voltage	$I_O = -8 \text{ mA}$			0.2	V
V_{IT-}	Negative-going input threshold voltage	$I_O = 8 \text{ mA}$	-0.2			V
V_{hys}	Hysteresis voltage ($V_{IT+} - V_{IT-}$)			45		mV
V_{IK}	Enable input clamp voltage	$I_I = -18 \text{ mA}$		-0.9	-1.5	V
V_{OH}	High-level output voltage	$V_{ID} = 200 \text{ mV}$, $I_{OH} = -8 \text{ mA}$	3.5	4.5		V
V_{OL}	Low-level output voltage	$V_{ID} = -200 \text{ mV}$, $I_{OL} = 8 \text{ mA}$	0.3		0.5	V
I_{OZ}	High-impedance-state output current	$V_O = 0 \text{ V to } V_{CC}$			± 20	μA
I_I	Bus input current	A or B inputs	$V_{IH} = 12 \text{ V}$, $V_{CC} = 5 \text{ V}$, Other inputs at 0 V	0.7	1	mA
			$V_{IH} = 12 \text{ V}$, $V_{CC} = 0 \text{ V}$, Other inputs at 0 V	0.8	1	
			$V_{IH} = -7 \text{ V}$, $V_{CC} = 5 \text{ V}$, Other inputs at 0 V	-0.5	-0.8	
			$V_{IH} = -7 \text{ V}$, $V_{CC} = 0 \text{ V}$, Other inputs at 0 V	-0.4	-0.8	
I_{IH}	High-level input current	$V_{IH} = 5 \text{ V}$			± 20	μA
I_{IL}	Low-level input current	$V_{IL} = 0 \text{ V}$			-20	μA
I_{OS}	Short-circuit output current	$V_O = 0$		-80	-120	mA
I_{CC}	Supply current	Outputs enabled, $I_O = 0$, $V_{ID} = 5 \text{ V}$		11	20	mA
		Outputs disabled		0.9	1.4	

(1) All typical values are at $V_{CC} = 5 \text{ V}$ and $T_A = 25^\circ\text{C}$.

5.6 Switching Characteristics

$V_{CC} = 5 \text{ V}$, $C_L = 15 \text{ pF}$, $T_A = 25^\circ\text{C}$

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PHL}	Propagation delay time, high- to low-level output $V_{ID} = -1.5 \text{ V to } 1.5 \text{ V}$, See Figure 6-1	11	22	30	ns
t_{PLH}	Propagation delay time, low- to high-level output	11	22	30	ns
t_{PZH}	Output enable time to high level		17	30	ns
t_{PZL}	Output enable time to low level		18	30	ns
t_{PHZ}	Output disable time from high level		35	45	ns
t_{PLZ}	Output disable time from low level		25	40	ns
$t_{sk(p)}$	Pulse skew ($ t_{PHL} - t_{PLH} $)		0.5	6	ns
t_t	Transition time		5	10	ns

5.7 Typical Characteristics

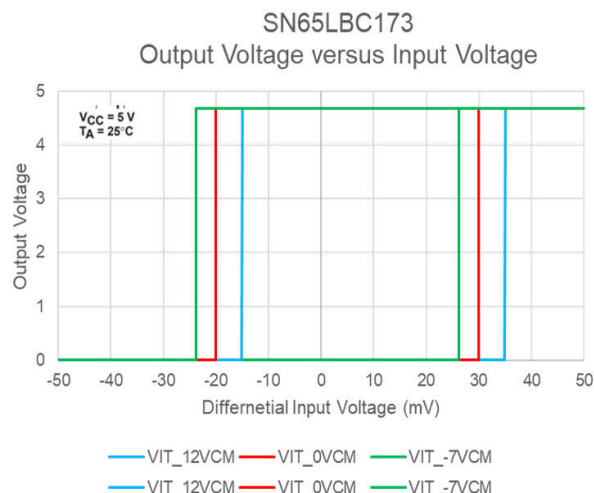


Figure 5-1. Output Voltage vs Differential Input Voltage

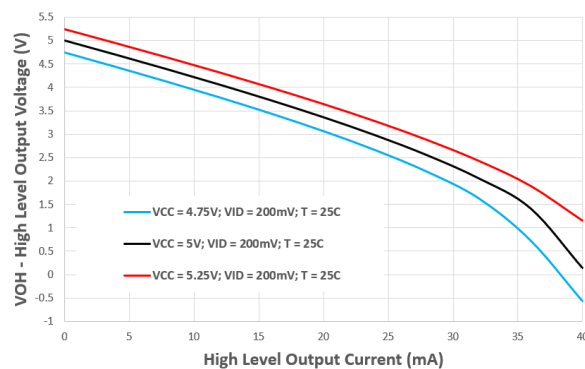


Figure 5-2. High-level Output Voltage vs High-level Output Current

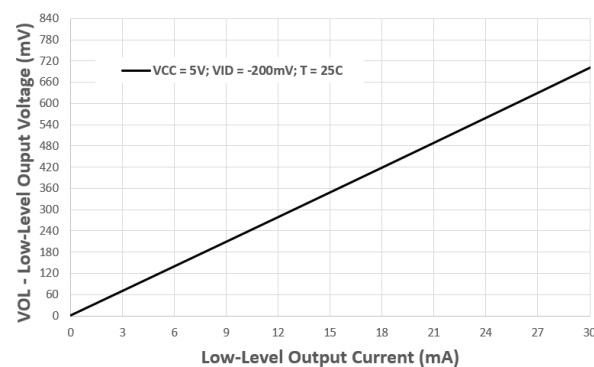


Figure 5-3. Low-level Output Voltage vs Low-level Output Current

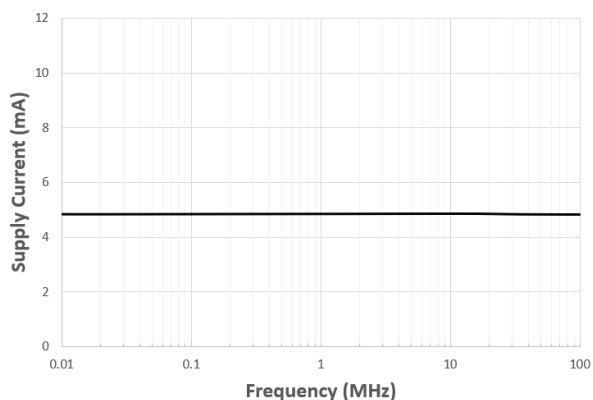


Figure 5-4. Average Supply Current vs Frequency

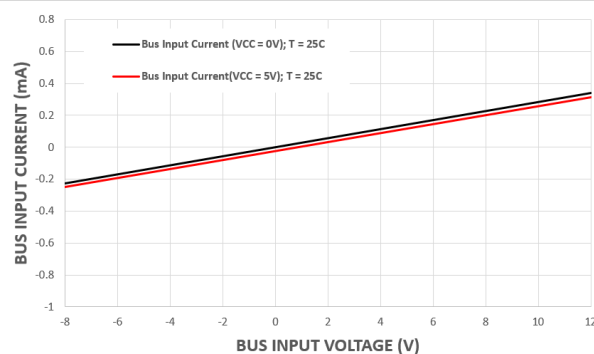


Figure 5-5. Bus Input Current vs Input Voltage (Complementary Input at 0 V)

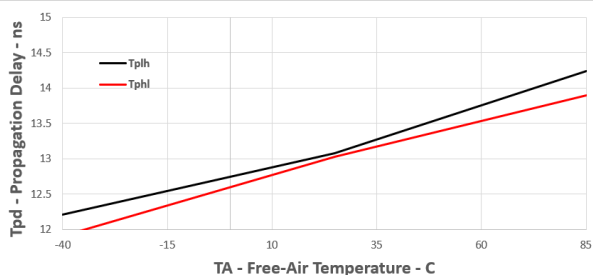


Figure 5-6. Propagation Delay Time vs Free-air Temperature

6 Parameter Measurement Information

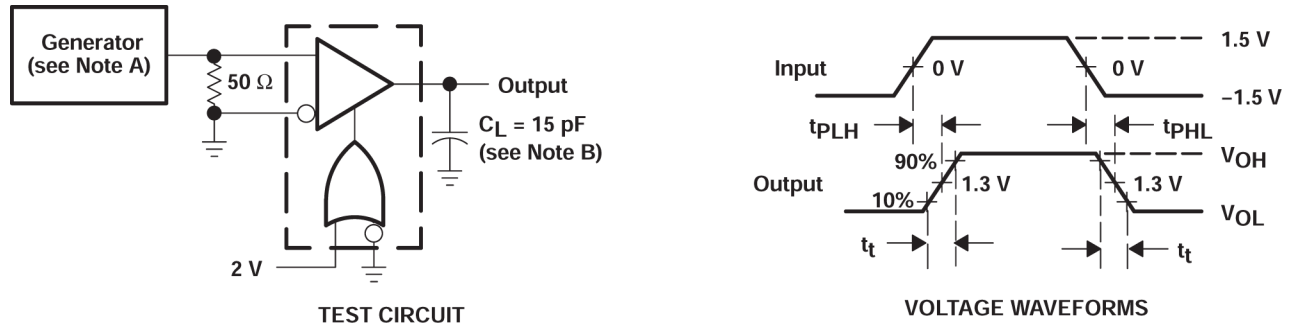
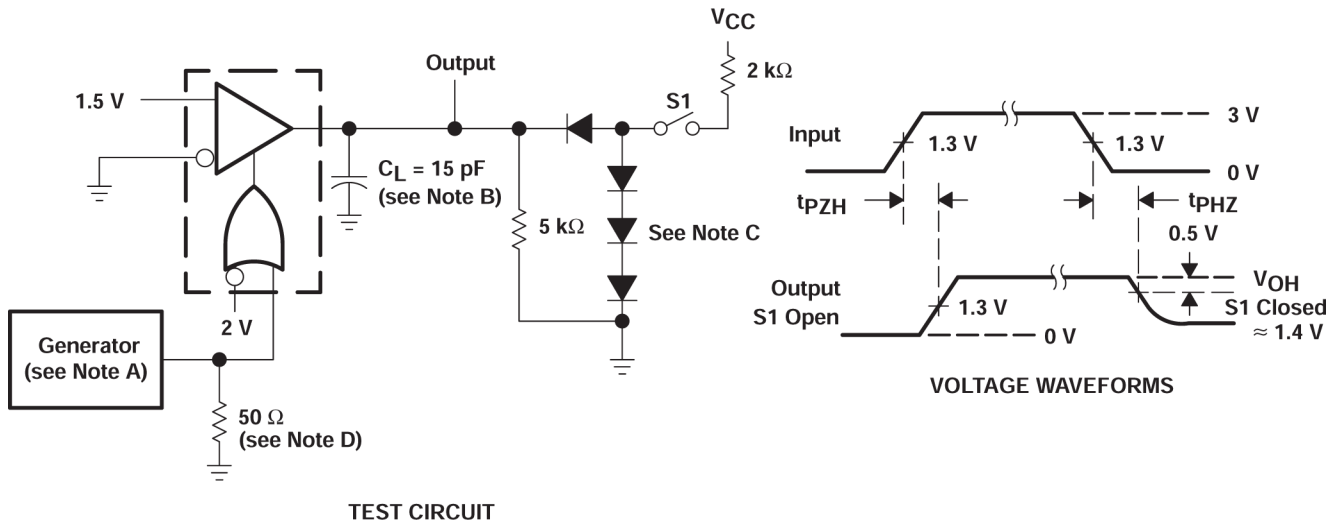
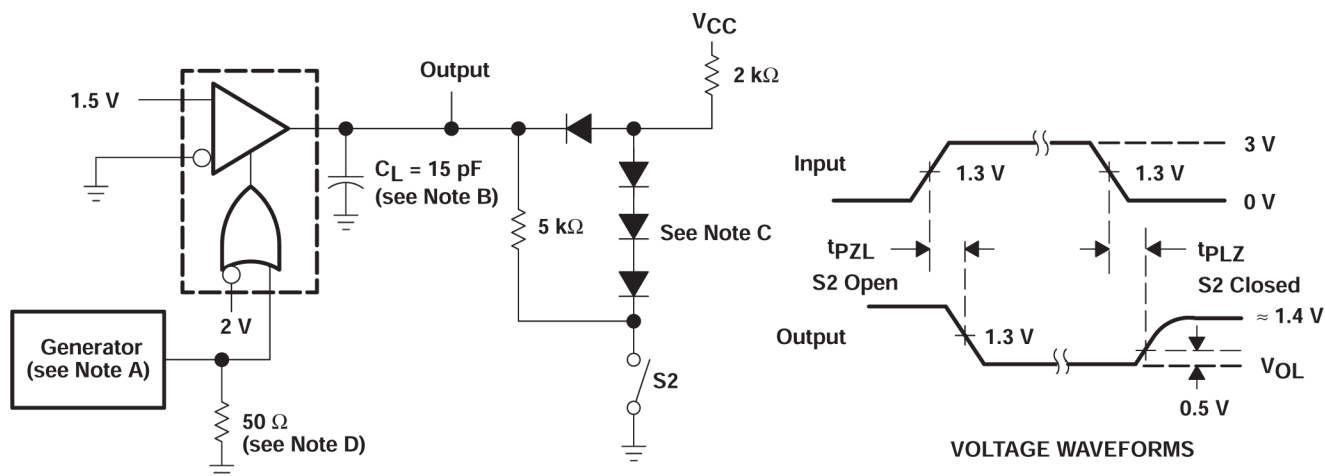


图 6-1. t_{pd} and t_t Test Circuit and Voltage Waveforms



- A. The input pulse is supplied by a generator having the following characteristics: PRR = 1 MHz, duty cycle = 50%, $t_r \leq 6$ ns, $t_f \leq 6$ ns, $Z_O = 50 \Omega$.
- B. C_L includes probe and jig capacitance.
- C. All diodes are 1N916 or equivalent.
- D. To test the active-low enable $\overline{G}$, ground G and apply an inverted input waveform to $\overline{G}$.

图 6-2. t_{PHZ} and t_{PZH} Test Circuit and Voltage Waveforms



TEST CIRCUIT

- A. The input pulse is supplied by a generator having the following characteristics: PRR = 1 MHz, duty cycle = 50%, $t_r \leq 6$ ns, $t_f \leq 6$ ns, $Z_O = 50 \Omega$.
- B. C_L includes probe and jig capacitance.
- C. All diodes are 1N916 or equivalent.
- D. To test the active-low enable $\overline{G}$, ground G and apply an inverted input waveform to $\overline{G}$.

Figure 6-3. t_{PZL} and t_{PLZ} Test Circuit and Voltage Waveforms

7 Detailed Description

7.1 Device Functional Modes

表 7-1. Function Table (Each Receiver)

DIFFERENTIAL INPUTS	ENABLES ⁽¹⁾		OUTPUT
A-B	G	$\bar{G}$	Y
$V_{ID} \geq 0.2 \text{ V}$	H	X	H
	X	L	H
$-0.2 \text{ V} < V_{ID} < 0.2 \text{ V}$	H	X	?
	X	L	?
$V_{ID} \leq -0.2 \text{ V}$	H	X	L
	X	L	L
X	L	H	Z
Open Circuit	H	X	H
	X	L	H

(1) H = high level, L = low level, X = irrelevant, Z = high impedance (off), ? = indeterminate

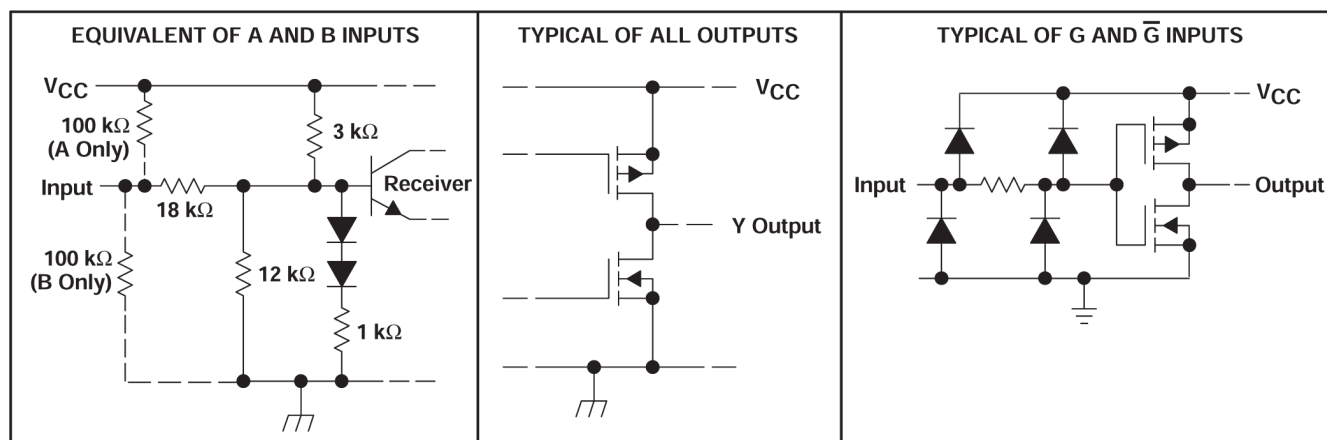


図 7-1. Schematics of Inputs and Outputs

8 Device and Documentation Support

TI offers an extensive line of development tools. Tools and software to evaluate the performance of the device, generate code, and develop solutions are listed below.

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

8.3 Trademarks

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision E (August 2000) to Revision F (August 2023)	Page
ドキュメント全体にわたって表、図、相互参照の採番方法を変更.....	1

10 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
SN65LBC173DR	ACTIVE	SOIC	D	16	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	65LBC173	Samples
SN65LBC173N	ACTIVE	PDIP	N	16	25	RoHS & Green	NIPDAU	N / A for Pkg Type	-40 to 85	SN65LBC173N	Samples
SN75LBC173N	ACTIVE	PDIP	N	16	25	RoHS & Green	NIPDAU	N / A for Pkg Type	0 to 70	SN75LBC173N	Samples
SN75LBC173NE4	ACTIVE	PDIP	N	16	25	RoHS & Green	NIPDAU	N / A for Pkg Type	0 to 70	SN75LBC173N	Samples

⁽¹⁾ The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

⁽²⁾ **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

⁽³⁾ MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

⁽⁴⁾ There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

⁽⁵⁾ Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "--" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

⁽⁶⁾ Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and

continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN75LBC173 :

- Military : [SN55LBC173](#)

NOTE: Qualified Version Definitions:

- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN65LBC173DR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
SN75LBC173DR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN65LBC173DR	SOIC	D	16	2500	353.0	353.0	32.0
SN75LBC173DR	SOIC	D	16	2500	340.5	336.1	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
SN65LBC173D	D	SOIC	16	40	505.46	6.76	3810	4
SN65LBC173D	D	SOIC	16	40	507	8	3940	4.32
SN65LBC173N	N	PDIP	16	25	506	13.97	11230	4.32
SN75LBC173D	D	SOIC	16	40	505.46	6.76	3810	4
SN75LBC173D	D	SOIC	16	40	507	8	3940	4.32
SN75LBC173N	N	PDIP	16	25	506	13.97	11230	4.32
SN75LBC173NE4	N	PDIP	16	25	506	13.97	11230	4.32

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated