

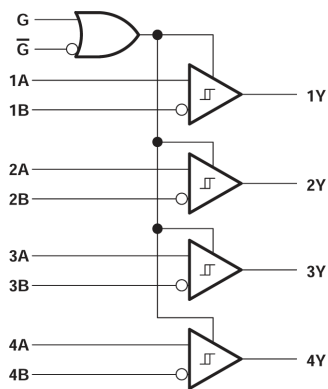
SN65LBC173A, SN75LBC173A, 4 回路 RS-485 差動ラインレシーバ

1 特長

- TIA/EIA-485、TIA/EIA-422、ISO 8482 アプリケーション用に設計
- †50Mbps 超
- バスの短絡、開回路、アイドルバス状況に対するフェイルセーフ
- バス入力に対する 6kV を超える ESD 保護
- 同相バス入力範囲: -7V~12V
- 伝搬遅延時間: 16ns 未満
- 低スタンバイ消費電力: 20µW 未満
- AM26LS32、DS96F173、LTC488、SN75173 用のピン互換アップグレード

2 アプリケーション

- ファクトリ・オートメーション
- ATM / キャッシュ・カウンタ
- スマートグリッド
- AC / サーボ モータドライブ



ロジック図

3 概要

SN65LBC173A および SN75LBC173A はクワッド差動ラインレシーバで、3-state の出力を持ち、TIA/EIA-485 (RS-485)、TIA/EIA-422 (RS-422)、ISO 8482 (Euro RS-485) アプリケーション用に設計されています。

これらのデバイスは、毎秒 50 メガビットまで、あるいはそれ以上のデータ転送速度での負荷バランスされたマルチポイントバス通信に最適化されています。転送媒体には、より線ペア・ケーブル、プリント基板の導線、バックプレーンを使用できます。データ転送の最高速度および最大距離は、メディアの減衰特性と周囲からのノイズに依存します。

各レシーバは、広い範囲の正および負の同相モード入力電圧で動作し、6kV の ESD 保護を特徴としており、過酷な環境における高速のマルチポイントデータ転送アプリケーションに適しています。これらのデバイスは LinBiCMOST を使用して設計されており、低消費電力と堅牢性を実現しています。

G および \bar{G} 入力によるイネーブル制御ロジックで、4 つのドライバすべてについて正または負のロジックをイネーブルできます。ディセーブルまたは電源オフ時には、レシーバの入力はバスに対して高インピーダンスとなるため、システム負荷が減少します。

SN75LBC173A は 0°C~70°C の温度範囲で動作が規定されています。SN65LBC173A は -40°C~85°C の温度範囲で動作が規定されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ・サイズ (2)
SN65LBC173A	SOIC (D, 16)	9.9mm × 6mm
SN75LBC173A	PDIP (N, 16)	19.3mm × 9.4mm

(1) 詳細については、[セクション 11](#) を参照してください。

(2) パッケージ・サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

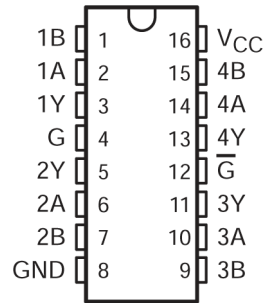
† ラインの信号レートとは、1 秒あたりの電圧遷移回数を bps (ビット/秒) 単位で表したものです。



Table of Contents

1 特長	1	7 Detailed Description	10
2 アプリケーション	1	7.1 Device Functional Modes.....	10
3 概要	1	8 Application and Implementation	11
4 Pin Configuration and Functions	3	8.1 Typical Application.....	11
5 Specifications	4	9 Device and Documentation Support	13
5.1 Absolute Maximum Ratings.....	4	9.1 ドキュメントの更新通知を受け取る方法.....	13
5.2 ESD Ratings.....	4	9.2 サポート・リソース.....	13
5.3 Dissipation Rating Table.....	4	9.3 商標.....	13
5.4 Thermal Information.....	4	9.4 静電気放電に関する注意事項.....	13
5.5 Recommended Operating Conditions.....	5	9.5 用語集.....	13
5.6 Electrical Characteristics.....	6	10 Revision History	13
5.7 Switching Characteristics.....	6	11 Mechanical, Packaging, and Orderable Information	13
5.8 Typical Characteristics.....	7		
6 Parameter Measurement Information	8		

4 Pin Configuration and Functions



**図 4-1. SN65LBC173A (Marked as 65LBC173A)
 SN75LBC173A (Marked as 75LBC173A)
 D or N Package (Top View)**

表 4-1. Pin Functions

PIN		TYPE ⁽¹⁾	DESCRIPTION
NAME	NO.		
1B	1	I	Channel 1 Inverting Differential Input
1A	2	I	Channel 1 Non-Inverting Differential Input
1Y	3	O	Channel 1 Output
G	4	I	Active High Receiver Enable
2Y	5	O	Channel 2 Output
2A	6	I	Channel 2 Non-Inverting Differential Input
2B	7	I	Channel 2 Inverting Differential Input
GND	8	GND	Device Ground
3B	9	I	Channel 3 Inverting Differential Input
3A	10	I	Channel 3 Non-Inverting Differential Input
3Y	11	O	Channel 3 Output
Ḡ	12	I	Active Low Receiver Enable
4Y	13	O	Channel 4 Output
4A	14	I	Channel 4 Non-Inverting Differential Input
4B	15	I	Channel 4 Inverting Differential Input
V _{CC}	16	POW	Device Supply

(1) Signal Types: I = Input, O = Output, I/O = Input or Output.

5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

		MIN	MAX	UNIT
V _{CC}	Supply voltage range (see Note 1)	-0.3	6	V
	Voltage range at any bus input (DC)	-10	15	V
	Voltage range at any bus input (transient pulse through 100 Ω, see Figure 6-5)	-30	30	V
V _I	Voltage input range at G and G	-0.5	V _{CC} + 0.5	V
I _O	Receiver output current		±10	mA
	Continuous power dissipation	See Power Dissipation Rating Table		

- Stresses beyond those listed under “absolute maximum ratings” may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under “recommended operating conditions” is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- All voltage values, except differential I/O bus voltages, are with respect to GND, and are steady-state (unless otherwise specified).

5.2 ESD Ratings

			VALUE	UNIT	
V _(ESD)	Electrostatic discharge	Human-body model (HBM), per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	A and B to GND	±6000	V
			All pins	±5000	
		Charged device model (CDM), per ANSI/ESDA/JEDEC JS-002 ⁽²⁾	All pins	±2000	

- Tested in accordance with JEDEC Standard 22, Test Method A114-A.
- Tested in accordance with JEDEC Standard 22, Test Method C101.

5.3 Dissipation Rating Table

PACKAGE	T _A ≤ 25°C POWER RATING	DERATING FACTOR ⁽¹⁾ ABOVE T _A = 25°C	T _A = 70°C POWER RATING	T _A = 85°C POWER RATING
D	1080 mW	8.7 mW/°C	690 mW	560 mW
N	1150 mW	9.2 mW/°C	736 mW	598 mW

- This is the inverse of the junction-to-ambient thermal resistance when board-mounted and with no air flow.

5.4 Thermal Information

THERMAL METRIC ⁽¹⁾		SOIC (D)	PDIP (N)	UNIT
		16 Pins	16 Pins	
R _{θJA}	Junction-to-ambient thermal resistance	84.6	60.6	°C/W
R _{θJC(top)}	Junction-to-case (top) thermal resistance	43.5	48.1	°C/W
R _{θJB}	Junction-to-board thermal resistance	43.1	40.6	°C/W
ψ _{JT}	Junction-to-top characterization parameter	10.4	27.5	°C/W
ψ _{JB}	Junction-to-board characterization parameter	42.8	40.3	°C/W
R _{θJC(bot)}	Junction-to-case (bottom) thermal resistance	N/A	N/A	°C/W

- For more information about traditional and new thermal metrics, see the [Semiconductor and IC package thermal metrics](#) application report.

5.5 Recommended Operating Conditions

		MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}		4.75	5	5.25	V
Voltage at any bus terminal	A, B	-7		12	V
High-level input voltage, V_{IH}	G, \bar{G}	2		V_{CC}	V
Low-level input voltage, V_{IL}		0		0.8	
Output current	Y	-8		8	mA
Operating free-air temperature, T_A	SN75LBC173A	0		70	°C
	SN65LBC173A	-40		85	

5.6 Electrical Characteristics

over recommended operating conditions

PARAMETER		TEST CONDITIONS		MIN	TYP ⁽¹⁾	MAX	UNIT
V_{IT+}	Positive-going differential input voltage threshold	$-7\text{ V} \leq V_{CM} \leq 12\text{ V}$ ($V_{CM} = (V_A + V_B)/2$)		-80		-10	mV
V_{IT-}	Negative-going differential input voltage threshold			-200	-120		
V_{HYS}	Hysteresis voltage ($V_{IT+} - V_{IT-}$)			40			mV
V_{IK}	Input clamp voltage	$I_I = -18\text{ mA}$		-1.5	-0.8		V
V_{OH}	High-level output voltage	$V_{ID} = 200\text{ mV}$, $I_{OH} = -8\text{ mA}$	See 6-1	2.7	4.8		V
V_{OL}	Low-level output voltage	$V_{ID} = -200\text{ mV}$, $I_{OL} = 8\text{ mA}$		0.2	0.4		
I_{OZ}	High-impedance-state output current	$V_O = 0\text{ V}$ to V_{CC}		-1		1	μA
I_I	Line input current	Other input at 0 V, V_{CC} $= 0\text{ V}$ or 5 V	$V_I = 12\text{ V}$ $V_I = -7\text{ V}$			0.9	mA
I_{IH}	High-level input current	Enable inputs G, \bar{G}				100	
I_{IL}	Low-level input current						-100
R_I	Input resistance	A, B inputs		12			k Ω
I_{CC}	Supply current	$V_{ID} = 5\text{ V}$	G at 0 V, \bar{G} at V_{CC}			20	μA
		No load	G at V_{CC} , \bar{G} at 0 V	11		16	mA

(1) All typical values are at $V_{CC} = 5\text{ V}$ and 25°C .

5.7 Switching Characteristics

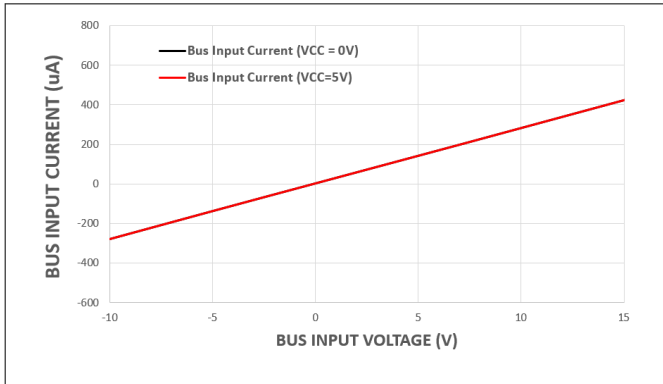
over recommended operating conditions

PARAMETER		TEST CONDITIONS		MIN	TYP ⁽¹⁾	MAX	UNIT
t_r	Output rise time	$V_{ID} = -3\text{ V}$ to 3 V , See 6-2		2		4	ns
t_f	Output fall time			2		4	ns
t_{PLH}	Propagation delay time, low-to-high level output			9	12	16	ns
t_{PHL}	Propagation delay time, high-to-low level output			9	12	16	ns
t_{PZH}	Propagation delay time, high-impedance to high-level output	See 6-3		27		38	ns
t_{PHZ}	Propagation delay time, high-level to high-impedance output			7		16	ns
t_{PZL}	Propagation delay time, high-impedance to low level output	See 6-4		29		38	ns
t_{PLZ}	Propagation delay time, low-level to high-impedance output			12		16	ns
$t_{sk(p)}$	Pulse skew ($ (t_{PLH} - t_{PHL}) $)			0.2		1	ns
$t_{sk(o)}$	Output skew (see Note 4)					2	ns
$t_{sk(pp)}$	Part-to-part skew (see Note 5)					2	ns

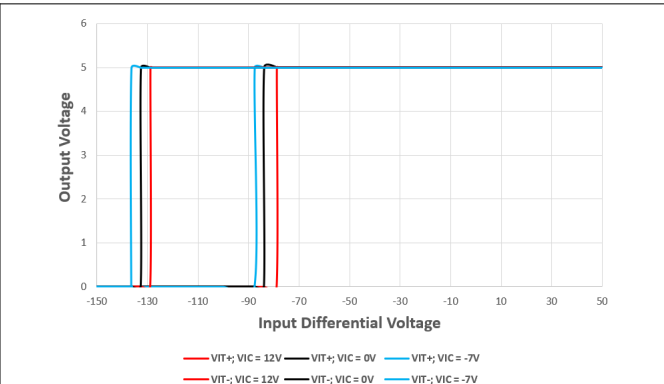
(1) All typical values are at $V_{CC} = 5\text{ V}$ and 25°C .

- Outputs skew ($t_{sk(o)}$) is the magnitude of the time delay difference between the outputs of a single device with all of the inputs connected together.
- Part-to-part skew ($t_{sk(pp)}$) is the magnitude of the difference in propagation delay times between any specified terminals of two devices when both devices operate with the same input signals, the same supply voltages, at the same temperature, and have identical packages and test circuits.

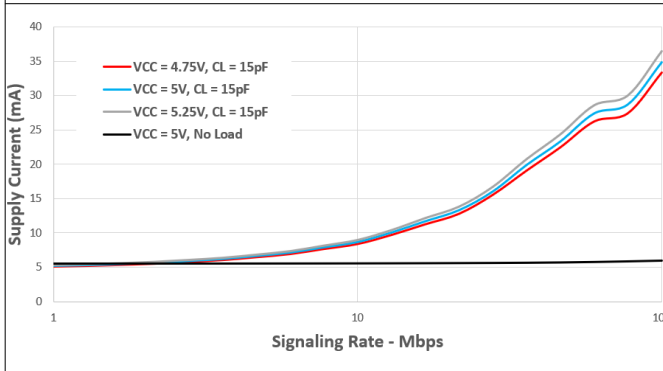
5.8 Typical Characteristics



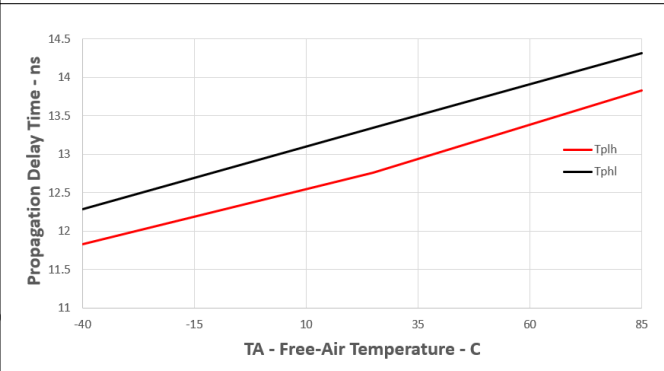
5-1. Bus Input Current vs Bus Input Voltage



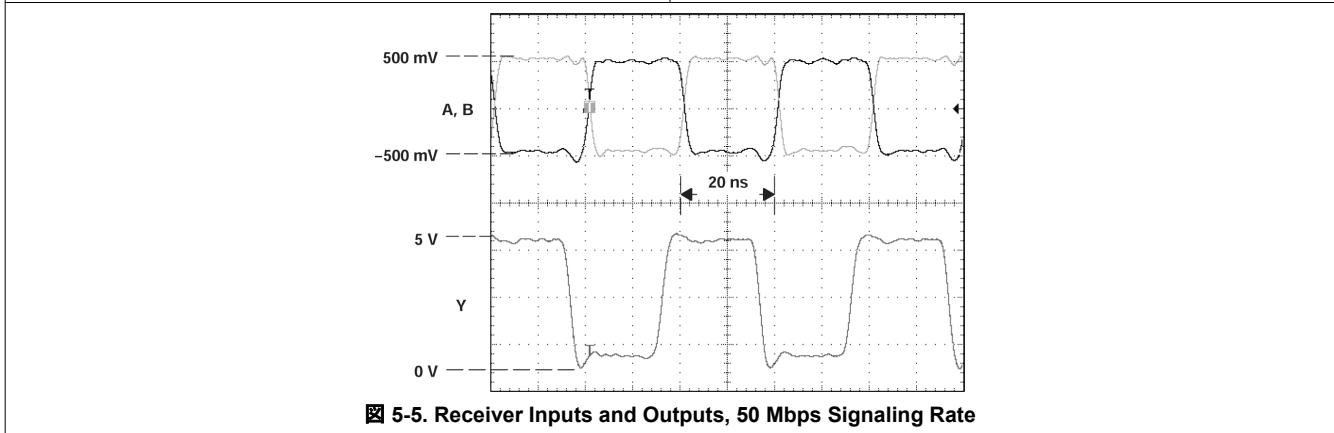
5-2. Output Voltage vs Differential Input Voltage



5-3. Supply Current vs Signaling Rate (All Four Channels)



5-4. Propagation Delay Time vs Free-air Temperature



5-5. Receiver Inputs and Outputs, 50 Mbps Signaling Rate

6 Parameter Measurement Information

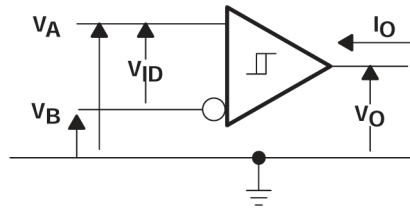
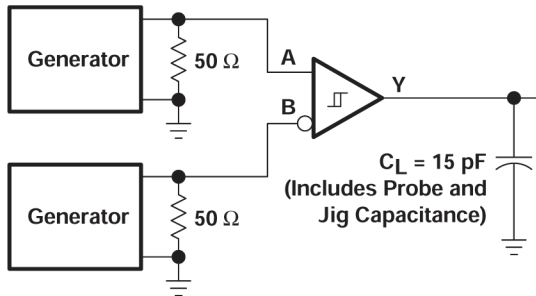


图 6-1. Voltage and Current Definitions



Generators: PRR = 1 MHz, 50% Duty Cycle,
 $t_r < 6 \text{ ns}$, $Z_0 = 50 \Omega$

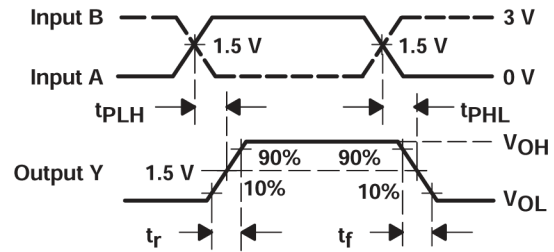
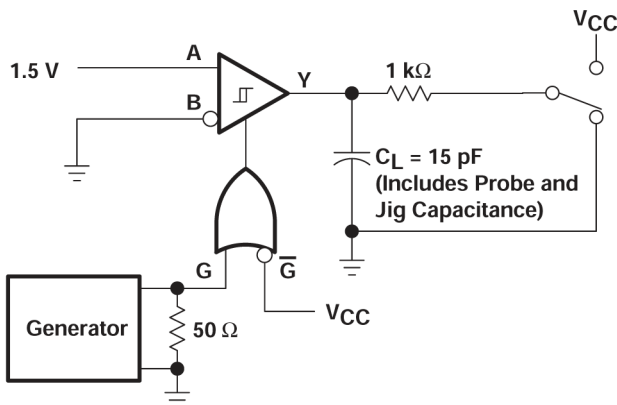


图 6-2. Switching Test Circuit and Waveforms



Generators: PRR = 1 MHz, 50% Duty Cycle,
 $t_r < 6 \text{ ns}$, $Z_0 = 50 \Omega$

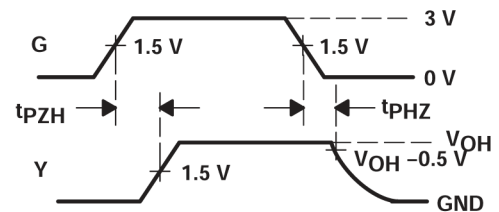
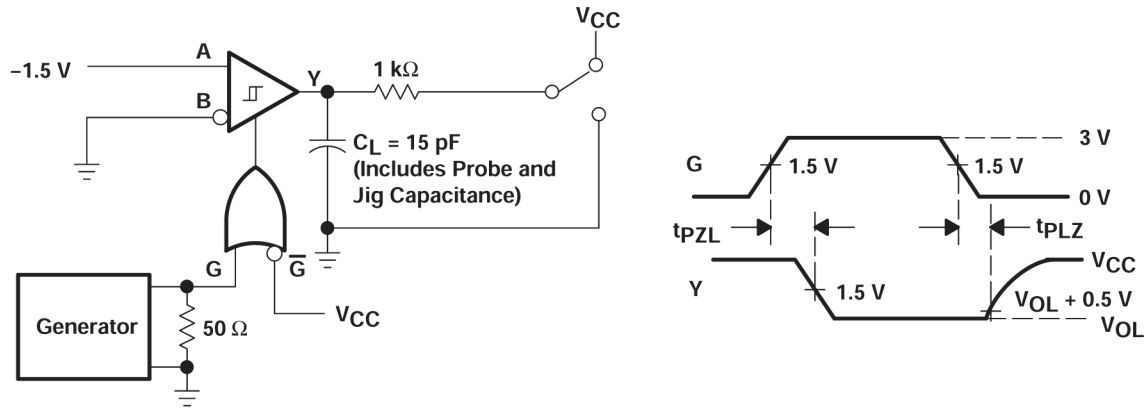
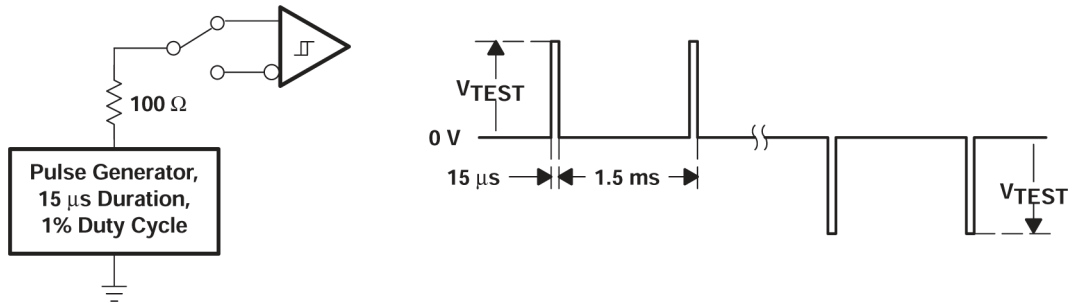


图 6-3. Test Circuit Waveforms, t_{pZH} and t_{pHZ}



Generators: PRR = 1 MHz, 50% Duty Cycle,
 $t_r < 6 \text{ ns}$, $Z_0 = 50 \Omega$

 **6-4. Test Circuit Waveforms, t_{pZL} and t_{PLZ}**



 **6-5. Test Circuit and Waveform, Transient Over-Voltage Test**

7 Detailed Description

7.1 Device Functional Modes

表 7-1. Functional Table (Each Receiver)

DIFFERENTIAL INPUTS A – B (V_{ID})	ENABLES ⁽¹⁾		OUTPUT Y
	G	\bar{G}	
$V_{ID} \leq -0.2\text{ V}$	H	X	L
	X	L	
$-0.2\text{ V} < V_{ID} < -0.01\text{ V}$	H	X	?
	X	L	
$-0.01\text{ V} \leq V_{ID}$	H	X	H
	X	L	
X	L	H	Z
	OPEN	OPEN	
Short circuit	H	X	H
	X	L	
Open circuit	H	X	H

(1) H = high level, L = low level, X = irrelevant, Z = high impedance (off), ? = indeterminate

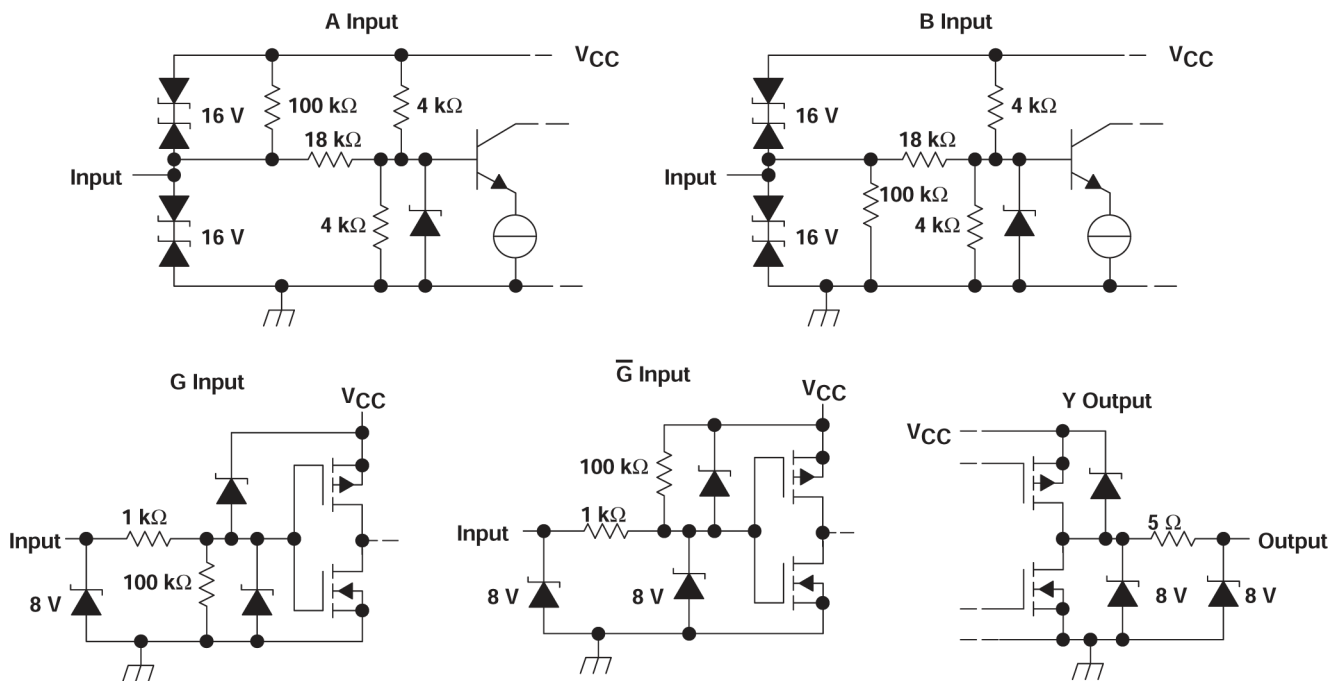


図 7-1. Equivalent Input and Output Schematic Diagrams

8 Application and Implementation

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 Typical Application

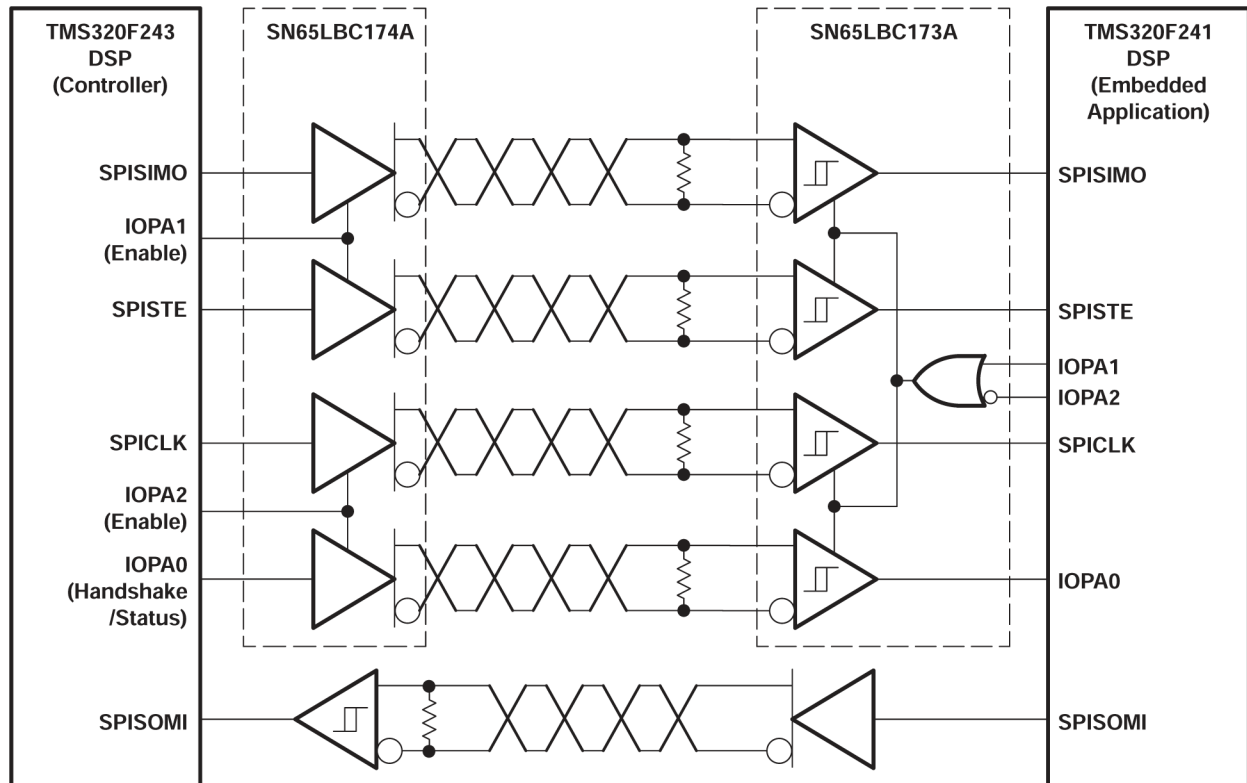


図 8-1. Typical Application Circuit, DSP-to-DSP Link via Serial Peripheral Interface

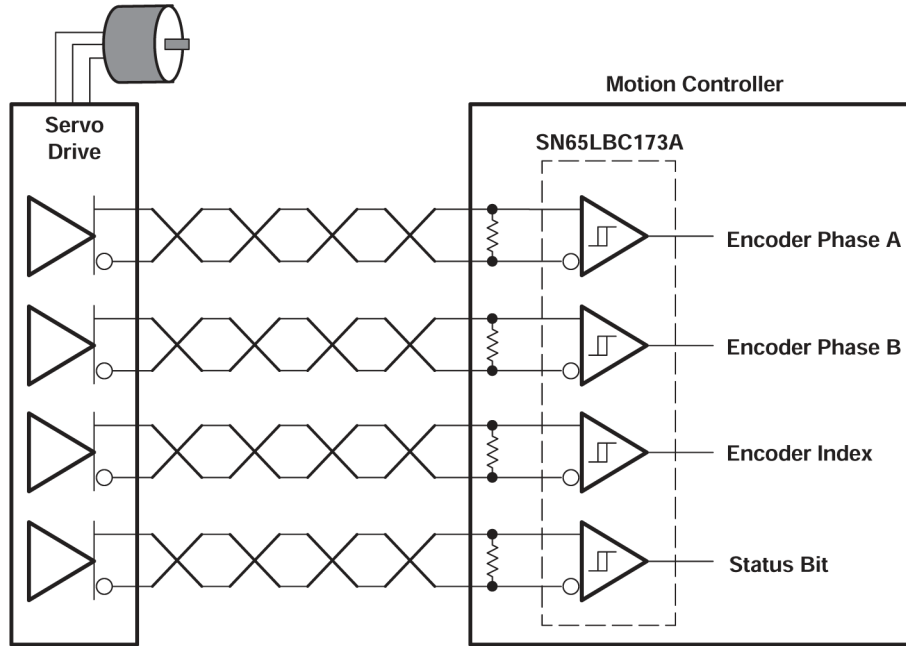


図 8-2. Typical Application Circuit, High-Speed Servomotor Encoder Interface

9 Device and Documentation Support

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

9.3 商標

TI E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (April 2005) to Revision C (November 2023)

Page

- | | |
|--------------------------------------|---|
| • ドキュメント全体にわたって表、図、相互参照の採番方法を変更..... | 1 |
|--------------------------------------|---|

11 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
SN65LBC173ADR	ACTIVE	SOIC	D	16	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	65LBC173A	Samples
SN65LBC173AN	ACTIVE	PDIP	N	16	25	RoHS & Green	NIPDAU	N / A for Pkg Type	-40 to 85	65LBC173A	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN65LBC173A :

- Enhanced Product : [SN65LBC173A-EP](#)

NOTE: Qualified Version Definitions:

- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN65LBC173ADR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
SN65LBC173ADR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
SN75LBC173ADR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN65LBC173ADR	SOIC	D	16	2500	353.0	353.0	32.0
SN65LBC173ADR	SOIC	D	16	2500	340.5	336.1	32.0
SN75LBC173ADR	SOIC	D	16	2500	340.5	336.1	32.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
SN65LBC173AD	D	SOIC	16	40	507	8	3940	4.32
SN65LBC173ADG4	D	SOIC	16	40	507	8	3940	4.32
SN65LBC173AN	N	PDIP	16	25	506	13.97	11230	4.32
SN75LBC173AD	D	SOIC	16	40	507	8	3940	4.32
SN75LBC173AN	N	PDIP	16	25	506	13.97	11230	4.32

D (R-PDSO-G16)

PLASTIC SMALL OUTLINE



4040047-6/M 06/11

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 -  C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
 -  D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
 - E. Reference JEDEC MS-012 variation AC.

D (R-PDSO-G16)

PLASTIC SMALL OUTLINE



4211283-4/E 08/12

- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

N (R-PDIP-T**)

PLASTIC DUAL-IN-LINE PACKAGE

16 PINS SHOWN



4040049/E 12/2002

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - $\triangle C$ Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 - $\triangle D$ The 20 pin end lead shoulder width is a vendor option, either half or full width.

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated